

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## CLAIMS

## [Claim(s)]

[Claim 1] In a semiconductor device which has the second conductivity-type thin film transistor characterized by providing the following This first conductivity-type thin film transistor constitutes LDD structure of providing the first conductivity-type low concentration source drain field between this first conductivity-type high concentration source drain field and this first channel field. As for this second conductivity-type thin film transistor, this first channel field constitutes offset structure of providing an offset field which has the same high impurity concentration with this second channel field, including the second conductivity-type impurity of super-low concentration between this second conductivity-type high concentration source drain field and this second channel field. This second channel field is a semiconductor device characterized by being including the second conductivity-type impurity of super-low concentration. The first conductivity-type thin film transistor equipped with the first channel field and the first conductivity-type high concentration source drain field which stand face to face against the first gate electrode through the first gate insulator layer The second channel field and the second conductivity-type high concentration source drain field which stand face to face against the second gate electrode through the second gate insulator layer

[Claim 2] In claim 1, set source drain voltage of said first conductivity-type thin film transistor to  $V_{DS1}$ , and  $V_{GS1}$  and source drain current are set to  $I_{DS1}$  for gate voltage. When source drain voltage of said second conductivity-type thin film transistor is set to  $V_{DS2}$  and gate voltage is set to  $I_{DS2}$ ,  $V_{GS2}$  and source drain current  $|V_{DS1}|=|V_{DS2}|$ , And a semiconductor device characterized by defining the second conductivity-type high impurity concentration of said second channel field and said offset field so that it may change with  $I_{DS2}>I_{DS1}$  under conditions of  $V_{GS1}=V_{GS2}=0$ .

[Claim 3] In claim 1, set source drain voltage of said first conductivity-type thin film transistor to  $V_{DS1}$ , and  $V_{GS1}$  and source drain current are set to  $I_{DS1}$  for gate voltage. When source drain voltage of said second conductivity-type thin film transistor is set to  $V_{DS2}$  and gate voltage is set to  $I_{DS2}$ ,  $V_{GS2}$  and source drain current  $|V_{DS1}|=|V_{DS2}|$ , To and an ON state and appearance shifted in the direction in which it changes, said 0V to first conductivity-type thin film transistor [ gate voltage when changing with  $I_{DS2}=I_{DS1}$  under conditions of  $V_{GS1}=V_{GS2}$  ] A semiconductor device characterized by defining the second conductivity-type high impurity concentration of said second channel field and said offset field.

[Claim 4] A semiconductor device with which all of the second conductivity-type high impurity concentration which said first channel field contains, the second conductivity-type high impurity concentration which said second channel field contains, and the second conductivity-type high impurity concentration which said offset field contains are characterized by equal thing in claim 1 thru/or one term of 3.

[Claim 5] It is the semiconductor device characterized by for there being said first conductivity type with N type, and there being said second conductivity type with P type in claim 1 thru/or one term of 4.

[Claim 6] It is the semiconductor device characterized by for there being said first conductivity type with P type, and there being said second conductivity type with N type in claim 1 thru/or one term of 4.

[Claim 7] One [ at least ] thin film transistor of said first conductivity-type thin film transistor or the second conductivity-type thin film transistors is a active-matrix substrate characterized by having accomplished [ in / are with a active-matrix substrate using a semiconductor device specified in claim 1 thru/or one term of 6, and said first conductivity-type thin film transistor and said second conductivity-type thin film transistor constitute a CMOS circuit in a drive circuit field, and / a pixel field ] a thin film transistor for pixels.

[Claim 8] It is the manufacture method of a semiconductor device which it has the following, and this second conductivity-type impurity installation production process of super-low concentration is performed before this gate electrode formation production process, and is characterized by performing this first conductivity-type impurity installation production process of low concentration after this gate electrode formation. The second conductivity-type impurity installation production process of super-low concentration which introduces the second conductivity-type impurity into a semiconductor film by super-low concentration in a manufacture method of a semiconductor device indicated to claim 1 in order to form said first channel field, said second channel field, and said offset field A gate electrode formation production process which forms said first gate electrode and said second gate electrode The first conductivity-type impurity installation production process of low concentration which introduces the first conductivity-type impurity into a semiconductor film in low concentration in order to form said first conductivity-type low concentration source drain field The first conductivity-type impurity installation production process of high concentration which introduces the first conductivity-type impurity into a semiconductor film in high concentration in order to form said first conductivity-type high concentration source drain field, and the second conductivity-type impurity installation production process of high concentration which introduces the second conductivity-type impurity into a semiconductor film in high concentration in order to form said second conductivity-type high concentration source drain field

[Claim 9] It is the manufacture method of a semiconductor device characterized by being at a production process which forms a doped semiconductor film with which said second conductivity-type impurity installation production process of super-low concentration contains the second conductivity-type impurity in super-low concentration in claim 8, and forming a gate insulator layer after this second conductivity-type impurity installation production process of super-low concentration.

[Claim 10] It is the manufacture method of a semiconductor device characterized by being at a production process which introduces the second conductivity-type impurity by super-low concentration to a semiconductor film which formed said second conductivity-type impurity installation production process of super-low concentration in claim 8 before this production process, and forming a gate insulator layer after this second conductivity-type impurity installation production process of super-low concentration.

[Claim 11] It is the manufacture method of a semiconductor device characterized by being at a production process which introduces the second conductivity-type impurity by super-low concentration through a gate insulator layer formed in that surface to a semiconductor film which formed said second conductivity-type impurity installation production process of super-low concentration in claim 8 before this production process.

[Claim 12] In a semiconductor device which has the second conductivity-type thin film transistor characterized by providing the following This first conductivity-type thin film transistor constitutes LDD structure of providing the first conductivity-type low concentration source drain field between this first conductivity-type high concentration source drain field and this first channel field. As for this second conductivity-type thin film transistor, this first channel field constitutes offset structure of providing an offset field which has the same high impurity concentration with this second channel field, including the first conductivity-type impurity of super-low concentration between this second conductivity-type high concentration source drain field and this second channel field. This second channel field is a semiconductor device characterized by being including the first conductivity-type impurity of super-low concentration. The first conductivity-type thin film transistor equipped with the first channel field and the first conductivity-type high concentration source drain field which stand face

to face against the first gate electrode through the first gate insulator layer The second channel field and the second conductivity-type high concentration source drain field which stand face to face against the second gate electrode through the second gate insulator layer

[Claim 13] In claim 12, set source drain voltage of said first conductivity-type thin film transistor to  $V_{DS1}$ , and  $V_{GS1}$  and source drain current are set to  $I_{DS1}$  for gate voltage. When source drain voltage of said second conductivity-type thin film transistor is set to  $V_{DS2}$  and gate voltage is set to  $I_{DS2}$ ,  $V_{GS2}$  and source drain current  $|V_{DS1}|=|V_{DS2}|$ , And a semiconductor device characterized by defining the first conductivity-type high impurity concentration of said second channel field and said offset field so that it may change with  $I_{DS2}>I_{DS1}$  under conditions of  $V_{GS1}=V_{GS2}=0$ .

[Claim 14] In claim 12, set source drain voltage of said first conductivity-type thin film transistor to  $V_{DS1}$ , and  $V_{GS1}$  and source drain current are set to  $I_{DS1}$  for gate voltage. When source drain voltage of said second conductivity-type thin film transistor is set to  $V_{DS2}$  and gate voltage is set to  $I_{DS2}$ ,  $V_{GS2}$  and source drain current  $|V_{DS1}|=|V_{DS2}|$ , To and an ON state and appearance shifted in the direction in which it changes, said 0V to first conductivity-type thin film transistor [ gate voltage when changing with  $I_{DS2}=I_{DS1}$  under conditions of  $V_{GS1}=V_{GS2}$  ] A semiconductor device characterized by defining the first conductivity-type high impurity concentration of said second channel field and said offset field.

[Claim 15] A semiconductor device with which all of the first conductivity-type high impurity concentration which said first channel field contains, the first conductivity-type high impurity concentration which said second channel field contains, and the first conductivity-type high impurity concentration which said offset field contains are characterized by equal thing in claim 12 thru/or one term of 14.

[Claim 16] It is the semiconductor device characterized by for there being said first conductivity type with N type, and there being said second conductivity type with P type in claim 12 thru/or one term of 15.

[Claim 17] It is the semiconductor device characterized by for there being said first conductivity type with P type, and there being said second conductivity type with N type in claim 12 thru/or one term of 15.

[Claim 18] One [ at least ] thin film transistor of said first conductivity-type thin film transistor or the second conductivity-type thin film transistors is a active-matrix substrate characterized by having accomplished [ in / are with a active-matrix substrate using a semiconductor device specified in claim 12 thru/or one term of 17, and said first conductivity-type thin film transistor and said second conductivity-type thin film transistor constitute a CMOS circuit in a drive circuit field, and / a pixel field ] a thin film transistor for pixels.

[Claim 19] It is the manufacture method of a semiconductor device which it has the following, and this first conductivity-type impurity installation production process of super-low concentration is performed before this gate electrode formation production process, and is characterized by performing this first conductivity-type impurity installation production process of low concentration after this gate electrode formation. The first conductivity-type impurity installation production process of super-low concentration which introduces the first conductivity-type impurity into a semiconductor film by super-low concentration in a manufacture method of a semiconductor device indicated to claim 12 in order to form said first channel field, said second channel field, and said offset field A gate electrode formation production process which forms said first gate electrode and said second gate electrode The first conductivity-type impurity installation production process of low concentration which introduces the first conductivity-type impurity into a semiconductor film in low concentration in order to form said first conductivity-type low concentration source drain field The first conductivity-type impurity installation production process of high concentration which introduces the first conductivity-type impurity into a semiconductor film in high concentration in order to form said first conductivity-type high concentration source drain field, and the second conductivity-type impurity installation production process of high concentration which introduces the second conductivity-type impurity into a semiconductor film in high concentration in order to form said second conductivity-type high concentration source drain field

[Claim 20] It is the manufacture method of a semiconductor device characterized by being at a production process which forms a doped semiconductor film with which said first conductivity-type impurity installation production process of super-low concentration contains the first conductivity-type impurity in super-low concentration in claim 19, and forming a gate insulator layer after this first conductivity-type impurity installation production process of super-low concentration.

[Claim 21] It is the manufacture method of a semiconductor device characterized by being at a production process which introduces the first conductivity-type impurity by super-low concentration to a semiconductor film which formed said first conductivity-type impurity installation production process of super-low concentration in claim 19 before this production process, and forming a gate insulator layer after this first conductivity-type impurity installation production process of super-low concentration.

[Claim 22] It is the manufacture method of a semiconductor device characterized by being at a production process which introduces the first conductivity-type impurity by super-low concentration through a gate insulator layer formed in that surface to a semiconductor film which formed said first conductivity-type impurity installation production process of super-low concentration in claim 19 before this production process.

[Claim 23] In a semiconductor device which has the second conductivity-type thin film transistor characterized by providing the following This first conductivity-type thin film transistor constitutes LDD structure of providing the first conductivity-type low concentration source drain field between this first conductivity-type high concentration source drain field and this first channel field. There is this first channel field by abbreviation genuineness, and this second conductivity-type thin film transistor constitutes offset structure of providing an offset field which has the same high impurity concentration with this second channel field between this second conductivity-type high concentration source drain field and this second channel field. This second channel field is a semiconductor device characterized by being by abbreviation genuineness. The first conductivity-type thin film transistor equipped with the first channel field and the first conductivity-type high concentration source drain field which stand face to face against the first gate electrode through the first gate insulator layer The second channel field and the second conductivity-type high concentration source drain field which stand face to face against the second gate electrode through the second gate insulator layer

[Claim 24] It is the semiconductor device characterized by for there being said first conductivity type with N type, and there being said second conductivity type with P type in claim 23.

[Claim 25] It is the semiconductor device characterized by setting, for there being said first conductivity type with P type, and there being said second conductivity type with N type claim 23.

[Claim 26] One [ at least ] thin film transistor of said first conductivity-type thin film transistor or the second conductivity-type thin film transistors is a active-matrix substrate characterized by having accomplished [ in / are with a active-matrix substrate using a semiconductor device specified in claim 23 thru/or one term of 25, and said first conductivity-type thin film transistor and said second conductivity-type thin film transistor constitute a CMOS circuit in a drive circuit field, and / a pixel field ] a thin film transistor for pixels.

[Claim 27] A thin film transistor equipped with a source drain field linked to a channel field which stands face to face against a gate electrode through a gate insulator layer, and this channel field, And it sets to a semiconductor device which has the first polar zone which counters through a dielectric film, and a capacitive element which consists of the second polar zone. Said thin film transistor constitutes LDD structure of providing a high concentration source drain field where a source drain field adjoins a low concentration source drain field and this low concentration source drain field which stand face to face against an edge of a gate electrode through a gate insulator layer. Said first polar zone is a semiconductor device with which said low concentration source drain field and conductivity type are characterized by being the same and high impurity concentration of this conductivity type consisting of same equivalent semiconductor films.

[Claim 28] A thin film transistor equipped with a source drain field linked to a channel field which stands face to face against a gate electrode through a gate insulator layer, and this channel field, And it sets to a semiconductor device which has the first polar zone which counters through a dielectric film,



and a capacitive element which consists of the second polar zone. Said thin film transistor constitutes LDD structure of providing a high concentration source drain field where a source drain field adjoins a low concentration source drain field and this low concentration source drain field which stand face to face against an edge of a gate electrode through a gate insulator layer. Said first polar zone is a semiconductor device with which said high concentration source drain field and conductivity type are characterized by being the same and high impurity concentration of this conductivity type consisting of same equivalent semiconductor films.

[Claim 29] A thin film transistor equipped with a source drain field which contains in high concentration a channel field and a donor impurity which stand face to face against a gate electrode through a gate insulator layer, or acceptor impurity, And it sets to a semiconductor device which has the first polar zone which counters through a dielectric film, and a capacitive element which consists of the second polar zone. Said thin film transistor is equipped with an offset field which has high impurity concentration equivalent to this channel field between this source drain field edge and this channel field edge. Said first polar zone is a semiconductor device with which said high concentration source drain field and conductivity type are characterized by being the same and high impurity concentration of this conductivity type consisting of same equivalent semiconductor films.

[Claim 30] In a semiconductor device characterized by providing the following Said first conductivity type and the second conductivity-type thin film transistor constitute LDD structure equipped with a high concentration source drain field where a source drain field adjoins a low concentration source drain field and this low concentration source drain field which stand face to face against an edge of a gate electrode through a gate insulator layer. Said first polar zone is a semiconductor device with which said first conductivity type, and said low concentration source drain field and conductivity type of the second conductivity-type thin film transistor are characterized by being the same and high impurity concentration of this conductivity type consisting of same equivalent semiconductor films. The first conductivity type and the second conductivity-type thin film transistor equipped with a source drain field linked to a channel field which stands face to face against a gate electrode through a gate insulator layer, and this channel field A capacitive element which consists of the first polar zone which counters through a dielectric film, and the second polar zone

[Claim 31] In a semiconductor device characterized by providing the following Said first conductivity type and the second conductivity-type thin film transistor constitute LDD structure equipped with a high concentration source drain field where a source drain field adjoins a low concentration source drain field and this low concentration source drain field which stand face to face against an edge of a gate electrode through a gate insulator layer. Said first polar zone is a semiconductor device with which said first conductivity type, and said high concentration source drain field and conductivity type of the second conductivity-type thin film transistor are characterized by being the same and high impurity concentration of this conductivity type consisting of same equivalent semiconductor films. The first conductivity type and the second conductivity-type thin film transistor equipped with a source drain field linked to a channel field which stands face to face against a gate electrode through a gate insulator layer, and this channel field A capacitive element which consists of the first polar zone which counters through a dielectric film, and the second polar zone

[Claim 32] In claim 30, said first polar zone consists of semiconductor films containing the first conductivity-type impurity and the first conductivity-type impurity of tales doses which a low concentration source drain field of said first conductivity-type thin film transistor has. A low concentration source drain field of this first conductivity-type thin film transistor is a semiconductor device characterized by being fewer than this amount of the first conductivity-type impurities, and including the second conductivity-type impurity of a low concentration source drain field of said second conductivity-type thin film transistor, and tales doses with the first conductivity-type impurity.

[Claim 33] In claim 30, said first polar zone consists of semiconductor films containing the second conductivity-type impurity and the second conductivity-type impurity of tales doses which a low concentration source drain field of said second conductivity-type thin film transistor has. A low concentration source drain field of said first conductivity-type thin film transistor is a semiconductor

device characterized by being fewer than this amount of the first conductivity-type impurities, and including the second conductivity-type impurity of a low concentration source drain field of said second conductivity-type thin film transistor, and takes doses with the first conductivity-type impurity.

[Claim 34] In claim 31, said first polar zone consists of semiconductor films containing the first conductivity-type impurity and the first conductivity-type impurity of takes doses which a high concentration source drain field of said first conductivity-type thin film transistor has. A low concentration source drain field of this first conductivity-type thin film transistor is a semiconductor device characterized by being fewer than this amount of the first conductivity-type impurities, and including the second conductivity-type impurity of a low concentration source drain field of said second conductivity-type thin film transistor, and takes doses with the first conductivity-type impurity.

[Claim 35] In claim 31, said first polar zone consists of semiconductor films containing the second conductivity-type impurity and the second conductivity-type impurity of takes doses which a high concentration source drain field of said second conductivity-type thin film transistor has. A low concentration source drain field of said first conductivity-type thin film transistor is a semiconductor device characterized by being fewer than this amount of the first conductivity-type impurities, and including the second conductivity-type impurity of a low concentration source drain field of said second conductivity-type thin film transistor, and takes doses with the first conductivity-type impurity.

[Claim 36] It is the semiconductor device which LDD structure characterized by providing the following is accomplished, and said second conductivity-type thin film transistor is equipped with an offset field which has high impurity concentration equivalent to this channel field between said second conductivity-type source drain field edge of high concentration, and said channel field edge, and is characterized by for said first polar zone to consist of semiconductor films containing the first conductivity-type impurity of the first conductivity-type source drain field of low concentration of said first conductivity-type thin film transistor, and takes doses. The first conductivity-type thin film transistor equipped with a channel field which stands face to face against a gate electrode through a gate insulator layer, and the first conductivity-type source drain field of high concentration which contains the first conductivity-type impurity in high concentration The second conductivity-type thin film transistor equipped with a channel field which stands face to face against a gate electrode through a gate insulator layer, and the second conductivity-type source drain field of high concentration which contains the second conductivity-type impurity in high concentration Setting to a semiconductor device which has the first polar zone which counters through a dielectric film, and a capacitive element which consists of the second polar zone, said first conductivity-type thin film transistor is the first conductivity-type source drain field of low concentration between said first conductivity-type source drain field edge of high concentration, and said channel field edge.

[Claim 37] In a semiconductor device characterized by providing the following, said first conductivity-type thin film transistor constitutes LDD structure of providing the first conductivity-type source drain field of low concentration between said first conductivity-type source drain field edge of high concentration, and said channel field edge. Said second conductivity-type thin film transistor is equipped with an offset field which has high impurity concentration equivalent to this channel field between said second conductivity-type source drain field edge of high concentration, and said channel field edge. Said first polar zone is a semiconductor device characterized by consisting of semiconductor films containing the first conductivity-type impurity of the first conductivity-type source drain field of high concentration of said first conductivity-type thin film transistor, and takes doses. The first conductivity-type thin film transistor equipped with a channel field which stands face to face against a gate electrode through a gate insulator layer, and the first conductivity-type source drain field of high concentration which contains the first conductivity-type impurity in high concentration The second conductivity-type thin film transistor equipped with a channel field which stands face to face against a gate electrode through a gate insulator layer, and the second conductivity-type source drain field of high concentration which contains the second conductivity-type impurity in high concentration A capacitive element which consists of the first polar zone which counters through a dielectric film, and the second polar zone

[Claim 38] In a semiconductor device characterized by providing the following, said first conductivity-

type thin film transistor constitutes LDD structure of providing the first conductivity-type source drain field of low concentration between said first conductivity-type source drain field edge of high concentration, and said channel field edge. Said second conductivity-type thin film transistor is equipped with an offset field which has high impurity concentration equivalent to this channel field between said second conductivity-type source drain field edge of high concentration, and said channel field edge. Said first polar zone is a semiconductor device characterized by consisting of semiconductor films containing the second conductivity-type impurity of the second conductivity-type source drain field of high concentration of said second conductivity-type thin film transistor, and tales doses. The first conductivity-type thin film transistor equipped with a channel field which stands face to face against a gate electrode through a gate insulator layer, and the first conductivity-type source drain field of high concentration which contains the first conductivity-type impurity in high concentration The second conductivity-type thin film transistor equipped with a channel field which stands face to face against a gate electrode through a gate insulator layer, and the second conductivity-type source drain field of high concentration which contains the second conductivity-type impurity in high concentration A capacitive element which consists of the first polar zone which counters through a dielectric film, and the second polar zone

[Claim 39] It is a active-matrix substrate using a semiconductor device specified in claim 27 thru/or one term of 38. Said first conductivity type and said second conductivity-type thin film transistor constitute a CMOS circuit in the drive circuit section. One [ at least ] thin film transistor of said first conductivity type and the second conductivity-type thin film transistors constitutes a thin film transistor for pixels in a pixel field. Said capacitive element is a active-matrix substrate characterized by constituting retention volume to a liquid crystal cell in said pixel field.

[Claim 40] A manufacture method of a LDD mold thin film transistor possessing a high concentration source drain field connected conductively to a gate electrode and a gate insulator layer which are characterized by providing the following, a channel field, and this channel field through a low concentration source drain field, and a semiconductor device which has a capacitive element which consists of the first polar zone which counters through a dielectric film, and the second polar zone The first production process which forms a semiconductor film which constitutes this channel field, this low concentration source drain field, and this first polar zone at least The second production process which introduces a donor or an acceptor, and an impurity that changes into these some semiconductor films in low concentration, and forms this low concentration source drain field and this first polar zone The third production process which forms a gate electrode and the second polar zone after this second production process termination

[Claim 41] A manufacture method of a LDD mold thin film transistor possessing a high concentration source drain field connected conductively to a gate electrode and a gate insulator layer which are characterized by providing the following, a channel field, and this channel field through a low concentration source drain field, and a semiconductor device which has a capacitive element which consists of the first polar zone which counters through a dielectric film, and the second polar zone The first production process which forms a semiconductor film which constitutes this channel field, this high concentration source drain field, and this first polar zone at least The second production process which introduces a donor or an acceptor, and an impurity that changes into these some semiconductor films in high concentration, and forms this high concentration source drain field and this first polar zone The third production process which forms a gate electrode and the second polar zone after this second production process termination

[Claim 42] A manufacture method of a semiconductor device of having a capacitive element which consists of an offset mold thin film transistor possessing a high concentration source drain field connected conductively to this channel field through a gate electrode and a gate insulator layer which are characterized by providing the following, a channel field, this channel field, an offset field containing an impurity of tales doses, and this offset field, the first polar zone which counters through a dielectric film, and the second polar zone The first production process which forms a semiconductor film which constitutes this channel field, this high concentration source drain field, and this first polar zone at least

The second production process which introduces a donor or an acceptor, and an impurity that changes into these some semiconductor films in high concentration, and forms this high concentration source drain field and this first polar zone The third production process which forms a gate electrode and the second polar zone after this second production process termination

[Claim 43] For a start [ LDD mold ] possessing the first conductivity-type source drain field of high concentration connected conductively to a gate electrode and a gate insulator layer which are characterized by providing the following, a channel field, and this channel field through the first conductivity-type source drain field of low concentration A conductivity-type thin film transistor, The LDD type second conductivity-type thin film transistor possessing the second conductivity-type source drain field of high concentration connected conductively to a gate electrode, a gate insulator layer, a channel field, and this channel field through the second conductivity-type source drain field of low concentration, A manufacture method of a semiconductor device of having a capacitive element which consists of the first polar zone which counters through a dielectric film, and the second polar zone They are a channel field of a conductivity-type thin film transistor, and the first conductivity-type source drain field of low concentration for a start [ this / LDD mold ] at least. A channel field of this LDD type second conductivity-type thin film transistor The first production process which forms a semiconductor film which constitutes this first polar zone The second production process which introduces the first conductivity-type impurity into these some semiconductor films in low concentration, and forms this first conductivity-type source drain field of low concentration, and this first polar zone, and the third production process which forms a gate electrode and the second polar zone after this second production process termination

[Claim 44] For a start [ LDD mold ] possessing the first conductivity-type source drain field of high concentration connected conductively to a gate electrode and a gate insulator layer which are characterized by providing the following, a channel field, and this channel field through the first conductivity-type source drain field of low concentration A conductivity-type thin film transistor, The LDD type second conductivity-type thin film transistor possessing the second conductivity-type source drain field of high concentration connected conductively to a gate electrode, a gate insulator layer, a channel field, and this channel field through the second conductivity-type source drain field of low concentration, A manufacture method of a semiconductor device of having a capacitive element which consists of the first polar zone which counters through a dielectric film, and the second polar zone They are a channel field of a conductivity-type thin film transistor, and the first conductivity-type source drain field of high concentration for a start [ this / LDD mold ] at least. A channel field of this LDD type second conductivity-type thin film transistor The first production process which forms a semiconductor film which constitutes this first polar zone The second production process which introduces the first conductivity-type impurity into these some semiconductor films in high concentration, and forms this first conductivity-type source drain field of high concentration, and this first polar zone, and the third production process which forms a gate electrode and the second polar zone after this second production process termination

[Claim 45] The first conductivity-type impurity installation production process of low concentration which introduces the first conductivity-type impurity into this semiconductor film in low concentration in claim 43 thru/or 44 in order to form the first conductivity-type source drain field of low concentration of a conductivity-type thin film transistor for a start [ said / LDD mold ], Or one low concentration impurity installation production process of the second conductivity-type impurity installation production process of low concentration which introduces the second conductivity-type impurity into this semiconductor film in low concentration in order to form the second conductivity-type source drain field of low concentration of said LDD type second conductivity-type thin film transistor is performed, without forming a mask. It is the manufacture method of a semiconductor device characterized by what a difference of the amount of installation of this first conductivity-type impurity and this second conductivity-type impurity prescribes about a conductivity type and substantial high impurity concentration of a field where an impurity of both sides of this first conductivity-type impurity and this second conductivity-type impurity is introduced.

[Claim 46] For a start [ LDD mold ] possessing the first conductivity-type source drain field of high concentration connected conductively to a gate electrode and a gate insulator layer which are characterized by providing the following, the first channel field, and this first channel field through the first conductivity-type source drain field of low concentration A conductivity-type thin film transistor, A gate electrode, a gate insulator layer, the second channel field, and the second conductivity-type source drain field of high concentration, And the offset type second conductivity-type thin film transistor which possesses an offset field which has the same high impurity concentration with this second channel field between this second channel field edge and this second conductivity-type source drain field edge of high concentration, A manufacture method of a semiconductor device of having the first polar zone which counters through a dielectric film, and a capacitive element which consists of the second polar zone The first production process which forms a semiconductor film which constitutes this first channel field, this first conductivity-type source drain field of low concentration, this second channel field, and this first polar zone at least The second production process which introduces the first conductivity-type impurity into these some semiconductor films in low concentration, and forms this first conductivity-type source drain field of low concentration, and this first polar zone The third production process which forms a gate electrode and the second polar zone after this second production process termination

[Claim 47] For a start [ LDD mold ] possessing the first conductivity-type source drain field of high concentration connected conductively to a gate electrode and a gate insulator layer which are characterized by providing the following, the first channel field, and this first channel field through the first conductivity-type source drain field of low concentration A conductivity-type thin film transistor, A gate electrode, a gate insulator layer, the second channel field, and the second conductivity-type source drain field of high concentration, And the offset type second conductivity-type thin film transistor which possesses an offset field which has the same high impurity concentration with this second channel field between this second channel field edge and this second conductivity-type source drain field edge of high concentration, A manufacture method of a semiconductor device of having the first polar zone which counters through a dielectric film, and a capacitive element which consists of the second polar zone The first production process which forms a semiconductor film which constitutes this first channel field, this first conductivity-type source drain field of high concentration, this second channel field, and this first polar zone at least The second production process which introduces the first conductivity-type impurity into these some semiconductor films in high concentration, and forms this first conductivity-type source drain field of high concentration, and this first polar zone The third production process which forms a gate electrode and the second polar zone after this second production process termination

[Claim 48] For a start [ LDD mold ] possessing the first conductivity-type source drain field of high concentration connected conductively to a gate electrode and a gate insulator layer which are characterized by providing the following, the first channel field, and this first channel field through the first conductivity-type source drain field of low concentration A conductivity-type thin film transistor, A gate electrode, a gate insulator layer, the second channel field, and the second conductivity-type source drain field of high concentration, And the offset type second conductivity-type thin film transistor which possesses an offset field which has the same high impurity concentration with this second channel field between this second channel field edge and this second conductivity-type source drain field edge of high concentration, A manufacture method of a semiconductor device of having the first polar zone which counters through a dielectric film, and a capacitive element which consists of the second polar zone The first production process which forms a semiconductor film which constitutes this first channel field, this second channel field, this second conductivity-type source drain field of high concentration, and this first polar zone at least The second production process which introduces the second conductivity-type impurity into these some semiconductor films in high concentration, and forms this second conductivity-type source drain field of high concentration, and this first polar zone The third production process which forms a gate electrode and the second polar zone after this second production process termination

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] There is this invention about a semiconductor device and its manufacture methods, such as a active-matrix substrate equipped with a different conductivity-type thin film transistor (it \*\*\*\* Following TFT.) and different TFT, and a capacitative element. Furthermore, it is about the technology for optimizing the electrical characteristics of TFT, simplifying the manufacturing process of these semiconductor devices in detail.

[0002]

[Description of the Prior Art] As a semiconductor device using TFT, there is a drive circuit built-in active-matrix substrate of a liquid crystal display etc. In the active-matrix substrate, as the drive circuit section and a pixel field are typically shown in drawing 29 toward a right-hand side field from the left-hand side field, it is formed TFT30" for drive circuits of P type, and on the insulating substrate 2 with same TFT20" for drive circuits of N type and TFT10" for pixels of N type. Here, when each TFT is formed with self aryne structure, as a continuous line L1 shows the on--off leak current characteristic of TFT of N type to drawing 30 and a dotted line L2 shows the on--off leak current characteristic of TFT of P type, there is a trouble which says that OFF leakage current is large. Thus, if TFT with big off leakage current is used as TFT for pixels, it will be easy to become causes, such as display unevenness. Moreover, also by TFT for drive circuits, if off leakage current is large, it will be easy to become the cause of useless power consumption or malfunction. Furthermore, by TFT of self aryne structure, since the withstand voltage between the source drains of TFT is not enough, channel length must be set up for a long time, as a continuous line L23 shows the withstand voltage property in TFT of N type to drawing 31 (a) and a continuous line L24 shows the withstand voltage property in TFT of P type to drawing 31 (b).

[0003] So, each TFT is made into LDD structure in the active-matrix substrate shown in drawing 29. (In this application, this is sometimes called LDD TFT for short) The portions to which each TFT constituted by this active-matrix substrate stands face to face against the edge of the inner gate electrodes 15, 25, and 35 of the source drain fields 11, 12, 21, 22, 31, and 32 are the low concentration source drain fields 111, 121, 211, 221, 311, and 321. For this reason, as a continuous line L3 shows the on--off leak current characteristic of TFT of N type to drawing 32 and a dotted line L4 shows the on--off leak current characteristic of TFT of P type, OFF leakage current is small. Therefore, while preventing generating of display unevenness, a flicker, etc., malfunction and useless power consumption can be held down. Moreover, since the withstand voltage between source drains is high as a continuous line L21 shows the withstand voltage property in TFT of N type to drawing 31 (a) and a continuous line L22 shows the withstand voltage property in TFT of P type to drawing 31 (b), TFT of LDD structure has the advantage referred to as being able to shorten channel length.

[0004] When applying the semiconductor device mentioned above to the active-matrix substrate, in order to, improve the maintenance property of the charge in a liquid crystal cell on the other hand, the retention volume of 40" may be formed on the same insulating substrate 2 (refer to drawing 29). This



retention volume of 40" has conventionally the low concentration N type silicon film which electric-conduction-ized the silicon film as 40g of the lower layer lateral electrode sections. Here, the gate insulator layers 14, 24, and 34 of TFT and the silicon oxide formed in coincidence are formed in the surface side of 40g of lower layer lateral electrode sections as a dielectric film 44. A part of capacity Rhine of the dedication by which coincidence formation was carried out with the gate electrodes 15, 25, and 35 of TFT, or some signal lines of the preceding paragraph are formed in the surface side of a dielectric film 44 as the upper lateral electrode section 45.

[0005] 1" of active-matrix substrates of this structure is conventionally manufactured by the following methods.

[0006] First, as shown in drawing 33 (a), after forming the gate insulator layers 14, 24, and 34 and a dielectric film 44 to the silicon films 10a, 20a, 30a, and 40a of the shape of an island formed in the surface of an insulating substrate 2, boron ion is driven in with the dose of abbreviation  $1 \times 10^{12} \text{cm}^{-2}$ . It is for performing a channel dope and is (1st impurity installation production process). Consequently, each silicon films 10a, 20a, 30a, and 40a serve as low concentration P type. This is performed in order to adjust the threshold voltage ( $V_{th}$ ) of a thin film transistor. (In this application, this is sometimes abbreviated to a channel dope and C/D)

Next, as shown in drawing 33 (b), it is a wrap (1st mask formation production process) with the resist mask 151 about each formation field of TFT. Then, phosphorus ion is driven in with the dose of 2 and it considers as 40g of about  $3 \times 10^{14} \text{cm}^{-2}$  - lower layer lateral electrode sections for making N type reverse silicon film 40a, and forming the retention volume of 40" (2nd impurity installation production process).

[0007] next -- drawing 33 -- (-- c --) -- being shown -- as -- the gate -- an electrode -- 15 -- 25 -- 35 -- and -- the upper layer -- a lateral electrode -- the section -- 45 -- forming -- retention volume -- 40 -- " -- having formed -- after -- N type -- a pixel -- \*\* -- TFT -- ten -- " -- and -- N type -- a drive -- a circuit -- \*\* -- TFT -- 20 -- " -- formation -- a field -- the resist mask 152 -- a wrap (2nd mask formation Then, boron ion is driven in with the dose of abbreviation  $2 \times 10^{13} \text{cm}^{-2}$ , and high impurity concentration forms the source drain fields 31 and 32 of the low concentration P type of abbreviation  $2.1 \times 10^{18} \text{cm}^{-3}$  (3rd impurity installation production process). In addition, the portion into which an impurity was not introduced serves as the channel field 33.

[0008] Next, as shown in drawing 33 (d), it is a wrap (3rd mask formation production process) with the resist mask 153 about the formation field of TFT30" for drive circuits of P type. Then, phosphorus ion is driven in with the dose of abbreviation  $1 \times 10^{13} \text{cm}^{-2}$ , and high impurity concentration forms the source drain fields 11, 12, 21, and 22 of the low concentration N type of abbreviation  $0.9 \times 10^{18} \text{cm}^{-3}$  (4th impurity installation production process).

[0009] next, it is shown in drawing 33 (e) -- as -- the formation field of TFT10" for pixels of N type, the formation field of TFT20" for drive circuits of N type, and retention volume 40 -- " -- in addition, the wrap resist mask 154 is formed width also for the gate electrode 35 (4th mask formation production process). Then, boron ion is driven in with the dose of abbreviation  $1 \times 10^{15} \text{cm}^{-2}$ , and high impurity concentration forms the high concentration source drain fields 312 and 322 of abbreviation  $1 \times 10^{20} \text{cm}^{-3}$  (5th impurity installation production process). Consequently, as for the portion covered with the resist mask 154 among the source drain fields 31 and 32 of low concentration P type, high impurity concentration serves as the low concentration source drain fields 311 and 321 of abbreviation  $2.1 \times 10^{18} \text{cm}^{-3}$  as it is. Thus, TFT30" for drive circuits of P type is formed.

[0010] Next, as shown in drawing 33 (f), in addition to the formation field of TFT30" for drive circuits of P type, the wrap resist mask 155 is formed width also for the gate electrodes 15 and 25 (5th mask formation production process). Then, phosphorus ion is driven in with the dose of abbreviation  $1 \times 10^{15} \text{cm}^{-2}$ , and high impurity concentration forms the high concentration source drain fields 112, 122, 212, and 222 of abbreviation  $1 \times 10^{20} \text{cm}^{-3}$  (6th impurity installation production process). As for the portion covered with the resist mask 155 among the source drain fields 11, 12, 21, and 22 of low concentration N type, high impurity concentration serves as the low concentration source drain fields 111, 121, 211, and 221 of abbreviation  $0.9 \times 10^{18} \text{cm}^{-3}$  as it is. Thus, TFT10" for pixels of N type and

TFT20" for drive circuits of N type are formed.

[0011] As henceforth shown in drawing 29 , after forming an interlayer insulation film 4, annealing for activation is performed, and if a contact hole is formed in after an appropriate time and the source drain electrodes 16, 17, 26, 27, 36, and 37 are formed, 1" of active-matrix substrates will be completed. Only in order to add a donor or acceptor impurity conventionally to Mr. \*\* at a semiconductor film, 5 times of mask formation production processes (formation of the resist masks 151-155) and 6 times of impurity installation production processes were performed, and it was. However, if retention volume of 40" is not formed, only in order to add a donor or acceptor impurity on a semiconductor film, it turns to 4 times of mask formation production processes (formation of the resist masks 152-155) and 5 times of impurity installation production processes being performed.

[0012]

[Problem(s) to be Solved by the Invention] However, since the number of mask formation production processes and the number of impurity installation production processes rule over greatly, the manufacturing cost of a active-matrix substrate has the trouble which says that the number of manufacturing processes will increase sharply, when optimization of TFT is used as a drawing wax like the former. Drawing 33 (a) It is LDD like the manufacture method explained with reference to - (f). In accomplishing a CMOS configuration in TFT and forming the retention volume of 40", only in order to add a donor or acceptor impurity on a semiconductor film, 5 times of mask formation production processes and 6 times of impurity installation production processes became necessity. A trouble that the manufacturing cost of a reason active-matrix substrate increases [ this ] remarkably is accepted. This trouble exists similarly with the semiconductor device of others which have the other semiconductor devices and the both sides of TFT and a capacitative element which have TFT from which not only a active-matrix substrate but a conductivity type differs.

[0013] In view of the above trouble, the technical problem of this invention is at least like a active-matrix substrate with a built-in drive circuit to offer the semiconductor device which raised each electrical characteristics of TFT with the minimum number of manufacturing processes in TFT, this TFT, TFT from which a conductivity type differs, or the semiconductor device equipped with the capacitative element, its manufacture method, and a active-matrix substrate.

[0014]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, a semiconductor device consists of this inventions as follows. Although each of each invention explained below makes a semiconductor device which raised each electrical characteristics of TFT, and its manufacture method the common purpose and a common technical problem with the minimum number of manufacturing processes, it will be divided roughly into invention concerning invention concerning claim 1 thru/or 26, claim 27, or 48 if they are classified further.

[0015] Invention concerning claim 1 thru/or 26 is on the same substrate by invention about active-matrix substrates a semiconductor device which has TFT of the first conductivity type and the second conductivity type, for [ which were adapted in it ] liquid crystal displays. There are claim 8 11 and claim 19 thru/or 22 by invention about a manufacture method of these semiconductor devices.

[0016] On the other hand, invention concerning claim 27 thru/or 39 is on the same substrate by invention about active-matrix substrates a semiconductor device which has TFT and a capacitative element, for [ which were adapted in it ] liquid crystal displays. There is invention concerning claim 40 thru/or 48 by invention about a manufacture method of these semiconductor devices.

[0017] The first conductivity-type thin film transistor which [invention concerning claim 1] this invention equips with the first channel field and the first conductivity-type high concentration source drain field which stand face to face against the first gate electrode through the first gate insulator layer, The second conductivity-type thin film transistor equipped with the second channel field and the second conductivity-type high concentration source drain field which stand face to face against the second gate electrode through the second gate insulator layer, In a semiconductor device which has \*\*, this first conductivity-type thin film transistor constitutes LDD structure of providing the first conductivity-type low concentration source drain field between this first conductivity-type high concentration source drain

field and this first channel field. As for this second conductivity-type thin film transistor, this first channel field constitutes offset structure of providing an offset field which has the same high impurity concentration with this second channel field, including the second conductivity-type impurity of super-low concentration between this second conductivity-type high concentration source drain field and this second channel field. It is characterized by this second channel field being including the second conductivity-type impurity of super-low concentration.

[0018] Thus, when constituted, since any TFT has a portion which stands face to face against an edge of a gate electrode in a low concentration field, the OFF state current is small. Moreover, since withstand voltage between source drains of TFT is high, channel length can be shortened. Therefore, since the ON state current increases and transistor capacity can be reduced further, there is also an advantage which says that high-speed operation becomes possible. Furthermore, a low concentration field which stands face to face against an edge of a gate electrode in TFT for drive circuits of the second conductivity type is formed as an offset field which has the same high impurity concentration as a channel field.

Therefore, a mask formation production process and an impurity installation production process can be lessened once [ every ] rather than a case where all TFT(s) are manufactured with LDD structure, respectively. Moreover, the second conductivity-type impurity introduced by super-low concentration adjusts  $V_{th}$  within a channel, and acts as a low concentration majority carrier in an offset field. Since a semiconductor device which optimized each electrical characteristics of TFT with the minimum number of manufacturing processes thus is realized, it is.

[0019] In a semiconductor device which indicates [invention concerning claim 2] this invention to claim 1 Set source drain voltage of said first conductivity-type thin film transistor to  $V_{DS1}$ , and  $V_{GS1}$  and source drain current are set to  $I_{DS1}$  for gate voltage. When source drain voltage of said second conductivity-type thin film transistor is set to  $V_{DS2}$  and gate voltage is set to  $I_{DS2}$ ,  $V_{GS2}$  and source drain current  $|V_{DS1}|=|V_{DS2}|$ , And it is characterized by defining the second conductivity-type high impurity concentration of said second channel field and said offset field so that it may change with  $I_{DS2}>I_{DS1}$  under conditions of  $V_{GS1}=V_{GS2}=0$ .

[0020] Thus, when constituted, it changes that it is possible to make reduction of the ON state current of the second conductivity type TFT resulting from parasitism resistance of an offset field into min, and to make the ON state current and transistor capacity of the first conductivity type TFT and the second conductivity type TFT into an abbreviation EQC. Therefore, when a CMOS circuit is constituted from such TFT, a circuit operates at high speed and cannot produce malfunction easily, either. Moreover, a configuration and a layout of a circuit are also simplified by coincidence. (Since size and a dimension of the first conductivity type TFT and the second conductivity type TFT can be made the same.)

In a semiconductor device which indicates [invention concerning claim 3] this invention to claim 1 Set source drain voltage of said first conductivity-type thin film transistor to  $V_{DS1}$ , and  $V_{GS1}$  and source drain current are set to  $I_{DS1}$  for gate voltage. When source drain voltage of said second conductivity-type thin film transistor is set to  $V_{DS2}$  and gate voltage is set to  $I_{DS2}$ ,  $V_{GS2}$  and source drain current  $|V_{DS1}|=|V_{DS2}|$ , To and an ON state and appearance shifted in the direction in which it changes, said 0V to first conductivity-type thin film transistor [ gate voltage when changing with  $I_{DS2}=I_{DS1}$  under conditions of  $V_{GS1}=V_{GS2}$  ] It is characterized by defining the second conductivity-type high impurity concentration of said second channel field and said offset field.

[0021] Thus, if constituted, only by optimizing high impurity concentration of the second conductivity type in a channel field and an offset field of the second conductivity type TFT, TFT of the second conductivity type which is offset structure can be made into weak DEPLETION mode, and TFT of the first conductivity type which exists with LDD structure can be made into weak enhancing mode. In this way, it changes that it is possible to make reduction of the ON state current of the second conductivity type TFT resulting from parasitism resistance of an offset field into min, and to make the ON state current and transistor capacity of the first conductivity type TFT and the second conductivity type TFT into an abbreviation EQC. Therefore, when a CMOS circuit is constituted from such TFT, a circuit operates at high speed and cannot produce malfunction easily, either. Moreover, a configuration and a layout of a circuit are also simplified by coincidence. (Since size and a dimension of the first

conductivity type TFT and the second conductivity type TFT can be made the same.)

[Invention concerning claim 4] this invention is characterized by all of the second conductivity-type high impurity concentration which said first channel field contains, the second conductivity-type high impurity concentration which said second channel field contains, and the second conductivity-type high impurity concentration which said offset field contains being equal in a semiconductor device indicated to claim 1 thru/or 3.

[0022] That is, in case the second conductivity-type impurity is introduced into a channel field of the second conductivity type TFT, the second conductivity-type impurity is introduced also into a channel field of TFT of the first conductivity type, and the second conductivity-type impurity can be introduced into coincidence also to an offset field. So, a routing counter is reducible.

[0023] In the [invention concerning claims 5 and 6] invention in this application, the first conductivity type and the second conductivity type mean that it is with a reverse conductivity type mutually, and when the first conductivity type is used as N type, there is the second conductivity type with P type. Conversely, there is the second conductivity type in a case with N type by using the first conductivity type as P type.

[0024] [invention concerning claim 7] \*\* -- said first conductivity type and said second conductivity-type thin film transistor constitute a CMOS circuit in a drive circuit, and one thin film transistor of said first conductivity type and the second conductivity-type thin film transistors constitutes a thin film transistor for pixels from a active-matrix substrate for liquid crystal displays which was adapted in a semiconductor device [ like ] in a pixel field.

[0025] In a manufacture method of a semiconductor device of indicating [invention concerning claim 8] this invention to claim 1 The second conductivity-type impurity installation production process of super-low concentration which introduces the second conductivity-type impurity into a semiconductor film by super-low concentration in order to form said first channel field, said second channel field, and said offset field, A gate electrode formation production process which forms said first gate electrode and said second gate electrode, The first conductivity-type impurity installation production process of low concentration which introduces the first conductivity-type impurity into a semiconductor film in low concentration in order to form said first conductivity-type low concentration source drain field, The first conductivity-type impurity installation production process of high concentration which introduces the first conductivity-type impurity into a semiconductor film in high concentration in order to form said first conductivity-type high concentration source drain field, It has the second conductivity-type impurity installation production process of high concentration which introduces the second conductivity-type impurity into a semiconductor film in high concentration in order to form said second conductivity-type high concentration source drain field. It is characterized by performing this second conductivity-type impurity installation production process of super-low concentration before this gate electrode formation production process, and performing this first conductivity-type impurity installation production process of low concentration after this gate electrode formation.

[0026] After the second conductivity-type impurity installation production process of super-low concentration performing the second conductivity-type impurity as a production process which forms a super-low concentration \*\*\*\* doped semiconductor film and performing this production process in [invention concerning claim 9] this invention, a gate insulator layer is sometimes formed in the semiconductor film surface.

[0027] After carrying out as a production process which introduces the second conductivity-type impurity in low concentration to a semiconductor film formed before the second conductivity-type impurity installation production process of super-low concentration performed this production process in [invention concerning claim 10] this invention and performing this production process, a gate insulator layer is sometimes formed in the semiconductor film surface.

[0028] It sometimes carries out as a production process which introduces the second conductivity-type impurity by super-low concentration through a gate insulator layer formed in that surface to a semiconductor film formed before the second conductivity-type impurity installation production process of super-low concentration performed this production process in [invention concerning claim 11] this

invention.

[0029] The first conductivity-type thin film transistor which [invention concerning claim 12] this invention equips with the first channel field and the first conductivity-type high concentration source drain field which stand face to face against the first gate electrode through the first gate insulator layer, The second conductivity-type thin film transistor equipped with the second channel field and the second conductivity-type high concentration source drain field which stand face to face against the second gate electrode through the second gate insulator layer, In a semiconductor device which has \*\*, this first conductivity-type thin film transistor constitutes LDD structure of providing the first conductivity-type low concentration source drain field between this first conductivity-type high concentration source drain field and this first channel field. As for this second conductivity-type thin film transistor, this first channel field constitutes offset structure of providing an offset field which has the same high impurity concentration with this second channel field, including the first conductivity-type impurity of super-low concentration between this second conductivity-type high concentration source drain field and this second channel field. It is characterized by this second channel field being including the first conductivity-type impurity of super-low concentration.

[0030] Thus, when constituted, since any TFT has a portion which stands face to face against an edge of a gate electrode in a low concentration field, the OFF state current is small. Moreover, since withstand voltage between source drains of TFT is high, channel length can be shortened. Therefore, since the ON state current increases and transistor capacity can be reduced further, there is also an advantage which says that high-speed operation becomes possible. Furthermore, a low concentration field which stands face to face against an edge of a gate electrode in TFT for drive circuits of the second conductivity type is formed as an offset field which has the same high impurity concentration as a channel field. Therefore, a mask formation production process and an impurity installation production process can be lessened once [ every ] rather than a case where all TFT(s) are manufactured with LDD structure, respectively. Moreover, the first conductivity-type impurity introduced by super-low concentration adjusts  $V_{th}$  within a channel, and acts as a low concentration majority carrier in an offset field. Since a semiconductor device which optimized each electrical characteristics of TFT with the minimum number of manufacturing processes thus is realized, it is.

[0031] In a semiconductor device which indicates [invention concerning claim 13] this invention to claim 12 Set source drain voltage of said first conductivity-type thin film transistor to  $V_{DS1}$ , and  $V_{GS1}$  and source drain current are set to  $I_{DS1}$  for gate voltage. When source drain voltage of said second conductivity-type thin film transistor is set to  $V_{DS2}$  and gate voltage is set to  $I_{DS2}$ ,  $V_{GS2}$  and source drain current  $|V_{DS1}|=|V_{DS2}|$ , And it is characterized by defining the first conductivity-type high impurity concentration of said second channel field and said offset field so that it may change with  $I_{DS2}>I_{DS1}$  under conditions of  $V_{GS1}=V_{GS2}=0$ .

[0032] Thus, when constituted, it changes that it is possible to make reduction of the ON state current of the second conductivity type TFT resulting from parasitism resistance of an offset field into min, and to make the ON state current and transistor capacity of the first conductivity type TFT and the second conductivity type TFT into an abbreviation EQC. Therefore, when a CMOS circuit is constituted from such TFT, a circuit operates at high speed and cannot produce malfunction easily, either. Moreover, a configuration and a layout of a circuit are also simplified by coincidence. (Since size and a dimension of the first conductivity type TFT and the second conductivity type TFT can be made the same.)

In a semiconductor device which indicates [invention concerning claim 14] this invention to claim 12 Set source drain voltage of said first conductivity-type thin film transistor to  $V_{DS1}$ , and  $V_{GS1}$  and source drain current are set to  $I_{DS1}$  for gate voltage. When source drain voltage of said second conductivity-type thin film transistor is set to  $V_{DS2}$  and gate voltage is set to  $I_{DS2}$ ,  $V_{GS2}$  and source drain current  $|V_{DS1}|=|V_{DS2}|$ , To and an ON state and appearance shifted in the direction in which it changes, said 0V to first conductivity-type thin film transistor [ gate voltage when changing with  $I_{DS2}=I_{DS1}$  under conditions of  $V_{GS1}=V_{GS2}$  ] It is characterized by defining the first conductivity-type high impurity concentration of said second channel field and said offset field.

[0033] Thus, if constituted, only by optimizing high impurity concentration of the first conductivity type

in a channel field and an offset field of the second conductivity type TFT, TFT of the second conductivity type which is offset structure can be made into weak DEPLETION mode, and TFT of the first conductivity type which exists with LDD structure can be made into weak enhancing mode. In this way, it changes that it is possible to make reduction of the ON state current of the second conductivity type TFT resulting from parasitic resistance of an offset field into min, and to make the ON state current and transistor capacity of the first conductivity type TFT and the second conductivity type TFT into an abbreviation EQC. Therefore, when a CMOS circuit is constituted from such TFT, a circuit operates at high speed and cannot produce malfunction easily, either. Moreover, a configuration and a layout of a circuit are also simplified by coincidence. (Since size and a dimension of the first conductivity type TFT and the second conductivity type TFT can be made the same.)

[Invention concerning claim 15] this invention is characterized by all of the first conductivity-type high impurity concentration which said first channel field contains, the first conductivity-type high impurity concentration which said second channel field contains, and the first conductivity-type high impurity concentration which said offset field contains being equal in a semiconductor device indicated to claim 12 thru/or 14.

[0034] That is, in case the first conductivity-type impurity is introduced into a channel field of the second conductivity type TFT, the first conductivity-type impurity is introduced also into a channel field of TFT of the first conductivity type, and the first conductivity-type impurity can be introduced into coincidence also to an offset field. So, a routing counter is reducible.

[0035] In the [invention concerning claims 16 and 17] invention in this application, the first conductivity type and the second conductivity type mean that it is with a reverse conductivity type mutually, and when the first conductivity type is used as N type, there is the second conductivity type with P type. Conversely, there is the second conductivity type in a case with N type by using the first conductivity type as P type.

[0036] [invention concerning claim 18] \*\* -- said first conductivity type and said second conductivity-type thin film transistor constitute a CMOS circuit in a drive circuit, and one thin film transistor of said first conductivity type and the second conductivity-type thin film transistors constitutes a thin film transistor for pixels from a active-matrix substrate for liquid crystal displays which was adapted in a semiconductor device [ like ] in a pixel field.

[0037] In a manufacture method of a semiconductor device of indicating [invention concerning claim 19] this invention to claim 12 The first conductivity-type impurity installation production process of super-low concentration which introduces the first conductivity-type impurity into a semiconductor film by super-low concentration in order to form said first channel field, said second channel field, and said offset field, A gate electrode formation production process which forms said first gate electrode and said second gate electrode, The first conductivity-type impurity installation production process of low concentration which introduces the first conductivity-type impurity into a semiconductor film in low concentration in order to form said first conductivity-type low concentration source drain field, The first conductivity-type impurity installation production process of high concentration which introduces the first conductivity-type impurity into a semiconductor film in high concentration in order to form said first conductivity-type high concentration source drain field, It has the second conductivity-type impurity installation production process of high concentration which introduces the second conductivity-type impurity into a semiconductor film in high concentration in order to form said second conductivity-type high concentration source drain field. It is characterized by performing this first conductivity-type impurity installation production process of super-low concentration before this gate electrode formation production process, and performing this first conductivity-type impurity installation production process of low concentration after this gate electrode formation.

[0038] After the first conductivity-type impurity installation production process of super-low concentration performing the first conductivity-type impurity as a production process which forms a super-low concentration \*\*\*\* doped semiconductor film and performing this production process in [invention concerning claim 20] this invention, a gate insulator layer is sometimes formed in the semiconductor film surface.



[0039] After carrying out as a production process which introduces the first conductivity-type impurity in low concentration to a semiconductor film formed before the first conductivity-type impurity installation production process of super-low concentration performed this production process in [invention concerning claim 21] this invention and performing this production process, a gate insulator layer is sometimes formed in the semiconductor film surface.

[0040] It sometimes carries out as a production process which introduces the first conductivity-type impurity by super-low concentration through a gate insulator layer formed in that surface to a semiconductor film formed before the first conductivity-type impurity installation production process of super-low concentration performed this production process in [invention concerning claim 22] this invention.

[0041] The first conductivity-type thin film transistor which [invention concerning claim 23] this invention equips with the first channel field and the first conductivity-type high concentration source drain field which stand face to face against the first gate electrode through the first gate insulator layer, The second conductivity-type thin film transistor equipped with the second channel field and the second conductivity-type high concentration source drain field which stand face to face against the second gate electrode through the second gate insulator layer, In a semiconductor device which has \*\*, this first conductivity-type thin film transistor constitutes LDD structure of providing the first conductivity-type low concentration source drain field between this first conductivity-type high concentration source drain field and this first channel field. There is this first channel field by abbreviation genuineness, and this second conductivity-type thin film transistor constitutes offset structure of providing an offset field which has the same high impurity concentration with this second channel field between this second conductivity-type high concentration source drain field and this second channel field. It is characterized by there being this second channel field by abbreviation genuineness.

[0042] Thus, when constituted, since any TFT has a portion which stands face to face against an edge of a gate electrode in a low concentration field, the OFF state current is small. Moreover, since withstand voltage between source drains of TFT is high, channel length can be shortened. Therefore, since the ON state current increases and transistor capacity can be reduced further, there is also an advantage which says that high-speed operation becomes possible. Furthermore, a semiconductor which stands face to face against an edge of a gate electrode in TFT for drive circuits of the second conductivity type is formed as an offset field which has the same high impurity concentration as a channel field. Therefore, an impurity installation production process can be lessened once for a mask formation production process twice rather than a case where all TFT(s) are manufactured with LDD structure. Since a semiconductor device which optimized each electrical characteristics of TFT with the minimum number of manufacturing processes thus is realized, it is.

[0043] In the [invention concerning claims 24 and 25] invention in this application, the first conductivity type and the second conductivity type mean that it is with a reverse conductivity type mutually, and when the first conductivity type is used as N type, there is the second conductivity type with P type. Conversely, there is the second conductivity type in a case with N type by using the first conductivity type as P type.

[0044] [invention concerning claim 26] \*\* -- said first conductivity type and said second conductivity-type thin film transistor constitute a CMOS circuit in a drive circuit, and one thin film transistor of said first conductivity type and the second conductivity-type thin film transistors constitutes a thin film transistor for pixels from a active-matrix substrate for liquid crystal displays which was adapted in a semiconductor device [ like ] in a pixel field.

[0045] A thin film transistor equipped with a source drain field which connects [invention concerning claim 27] this invention to a channel field which stands face to face against a gate electrode through a gate insulator layer, and this channel field, And it sets to a semiconductor device which has the first polar zone which counters through a dielectric film, and a capacitive element which consists of the second polar zone. Said thin film transistor constitutes LDD structure of providing a high concentration source drain field where a source drain field adjoins a low concentration source drain field and this low concentration source drain field which stand face to face against an edge of a gate electrode through a

gate insulator layer. Said low concentration source drain field and conductivity type of said first polar zone are the same, and it is characterized by high impurity concentration of this conductivity type consisting of same equivalent semiconductor films.

[0046] if it is made such a configuration, it is possible to create a low concentration source drain field and the first polar zone to coincidence -- turning -- LDD an advantage of TFT -- harnessing -- a still smaller routing counter -- \*\* -- a semiconductor device [ like ] is manufactured.

[0047] A thin film transistor equipped with a source drain field which connects [invention concerning claim 28] this invention to a channel field which stands face to face against a gate electrode through a gate insulator layer, and this channel field, And it sets to a semiconductor device which has the first polar zone which counters through a dielectric film, and a capacitive element which consists of the second polar zone. Said thin film transistor constitutes LDD structure of providing a high concentration source drain field where a source drain field adjoins a low concentration source drain field and this low concentration source drain field which stand face to face against an edge of a gate electrode through a gate insulator layer. Said high concentration source drain field and conductivity type of said first polar zone are the same, and it is characterized by high impurity concentration of this conductivity type consisting of same equivalent semiconductor films.

[0048] if it is made such a configuration, it is possible to create a high concentration source drain field and the first polar zone to coincidence -- turning -- LDD an advantage of TFT -- harnessing -- a still smaller routing counter -- \*\* -- a semiconductor device [ like ] is manufactured. Furthermore, it changes that it is possible to create a low concentration source drain field in self align to a gate electrode, and good TFT with little parasitic capacitance is obtained.

[0049] A thin film transistor equipped with a source drain field where [invention concerning claim 29] this invention contains in high concentration a channel field and a donor impurity which stand face to face against a gate electrode through a gate insulator layer, or acceptor impurity, And it sets to a semiconductor device which has the first polar zone which counters through a dielectric film, and a capacitive element which consists of the second polar zone. Said thin film transistor is equipped with an offset field which has high impurity concentration equivalent to this channel field between this source drain field edge and this channel field edge. Said high concentration source drain field and conductivity type of said first polar zone are the same, and it is characterized by high impurity concentration of this conductivity type consisting of same equivalent semiconductor films.

[0050] if it is made such a configuration, it is possible to create a high concentration source drain field and the first polar zone to coincidence -- turning -- offset an advantage of TFT -- harnessing -- a still smaller routing counter -- \*\* -- a semiconductor device [ like ] is manufactured. Furthermore, it changes that it is possible to create a low concentration source drain field in self align to a gate electrode, and good TFT with little parasitic capacitance is obtained.

[0051] The first conductivity type and the second conductivity-type thin film transistor equipped with a source drain field which connects [invention concerning claim 30] this invention to a channel field which stands face to face against a gate electrode through a gate insulator layer, and this channel field, In a semiconductor device which has the first polar zone which counters through a dielectric film, and a capacitive element which consists of the second polar zone Said first conductivity type and the second conductivity-type thin film transistor constitute LDD structure equipped with a high concentration source drain field where a source drain field adjoins a low concentration source drain field and this low concentration source drain field which stand face to face against an edge of a gate electrode through a gate insulator layer. Said first conductivity type, and said low concentration source drain field and conductivity type of the second conductivity-type thin film transistor of said first polar zone are the same, and it is characterized by high impurity concentration of this conductivity type consisting of same equivalent semiconductor films.

[0052] if it is made such a configuration, it is possible to create a low concentration source drain field and the first polar zone to coincidence -- turning -- LDD CMOS an advantage of TFT -- harnessing -- a still smaller routing counter -- \*\* -- a semiconductor device [ like ] is manufactured.

[0053] The first conductivity type and the second conductivity-type thin film transistor equipped with a

source drain field which connects [invention concerning claim 31] this invention to a channel field which stands face to face against a gate electrode through a gate insulator layer, and this channel field, In a semiconductor device which has the first polar zone which counters through a dielectric film, and a capacitative element which consists of the second polar zone Said first conductivity type and the second conductivity-type thin film transistor constitute LDD structure equipped with a high concentration source drain field where a source drain field adjoins a low concentration source drain field and this low concentration source drain field which stand face to face against an edge of a gate electrode through a gate insulator layer. Said first conductivity type, and said high concentration source drain field and conductivity type of the second conductivity-type thin film transistor of said first polar zone are the same, and it is characterized by high impurity concentration of this conductivity type consisting of same equivalent semiconductor films.

[0054] if it is made such a configuration, it is possible to create a high concentration source drain field and the first polar zone to coincidence -- turning -- LDD CMOS an advantage of TFT -- harnessing -- a still smaller routing counter -- \*\* -- a semiconductor device [ like ] is manufactured. Furthermore, it changes that it is possible to create a low concentration source drain field in self align to a gate electrode, and good TFT with little parasitic capacitance is obtained.

[0055] [Invention concerning claim 32] this invention is set [ claim 30 ] to a publication at a semiconductor device. Said first polar zone consists of semiconductor films containing the first conductivity-type impurity and the first conductivity-type impurity of tales doses which a low concentration source drain field of said first conductivity-type thin film transistor has. With the first conductivity-type impurity, there are few low concentration source drain fields of this first conductivity-type thin film transistor than this amount of the first conductivity-type impurities, and they are characterized by including the second conductivity-type impurity of a low concentration source drain field of said second conductivity-type thin film transistor, and tales doses.

[0056] if it is made such a configuration -- LDD CMOS an advantage of TFT -- harnessing -- in addition -- a photograph production process -- further -- like 1 \*\* -- it can reduce -- a smaller routing counter -- \*\* -- a semiconductor device [ like ] is manufactured.

[0057] [Invention concerning claim 33] this invention is set to a semiconductor device according to claim 30. Said first polar zone consists of semiconductor films containing the second conductivity-type impurity and the second conductivity-type impurity of tales doses which a low concentration source drain field of said second conductivity-type thin film transistor has. With the first conductivity-type impurity, there are few low concentration source drain fields of said first conductivity-type thin film transistor than this amount of the first conductivity-type impurities, and they are characterized by including the second conductivity-type impurity of a low concentration source drain field of said second conductivity-type thin film transistor, and tales doses.

[0058] if it is made such a configuration -- LDD CMOS an advantage of TFT -- harnessing -- in addition -- a photograph production process -- further -- like 1 \*\* -- it can reduce -- a smaller routing counter -- \*\* -- a semiconductor device [ like ] is manufactured.

[0059] In a semiconductor device which indicates [invention concerning claim 34] this invention to claim 31 Said first polar zone consists of semiconductor films containing the first conductivity-type impurity and the first conductivity-type impurity of tales doses which a high concentration source drain field of said first conductivity-type thin film transistor has. With the first conductivity-type impurity, there are few low concentration source drain fields of this first conductivity-type thin film transistor than this amount of the first conductivity-type impurities, and they are characterized by including the second conductivity-type impurity of a low concentration source drain field of said second conductivity-type thin film transistor, and tales doses.

[0060] if it is made such a configuration -- LDD CMOS an advantage of TFT -- harnessing -- in addition -- a photograph production process -- further -- like 1 \*\* -- it can reduce -- a smaller routing counter -- \*\* -- a semiconductor device [ like ] is manufactured.

[0061] In a semiconductor device which indicates [invention concerning claim 35] this invention to claim 31 Said first polar zone consists of semiconductor films containing the second conductivity-type

impurity and the second conductivity-type impurity of the source drain field of said second conductivity-type thin film transistor has. With the first conductivity-type impurity, there are few low concentration source drain fields of said first conductivity-type thin film transistor than this amount of the first conductivity-type impurities, and they are characterized by including the second conductivity-type impurity of a low concentration source drain field of said second conductivity-type thin film transistor, and the source drain field.

[0062] if it is made such a configuration -- LDD CMOS an advantage of TFT -- harnessing -- in addition -- a photolithography production process -- further -- like 1 \*\* -- it can reduce -- a smaller routing counter -- \*\* -- a semiconductor device [ like ] is manufactured.

[0063] The first conductivity-type thin film transistor which [invention concerning claim 36] this invention equips with a channel field which stands face to face against a gate electrode through a gate insulator layer, and the first conductivity-type source drain field of high concentration which contains the first conductivity-type impurity in high concentration, The second conductivity-type thin film transistor equipped with a channel field which stands face to face against a gate electrode through a gate insulator layer, and the second conductivity-type source drain field of high concentration which contains the second conductivity-type impurity in high concentration, A capacitive element which consists of the first polar zone which counters through a dielectric film, and the second polar zone, In a semiconductor device which has \*\*, said first conductivity-type thin film transistor constitutes LDD structure of providing the first conductivity-type source drain field of low concentration between said first conductivity-type source drain field edge of high concentration, and said channel field edge. Said second conductivity-type thin film transistor is equipped with an offset field which has high impurity concentration equivalent to this channel field between said second conductivity-type source drain field edge of high concentration, and said channel field edge. Said first polar zone is characterized by consisting of semiconductor films containing the first conductivity-type impurity of the first conductivity-type source drain field of low concentration of said first conductivity-type thin film transistor, and the source drain field.

[0064] if it is made such a configuration -- LDD an advantage of TFT and Offset TFT -- harnessing -- in addition -- a photolithography production process -- further -- like 1 \*\* -- it can reduce -- a smaller routing counter -- \*\* -- a semiconductor device [ like ] is manufactured.

[0065] The first conductivity-type thin film transistor which [invention concerning claim 37] this invention equips with a channel field which stands face to face against a gate electrode through a gate insulator layer, and the first conductivity-type source drain field of high concentration which contains the first conductivity-type impurity in high concentration, The second conductivity-type thin film transistor equipped with a channel field which stands face to face against a gate electrode through a gate insulator layer, and the second conductivity-type source drain field of high concentration which contains the second conductivity-type impurity in high concentration, In a semiconductor device which has the first polar zone which counters through a dielectric film, and a capacitive element which consists of the second polar zone Said first conductivity-type thin film transistor constitutes LDD structure of providing the first conductivity-type source drain field of low concentration between said first conductivity-type source drain field edge of high concentration, and said channel field edge. Said second conductivity-type thin film transistor is equipped with an offset field which has high impurity concentration equivalent to this channel field between said second conductivity-type source drain field edge of high concentration, and said channel field edge. Said first polar zone is characterized by consisting of semiconductor films containing the first conductivity-type impurity of the first conductivity-type source drain field of high concentration of said first conductivity-type thin film transistor, and the source drain field.

[0066] if it is made such a configuration -- LDD an advantage of TFT and Offset TFT -- harnessing -- in addition -- a photolithography production process -- further -- like 1 \*\* -- it can reduce -- a smaller routing counter -- \*\* -- a semiconductor device [ like ] is manufactured.

[0067] The first conductivity-type thin film transistor which [invention concerning claim 38] this invention equips with a channel field which stands face to face against a gate electrode through a gate

insulator layer, and the first conductivity-type source drain field of high concentration which contains the first conductivity-type impurity in high concentration, The second conductivity-type thin film transistor equipped with a channel field which stands face to face against a gate electrode through a gate insulator layer, and the second conductivity-type source drain field of high concentration which contains the second conductivity-type impurity in high concentration, In a semiconductor device which has the first polar zone which counters through a dielectric film, and a capacitive element which consists of the second polar zone Said first conductivity-type thin film transistor constitutes LDD structure of providing the first conductivity-type source drain field of low concentration between said first conductivity-type source drain field edge of high concentration, and said channel field edge. Said second conductivity-type thin film transistor is equipped with an offset field which has high impurity concentration equivalent to this channel field between said second conductivity-type source drain field edge of high concentration, and said channel field edge. Said first polar zone is characterized by consisting of semiconductor films containing the second conductivity-type impurity of the second conductivity-type source drain field of high concentration of said second conductivity-type thin film transistor, and tales doses.

[0068] if it is made such a configuration -- LDD an advantage of TFT and Offset TFT -- harnessing -- in addition -- a photograph production process -- further -- like 1 \*\* -- it can reduce -- a smaller routing counter -- \*\* -- a semiconductor device [ like ] is manufactured.

[0069] [Invention concerning claim 39] this invention is a active-matrix substrate using a semiconductor device specified in claim 27 thru/or one term of 38. Said first conductivity type and said second conductivity-type thin film transistor constitute a CMOS circuit in the drive circuit section. It is characterized by for one [ at least ] thin film transistor of said first conductivity type and the second conductivity-type thin film transistors constituting a thin film transistor for pixels in a pixel field, and said capacitive element constituting retention volume to a liquid crystal cell in said pixel field.

[0070] A LDD mold thin film transistor possessing a high concentration source drain field which [invention concerning claim 40] this invention connects conductively to a gate electrode, a gate insulator layer, a channel field, and this channel field through a low concentration source drain field, In a manufacture method of a semiconductor device of having a capacitive element which consists of the first polar zone which counters through a dielectric film, and the second polar zone The first production process which forms at least a semiconductor film which constitutes this channel field, this low concentration source drain field, and this first polar zone, It is characterized by including a gate electrode and the third production process which forms the second polar zone the second production process which introduces a donor or an acceptor, and an impurity that changes into these some semiconductor films in low concentration, and forms this low concentration source drain field and this first polar zone, and after this second production process termination.

[0071] A LDD mold thin film transistor possessing a high concentration source drain field which [invention concerning claim 41] this invention connects conductively to a gate electrode, a gate insulator layer, a channel field, and this channel field through a low concentration source drain field, In a manufacture method of a semiconductor device of having a capacitive element which consists of the first polar zone which counters through a dielectric film, and the second polar zone The first production process which forms at least a semiconductor film which constitutes this channel field, this high concentration source drain field, and this first polar zone, It is characterized by including a gate electrode and the third production process which forms the second polar zone the second production process which introduces a donor or an acceptor, and an impurity that changes into these some semiconductor films in high concentration, and forms this high concentration source drain field and this first polar zone, and after this second production process termination.

[0072] [Invention concerning claim 42] this invention minds a gate electrode, a gate insulator layer, a channel field, this channel field, an offset field containing an impurity of tales doses, and this offset field. An offset mold thin film transistor possessing a high concentration source drain field connected conductively to this channel field, In a manufacture method of a semiconductor device of having a capacitive element which consists of the first polar zone which counters through a dielectric film, and

the second polar zone The first production process which forms at least a semiconductor film which constitutes this channel field, this high concentration source drain field, and this first polar zone, It is characterized by including a gate electrode and the third production process which forms the second polar zone the second production process which introduces a donor or an acceptor, and an impurity that changes into these some semiconductor films in high concentration, and forms this high concentration source drain field and this first polar zone, and after this second production process termination.

[0073] [Invention concerning claim 43] this invention for a start [ LDD mold ] possessing the first conductivity-type source drain field of high concentration connected conductively to a gate electrode, a gate insulator layer, a channel field, and this channel field through the first conductivity-type source drain field of low concentration A conductivity-type thin film transistor, The LDD type second conductivity-type thin film transistor possessing the second conductivity-type source drain field of high concentration connected conductively to a gate electrode, a gate insulator layer, a channel field, and this channel field through the second conductivity-type source drain field of low concentration, In a manufacture method of a semiconductor device of having a capacitive element which consists of the first polar zone which counters through a dielectric film, and the second polar zone For a start [ this / LDD mold ] at least A channel field and the first conductivity-type source drain field of low concentration of a conductivity-type thin film transistor, A channel field of this LDD type second conductivity-type thin film transistor, and the first production process which forms a semiconductor film which constitutes this first polar zone, It is characterized by including a gate electrode and the third production process which forms the second polar zone the second production process which introduces the first conductivity-type impurity into these some semiconductor films in low concentration, and forms this first conductivity-type source drain field of low concentration, and this first polar zone, and after this second production process termination.

[0074] [Invention concerning claim 44] this invention for a start [ LDD mold ] possessing the first conductivity-type source drain field of high concentration connected conductively to a gate electrode, a gate insulator layer, a channel field, and this channel field through the first conductivity-type source drain field of low concentration A conductivity-type thin film transistor, The LDD type second conductivity-type thin film transistor possessing the second conductivity-type source drain field of high concentration connected conductively to a gate electrode, a gate insulator layer, a channel field, and this channel field through the second conductivity-type source drain field of low concentration, In a manufacture method of a semiconductor device of having a capacitive element which consists of the first polar zone which counters through a dielectric film, and the second polar zone For a start [ this / LDD mold ] at least A channel field and the first conductivity-type source drain field of high concentration of a conductivity-type thin film transistor, A channel field of this LDD type second conductivity-type thin film transistor, and the first production process which forms a semiconductor film which constitutes this first polar zone, It is characterized by including a gate electrode and the third production process which forms the second polar zone the second production process which introduces the first conductivity-type impurity into these some semiconductor films in high concentration, and forms this first conductivity-type source drain field of high concentration, and this first polar zone, and after this second production process termination.

[0075] In a manufacture method of a semiconductor device of having indicated [invention concerning claim 45] this invention to claim 43 thru/or 44 The first conductivity-type impurity installation production process of low concentration which introduces the first conductivity-type impurity into this semiconductor film in low concentration in order to form the first conductivity-type source drain field of low concentration of a conductivity-type thin film transistor for a start [ said / LDD mold ], Or one low concentration impurity installation production process of the second conductivity-type impurity installation production process of low concentration which introduces the second conductivity-type impurity into this semiconductor film in low concentration in order to form the second conductivity-type source drain field of low concentration of said LDD type second conductivity-type thin film transistor is performed, without forming a mask. About a conductivity type and substantial high impurity concentration of a field where an impurity of both sides of this first conductivity-type impurity and this



second conductivity-type impurity is introduced, it is characterized by what a difference of the amount of installation of this first conductivity-type impurity and this second conductivity-type impurity prescribes.

[0076] [Invention concerning claim 46] this invention for a start [ LDD mold ] possessing the first conductivity-type source drain field of high concentration connected conductively to a gate electrode, a gate insulator layer, the first channel field, and this first channel field through the first conductivity-type source drain field of low concentration A conductivity-type thin film transistor, A gate electrode, a gate insulator layer, the second channel field, and the second conductivity-type source drain field of high concentration, And the offset type second conductivity-type thin film transistor which possesses an offset field which has the same high impurity concentration with this second channel field between this second channel field edge and this second conductivity-type source drain field edge of high concentration, A capacitive element which consists of the first polar zone which counters through a dielectric film, and the second polar zone, The first production process which forms at least a semiconductor film which constitutes this first channel field, this first conductivity-type source drain field of low concentration, this second channel field, and this first polar zone in a manufacture method of a semiconductor device of having \*\*, It is characterized by including a gate electrode and the third production process which forms the second polar zone the second production process which introduces the first conductivity-type impurity into these some semiconductor films in low concentration, and forms this first conductivity-type source drain field of low concentration, and this first polar zone, and after this second production process termination.

[0077] [Invention concerning claim 47] this invention for a start [ LDD mold ] possessing the first conductivity-type source drain field of high concentration connected conductively to a gate electrode, a gate insulator layer, the first channel field, and this first channel field through the first conductivity-type source drain field of low concentration A conductivity-type thin film transistor, A gate electrode, a gate insulator layer, the second channel field, and the second conductivity-type source drain field of high concentration, And the offset type second conductivity-type thin film transistor which possesses an offset field which has the same high impurity concentration with this second channel field between this second channel field edge and this second conductivity-type source drain field edge of high concentration, A capacitive element which consists of the first polar zone which counters through a dielectric film, and the second polar zone, The first production process which forms at least a semiconductor film which constitutes this first channel field, this first conductivity-type source drain field of high concentration, this second channel field, and this first polar zone in a manufacture method of a semiconductor device of having \*\*, It is characterized by including a gate electrode and the third production process which forms the second polar zone the second production process which introduces the first conductivity-type impurity into these some semiconductor films in high concentration, and forms this first conductivity-type source drain field of high concentration, and this first polar zone, and after this second production process termination.

[0078] [Invention concerning claim 48] this invention for a start [ LDD mold ] possessing the first conductivity-type source drain field of high concentration connected conductively to a gate electrode, a gate insulator layer, the first channel field, and this first channel field through the first conductivity-type source drain field of low concentration A conductivity-type thin film transistor, A gate electrode, a gate insulator layer, the second channel field, and the second conductivity-type source drain field of high concentration, And the offset type second conductivity-type thin film transistor which possesses an offset field which has the same high impurity concentration with this second channel field between this second channel field edge and this second conductivity-type source drain field edge of high concentration, A capacitive element which consists of the first polar zone which counters through a dielectric film, and the second polar zone, The first production process which forms at least a semiconductor film which constitutes this first channel field, this second channel field, this second conductivity-type source drain field of high concentration, and this first polar zone in a manufacture method of a semiconductor device of having \*\*, It is characterized by including a gate electrode and the third production process which forms the second polar zone the second production process which

introduces the second conductivity-type impurity into these some semiconductor films in high concentration, and forms this second conductivity-type source drain field of high concentration, and this first polar zone, and after this second production process termination.

[0079]

[Embodiment of the Invention] The example of this invention is explained with reference to a drawing. In addition, the example applied to the drive circuit built-in active-matrix substrate in a liquid crystal display explains the semiconductor device which any example explained below requires for this invention. However, the semiconductor device of this invention is applicable also to the semiconductor device constituted on [ other than a active-matrix substrate ] LSI or a ceramic substrate. moreover, the active-matrix substrate with which fundamental structures, such as TFT, showed any active-matrix substrate explained below to drawing 29 and abbreviation -- it is the same, and since it is, in the following explanation, the same sign is given to the portion which has the function to correspond. Although the first conductivity type is used as N type and the second conductivity type is explained as P type by the example of \*\*\*\*, of course, the first conductivity type is used as P type, and it is good also considering the second conductivity type as N type.

[0080] each example -- each -- the minimum number of manufacturing processes -- every -- although the semiconductor device which raised the electrical characteristics of TFT, and its manufacture method are indicated and it is, supposing it classifies them, it can divide roughly into an example 1 the group of 2 and an example 3 thru/or the group of 16.

[0081] An example 1 thru/or 2 correspond to invention concerning claim 1 thru/or 26. That is, it is on the same substrate considering the configuration which has TFT of the first conductivity type and the second conductivity type as the base. On the other hand, an example 3 thru/or 16 correspond to invention concerning claim 27 thru/or 48. That is, it is on the same substrate considering the configuration which has TFT and a capacitive element as the base.

[0082] [Example 1]

(Configuration of an AKUTETIBU matrix substrate) There is drawing 1 with the cross section showing typically the structure when applying the semiconductor device concerning this invention to the drive circuit built-in active-matrix substrate in a liquid crystal display.

[0083] 3 type TFT is formed in the surface side of the base slack insulating substrate 2 of the active-matrix substrate 1 in drawing 1 . Being expressed to right-hand side is among them by TFT10 (the first conductivity type TFT) for pixels of the first conductivity type. There is being expressed in the center by TFT20 (the first conductivity type TFT) for drive circuits of the first conductivity type, and being expressed to left-hand side is by TFT30' for drive circuits of the second conductivity type (the second conductivity type TFT). TFT30' for drive circuits of TFT20 for drive circuits of the first conductivity type and the second conductivity type constitutes the inverter of a drive circuit etc. as a CMOS circuit among these TFT(s). That is, the active-matrix substrate 1 shown in drawing 1 serves as a semiconductor device which has TFT of the first conductivity type, and TFT of the second conductivity type.

[0084] As shown in drawing 2 (a), a liquid crystal display has the pixel field by which partition formation was carried out with a signal line 90 and the scanning line 91 on the active-matrix substrate, and the liquid crystal capacity 94 of the liquid crystal cell into which a picture signal is inputted through TFT92 for pixels exists there. Moreover, to a signal line 90, the data driver section 82 equipped with a shift register 84, a level shifter 85, the video line 87, and an analog switch 86 is formed on a active-matrix substrate. To the scanning line 91, the scan driver section 83 equipped with a shift register 88 and a level shifter 89 is formed on a active-matrix substrate. In addition, retention volume 40 is also formed in a pixel field between the scanning lines of the preceding paragraph. Here, although TFT for drive circuits is used for the level shifter, the analog switch, etc. including the shift register, it explains a shift register to an example. As two steps of inverters are shown in drawing 2 (b), the CMOS circuit is constituted from shift registers 84 and 88 by TFTn1 and n2 of the first conductivity type, and TFTp1 and p2 of the second conductivity type, respectively. TFTn1 and n2 of the first conductivity type correspond to TFT20 for drive circuits of the first conductivity type shown in drawing 1 among these TFT(s),

TFTp1 and p2 of the second conductivity type correspond to TFT30' for drive circuits of the second conductivity type shown in drawing 1 , and TFT92 for pixels corresponds to TFT10 for pixels of the first conductivity type shown in drawing 1 .

[0085] It sets to drawing 1 again. TFT10 for pixels of the first conductivity type and TFT20 for drive circuits of the first conductivity type It has the channel fields 13 and 23 for forming a channel among the source drain fields 11, 12, 21, and 22. These channel fields 13 and 23 It is including the low-concentration second conductivity-type impurity (acceptor impurity, such as boron (B) which shows P type conductivity by this example, aluminum (aluminum), a gallium (Ga), and an indium (In)). For a start moreover, TFT10 for pixels of a conductivity type and TFT20 for drive circuits of the first conductivity type The low concentration source drain fields 111, 121, 211, and 221 of the first conductivity type which confronts each other through the gate insulator layers 14 and 24 to the edge of the gate electrodes 15 and 25, It has the high concentration source drain fields 112, 122, 212, and 222 of the first conductivity type to which the source drain electrodes 16, 17, 26, and 27 were connected electrically. In this example, since it is explaining using N type TFT as the first conductivity type TFT, there is an N type impurity contained to a source drain field with Lynn (P), an arsenic (As), antimony (Sb), etc. in which N type conductivity is shown.

[0086] On the other hand, TFT30' for drive circuits of the second conductivity type has offset field 311' which confronts each other through the gate insulator layer 34 to the edge of the gate electrode 35 with the same high impurity concentration as the channel field 33 containing the low-concentration second conductivity-type impurity, and this channel field, 321', and the high concentration source drain fields 312 and 322 of the second conductivity type to which the source drain electrodes 36 and 37 were connected electrically.

[0087] The channel fields 13, 23, and 33 and the source drain fields 11, 12, 21, 22, 31, and 32 of TFT of both conductivity types consist of semiconductor films, such as silicon (Si) and germanium (germanium). As a class of semiconductor film, besides the film which consists of these 4 group element simple substance Silicon germanium (Six germanium1-x ;0<x<1), 4 group element complex and gallium arsenides (GaAs), such as silicon carbide (Six C1-x ;0<x<1) and germanium carbide (Gex C1-x ;0<x<1), Further, the complex, a 3 group element and five-tribes elements, such as indium antimonide (InSb), and the complex which it is with 2 group elements, such as a cadmium selenium (CdSe), and a five-tribes element are also possible, and there is. Moreover, a single crystal condition, a polycrystal condition, a microcrystal condition, a mixed-crystal condition, an amorphous state, etc. are possible for the physical condition of these semiconductors, and there is. In this example, the silicon film (poly-Si film) in a polycrystal condition is used as a semiconductor film.

[0088] Thus, in the constituted active-matrix substrate 1, since the channel dope is carried out by each with low-concentration boron ion, the channel fields 13, 23, and 33 have high impurity concentration in the about [ about 5x10<sup>17</sup>cm<sup>-3</sup> - ] abbreviation 1x10<sup>16</sup>cm<sup>-3</sup> to three second conductivity-type field of low concentration.

[0089] In the drive circuit section of this invention, since TFT of an offset mold or LDD structure is adopted even when many CMOS circuits are connected to a stage, the parasitic capacitance between gate electrode-source drain fields becomes small, and so, high-speed operation is possible and it is. Furthermore, the ON state current increases by making transistor size small (shortening channel length). In connection with this, the transistor capacity between gate-channels also becomes small and very high-speed actuation is realized. And since the impurity for forming a low concentration field in a source drain field is introduced in the same production process as a channel dope as mentioned later, there is also an advantage referred to as being able to reduce the number of manufacturing processes of the active-matrix substrate 1.

[0090] In the example of \*\*\*\*, although the channel dope was carried out with the impurity of the second conductivity type, even when the channel dope of the impurity of the first conductivity type is carried out, high-speed operation and reduction of the number of manufacturing processes can be aimed at.

[0091] For a start moreover, TFT10 for pixels of a conductivity type, TFT20 for drive circuits of the

first conductivity type, and TFT30 for drive circuits of second conductivity type ' It has the gate electrodes 15, 25, and 35 which confront each other through the gate insulator layers 14, 24, and 34 (silicon oxide whose thickness is about 1200Å) to the surface side of the channel fields 13, 23, and 33. Between each TFT, length, width of face, etc. of the channel fields 13, 23, and 33 may be made into the same size, and the balance of transistor capacity etc. may be secured.

[0092] In the active-matrix substrate 1, the source drain fields 11, 12, 21, and 22 equip with the low concentration source drain fields 111, 121, 211, and 221 of the first conductivity type the portion which confronts each other through the gate insulator layers 14 and 24 to the edge of the gate electrodes 15 and 25, and TFT10 for pixels of the first conductivity type and TFT20 for drive circuits of the first conductivity type have LDD structure.

[0093] On the other hand, the source drain fields 31 and 32 have the portion which confronts each other through the gate insulator layer 34 to the edge of the gate electrode 35 by offset field 311' and 321', and this offset field 311' and 321' have high impurity concentration in the about [ about  $5 \times 10^{17} \text{cm}^{-3}$  - ] abbreviation  $1 \times 10^{16} \text{cm}^{-3}$  to three second conductivity-type field of low concentration as well as the channel field 33.

[0094] In addition, it sets for a start to the source drain fields 11, 12, 21, and 22 of TFT10 for pixels of a conductivity type, and TFT20 for drive circuits of the first conductivity type. The field except the low concentration source drain fields 111, 121, 211, and 221 of the first conductivity type has high impurity concentration in the high concentration source drain fields 112, 122, 212, and 222 of the first about [ about  $5 \times 10^{20} \text{cm}^{-3}$  - ] abbreviation  $5 \times 10^{19} \text{cm}^{-3}$  to three conductivity type. these high concentration fields -- receiving -- every -- the source drain electrodes 16, 17, 26, and 27 to TFT, such as a signal line and a pixel electrode, have connected electrically through the contact hole of an interlayer insulation film 4.

[0095] In the source drain fields 31 and 32 of TFT30' for drive circuits of \*\*\*\* 2 conductivity type The portion which adjoins offset field 311' and 321' has high impurity concentration in the high concentration source drain fields 312 and 322 of the second about [ about  $5 \times 10^{20} \text{cm}^{-3}$  - ] abbreviation  $5 \times 10^{19} \text{cm}^{-3}$  to three conductivity type, and these high concentration fields are received. The source drain electrodes 36 and 37, such as a signal line and a pixel electrode, have connected electrically through the contact hole of an interlayer insulation film 4.

[0096] In addition, in this invention, as for the second conductivity type TFT, source drain fields, offset fields, and all the channel fields have the same conductivity (P type conductivity), and, as for TFT of the first conductivity type, the channel field serves as the conductivity (P type conductivity) of reverse to a source drain field and a LDD field (N type conductivity). On the other hand, on the contrary, with the second conductivity type TFT, this thing [ that make an offset field and a channel field into the conductivity (N type conductivity) of reverse to a source drain field (P type conductivity), and source drain fields, LDD fields, and all the channel fields make the first conductivity type TFT the same conductivity (N type conductivity) ] is also possible, and occurs. However, in this case, at the time of ON of a transistor, a weak PN junction will be made between the channel (being reversed the second conductivity / P type conductivity) of the second conductivity type TFT, and an offset field and a source drain field (the first conductivity / N type conductivity), and the OFF state current will be restricted to it.

[0097] (On-off current characteristic of TFT) In the on-off current characteristic of TFT constituted in this appearance, also in which TFT, since the portion which stands face to face against the edge of the gate electrodes 15, 25, and 35 is a low concentration field (the low concentration source drain fields 111, 121, 211, and 221 of the first conductivity type or offset field 311', 321'), the field strength in a drain edge is eased. So, a continuous line L3 shows the drain current-gate voltage characteristic of TFT (TFT10 for pixels of the first conductivity type, and TFT20 for drive circuits of the first conductivity type) of the first conductivity type of LDD structure to drawing 3 . As dotted line L4' shows the drain current-gate voltage characteristic of TFT (TFT30' for drive circuits of the second conductivity type) of the second conductivity type of offset gate structure, any TFT has the remarkably small OFF state current of TFT first, so that it may compare with it.

[0098] Moreover, a continuous line L21 shows the withstand voltage property in TFT (TFT10 for pixels of the first conductivity type, and TFT20 for drive circuits of the first conductivity type) of the first conductivity type of LDD structure to drawing 31 (a). To the appearance which showed the withstand voltage property in TFT of the second conductivity type of LDD structure to drawing 31 (b) as the continuous line L22, TFT of LDD structure Since withstand voltage is high as compared with TFT of self aryne structure, channel length not to mention the ability to shorten The withstand voltage property in TFT (TFT30' for drive circuits of the second conductivity type) of offset gate structure is further superior to the withstand voltage property in TFT of LDD structure. Therefore, since withstand voltage is remarkably high as compared with TFT of self aryne structure, TFT30' for drive circuits of the second conductivity type can also shorten channel length more. So, high-speed operation is realizable by reducing transistor capacity.

[0099] Although the first conductivity type was used as the first conductivity type and the second conductivity type was used as the second conductivity type in the example of \*\*\*\*, you may make it reverse. That is, TFT for pixels may consist of the second conductivity type. Although high impurity concentration of the offset field 311', 321', and the channel field 33 of TFT30' for drive circuits of \*\*\*\* 2 conductivity type was made about [ about  $5 \times 10^{17} \text{cm}^{-3}$  - ] into abbreviation  $1 \times 10^{16} \text{cm}^{-3}$  to three, it is the thing of the property which should be set as the optimal value also about this concentration according to the specification of the active-matrix substrate 1, channel length's size, etc., is, and does not restrict to the above-mentioned numeric value.

[0100] (The manufacture method of TFT) \*\* -- the active-matrix substrate [ like ] 1 of structure can be manufactured by the following methods. In addition, each high impurity concentration is expressed with the high impurity concentration after activation annealing in the following explanation.

[0101] As shown in drawing 4 (a), the silicon films 10a, 20a, and 30a and the gate insulator layers 14, 24, and 34 of the second conductivity type of low concentration are formed in TFT10 for pixels of the first conductivity type, TFT20 for drive circuits of the first conductivity type, and the formation field of TFT30' for drive circuits of the second conductivity type among the surfaces of the insulating substrates 2, such as a quartz substrate.

[0102] it -- first -- the surface of the insulating substrates 2, such as a glass substrate and a quartz substrate, -- LPCVD -- after forming an intrinsic polish recon film using law or a plasma-CVD method, patterning of the polish recon film is carried out by the photolithography method, and it is made into the island-like silicon films 10a, 20a, and 30a (silicon film formation production process). In addition, after forming an amorphous silicon film, a polish recon film may grow up crystal grain with the laser annealing method or a solid phase grown method, and may be formed.

[0103] next, the island-like silicon films 10a, 20a, and 30a -- receiving -- the oxidizing [ thermally ] method, a TEOS-CVD method, and LPCVD -- law, a plasma-CVD method, and HTO -- thickness forms about 1500Å and the gate insulator layers 14, 24, and 34 which consist of about 1200Å silicon oxide as an example from about 200Å by law etc. (gate insulator layer formation production process).

[0104] After an appropriate time, by about 1200Å, when the thickness of the gate insulator layers 14, 24, and 34 considers as about [  $1 \times 10^{17} \text{cm}^{-3}$  - ] three impurity, it drives boron ion (the second conductivity-type impurity) into after an appropriate time with the dose of  $1 \times 10^{12} \text{cm}^{-2}$ , and performs a channel dope (the second conductivity-type impurity installation production process of a channel dope production process / low concentration / 1st impurity installation production process).

[0105] Consequently, the island-like silicon films 10a, 20a, and 30a all turn into the silicon films 10a, 20a, and 30a of the second conductivity type of low concentration.

[0106] Next, as shown in drawing 4 (b), the gate electrodes 15, 25, and 35 which consist of doped silicon, a silicide film, or a metal thin film are formed in the surface of the gate insulator layers 14, 24, and 34 (gate electrode formation production process).

[0107] Next, the formation field of TFT30' for pixels of the second conductivity type is made into an open condition with the resist mask 61 about the formation field of wrap one side, TFT10 for pixels of the first conductivity type, and TFT20 for drive circuits of the first conductivity type (1st mask formation production process).

In this condition, the formation field of TFT10 for pixels of the first conductivity type and TFT20 for drive circuits of the first conductivity type is received. The ion implantation of the first conductivity-type impurity, for example, the phosphorus ion, is carried out with the dose of abbreviation  $1.0 \times 10^{13} \text{cm}^{-2}$ . High impurity concentration forms the low-concentration source drain fields 11, 12, 21, and 22 of abbreviation  $1.0 \times 10^{18} \text{cm}^{-3}$  in self align to the gate electrodes 15 and 25 (the first conductivity-type impurity installation production process of low concentration / 2nd impurity installation production process). In addition, the portion into which an impurity was not introduced serves as the channel fields 13 and 23.

[0108] After an appropriate time, the resist mask 61 is removed.

[0109] Next, as shown in drawing 4 (c), in addition to TFT10 for pixels of the first conductivity type, and TFT20 for drive circuits of the first conductivity type, the wrap resist mask 62 is formed width also for the gate electrode 35 of TFT30' for drive circuits of the second conductivity type (2nd mask formation production process). Here, as for the distance of the edge of the resist mask 62, and the edge of the gate electrode 35, 0.5 micrometers - about 2.0 micrometers are suitable.

[0110] In this condition, the ion implantation of the impurity, for example, boron ion, of the second conductivity type is carried out with the dose of  $1.0 \times 10^{15} \text{cm}^{-2}$  (the second conductivity-type impurity installation production process of high concentration / 3rd impurity installation production process).

[0111] Consequently, the high concentration source drain fields 312 and 322 of the second conductivity type of  $1.0 \times 10^{20} \text{cm}^{-3}$  are formed in silicon film 30a of the second conductivity type of low concentration for the second conductivity-type high impurity concentration. On the other hand, as for the portion covered with the resist mask 62 among silicon film 30a of the second conductivity type of low concentration, the second conductivity-type high impurity concentration becomes offset field 311' of abbreviation  $1.0 \times 10^{17} \text{cm}^{-3}$ , and 321' as it is. Of course, there is a channel field 33, while the second conductivity-type high impurity concentration has been the second conductivity-type field of low concentration of abbreviation  $1.0 \times 10^{17} \text{cm}^{-3}$ .

[0112] Thus, TFT30' for drive circuits of the second conductivity type is formed. After an appropriate time, the resist mask 62 is removed.

[0113] Next, as shown in drawing 4 (d), in addition to the formation field of TFT30' for drive circuits of the second conductivity type, the wrap resist mask 63 is formed width also for the gate electrodes 15 and 25 of TFT10 for pixels of the first conductivity type, and TFT20 for drive circuits of the first conductivity type (3rd mask formation production process). Here, as for the distance of the edge of the resist mask 63, and the edge of the gate electrodes 15 and 25, 0.5 micrometers - about 2.0 micrometers are suitable.

[0114] In this condition, the ion implantation of the impurity, for example, phosphorus ion, of the first conductivity type is carried out with the dose of  $1.0 \times 10^{15} \text{cm}^{-2}$  (the first conductivity-type impurity installation production process of high concentration / 4th impurity installation production process).

[0115] Consequently, the high concentration source drain fields 112, 122, 212, and 222 of the first conductivity type of  $1.0 \times 10^{20} \text{cm}^{-3}$  are formed in the low-concentration source drain fields 11, 12, 21, and 22 for the first conductivity-type high impurity concentration. On the other hand, as for the portion covered with the resist mask 63 among the low-concentration source drain fields 11, 12, 21, and 22, the first conductivity-type high impurity concentration serves as the low concentration source drain fields 111, 121, 211, and 222 of the first conductivity type of abbreviation  $1.0 \times 10^{18} \text{cm}^{-3}$  as it is. Of course, there are channel fields 13 and 23, while the second conductivity-type high impurity concentration has been the second conductivity-type field of low concentration of abbreviation  $1.0 \times 10^{17} \text{cm}^{-3}$ .

[0116] Thus, TFT10 for pixels of the first conductivity type and TFT20 for drive circuits of the first conductivity type are formed. After an appropriate time, the resist mask 63 is removed.

[0117] Henceforth, if annealing for activation is performed, a contact hole is formed in after an appropriate time and the source drain electrodes 16, 17, 26, 27, 36, and 37 are formed after forming an interlayer insulation film 4 as shown in drawing 1 According to 3 times of the mask formation production processes for forming the resist masks 61-63, and 4 times of impurity installation production processes, the source drain field and channel field of TFT which take CMOS structure can be formed,



and the active-matrix substrate 1 can be manufactured.

[0118] Thus, in making into a low concentration field the portion which stands face to face against the gate electrode 35, by the manufacture method of the active-matrix substrate 1 of this example, it is made the offset gate structure of having the same concentration with the same conductivity type as a channel instead of LDD structure, in TFT30' for drive circuits of the second conductivity type. For this reason, as compared with the conventional manufacture method explained with reference to drawing 33 (a) - (e), it is few by a unit of 1 time about both a mask formation production process and an impurity installation production process. That is, in this example, since the second conductivity-type impurity installation production process of low concentration is performed to the channel dope and coincidence to each channel field of TFT before performing a gate electrode formation production process, an impurity installation production process can be lessened 1 batch rather than the case where all TFT(s) are manufactured with LDD structure. Moreover, the 2nd conductivity-type impurity installation production process of low concentration is performed to a channel dope and coincidence to the last, and introduces the impurity of the first more high-concentration conductivity type into the source drain field of the first conductivity type, and the field which should become among the second conductivity-type fields of low concentration formed at this production process. Therefore, at the second conductivity-type impurity installation production process of low concentration, since a mask is not needed, a mask formation production process can also be lessened 1 batch rather than the case where all TFT(s) are manufactured with LDD structure. So, the electrical characteristics of TFT of a pixel field and the drive circuit section can be improved with the minimum number of manufacturing processes.

[0119] (The another manufacture method of TFT) The active-matrix substrate 1 of the example of \*\*\*\* can be manufactured also by the method explained below.

[0120] As shown in drawing 5 (a), the silicon films 10a, 20a, and 30a and the gate insulator layers 14, 24, and 34 of the second conductivity type of low concentration are formed in TFT10 for pixels, TFT20 for drive circuits of the first conductivity type, and the formation field of TFT30' for drive circuits of the second conductivity type among the surfaces of the insulating substrates 2, such as a glass substrate and a quartz substrate.

[0121] it -- first -- the surface of the insulating substrates 2, such as a quartz substrate, -- LPCVD -- after forming an intrinsic polish recon film using law or a plasma-CVD method, patterning of the polish recon film is carried out by the photolithography method, and it is made into the island-like silicon films 10a, 20a, and 30a (silicon film formation production process).

[0122] next, the island-like silicon films 10a, 20a, and 30a -- receiving -- the oxidizing [ thermally ] method, a TEOS-CVD method, and LPCVD -- law, a plasma-CVD method, and HTO -- thickness forms about 1500Å and the gate insulator layers 14, 24, and 34 which consist of about 1200Å silicon oxide as an example from about 200Å by law etc. (gate insulator layer formation production process).

[0123] After an appropriate time, boron ion (the second conductivity-type impurity) is driven into after an appropriate time with the dose of  $1 \times 10^{12} \text{cm}^{-2}$ , and a channel dope is performed (the second conductivity-type impurity installation production process of a channel dope production process / low concentration / 1st impurity installation production process).

[0124] Consequently, the island-like silicon films 10a, 20a, and 30a all turn into the silicon films 10a, 20a, and 30a of the second conductivity type of low concentration.

[0125] Next, as shown in drawing 5 (b), the gate electrodes 15, 25, and 35 which consist of doped silicon, a silicide film, or a metal thin film are formed in the surface of the gate insulator layers 14, 24, and 34 (gate electrode formation production process).

[0126] The above production process is the same as that of the manufacture method explained with reference to drawing 4 (a) - (d), and there is.

[0127] Next, in addition to the formation field of TFT30' for drive circuits of the second conductivity type, the wrap resist mask 71 is formed width also for the gate electrodes 15 and 25 of TFT10 for pixels of the first conductivity type, and TFT20 for drive circuits of the first conductivity type (1st mask formation production process). Here, as for the distance of the edge of the resist mask 71, and the edge of the gate electrodes 15 and 25, 0.5 micrometers - about 2.0 micrometers are suitable.

[0128] In this condition, the ion implantation of the impurity, for example, phosphorus ion, of the first conductivity type is carried out with the dose of  $1.0 \times 10^{15} \text{cm}^{-2}$  (the first conductivity-type impurity installation production process of high concentration / 2nd impurity installation production process).

[0129] Consequently, the high concentration source drain fields 112, 122, 212, and 222 of the first conductivity type of  $1.0 \times 10^{20} \text{cm}^{-3}$  are formed in the silicon films 10a and 20a of the second conductivity type of low concentration for the first conductivity-type high impurity concentration. On the other hand, there is a portion covered with the resist mask 71 among the silicon films 10a and 20a of the second conductivity type of low concentration, while the second conductivity-type high impurity concentration has been the second conductivity-type field of low concentration of abbreviation  $1.0 \times 10^{17} \text{cm}^{-3}$ .

[0130] After an appropriate time, the resist mask 71 is removed.

[0131] Next, as shown in drawing 5 (c), in addition to TFT10 for pixels of the first conductivity type, and TFT20 for drive circuits of the first conductivity type, the wrap resist mask 72 is formed width also for the gate electrode 35 of TFT30' for drive circuits of the second conductivity type (2nd mask formation production process). Here, as for the distance of the edge of the resist mask 72, and the edge of the gate electrode 35, 0.5 micrometers - about 2.0 micrometers are suitable.

[0132] It is in this condition, for example, the ion implantation of the boron ion is carried out with the dose of  $1.0 \times 10^{15} \text{cm}^{-2}$  (the second conductivity-type impurity installation production process of high concentration / 3rd impurity installation production process). Consequently, the high concentration source drain fields 312 and 322 of the second conductivity type of  $1.0 \times 10^{20} \text{cm}^{-3}$  are formed in silicon film 30a of the second conductivity type of low concentration for the second conductivity-type high impurity concentration. On the other hand, as for the portion covered with the resist mask 72 among silicon film 30a of the second conductivity type of low concentration, the second conductivity-type high impurity concentration becomes offset field 311' of abbreviation  $1.0 \times 10^{17} \text{cm}^{-3}$ , and 321' as it is. Of course, there is a channel field 33, while the second conductivity-type high impurity concentration has been the second conductivity-type field of low concentration of abbreviation  $1.0 \times 10^{17} \text{cm}^{-3}$ .

[0133] Thus, TFT30' for drive circuits of the second conductivity type is formed. After an appropriate time, the resist mask 72 is removed.

[0134] Next, the formation field of TFT30' for pixels of the second conductivity type is made into an open condition with the resist mask 73 about the formation field of wrap one side, TFT10 for pixels of the first conductivity type, and TFT20 for drive circuits of the first conductivity type (3rd mask formation production process). In this condition, the ion implantation of the phosphorus ion is carried out with the dose of abbreviation  $1.0 \times 10^{13} \text{cm}^{-2}$  as opposed to the formation field of TFT10 for pixels of the first conductivity type, and TFT20 for drive circuits of the first conductivity type (the first conductivity-type impurity installation production process of low concentration / 4th impurity installation production process).

[0135] Consequently, the low concentration source drain fields 111, 121, 211, and 221 of the first conductivity type of abbreviation  $1.0 \times 10^{18} \text{cm}^{-3}$  are formed in the source drain fields 10 and 20 for the first conductivity-type high impurity concentration in self align to the gate electrodes 15 and 25. In addition, the portion into which an impurity was not introduced serves as the channel fields 13 and 23.

[0136] Thus, TFT10 for pixels of the first conductivity type and TFT20 for drive circuits of the first conductivity type are formed. After an appropriate time, the resist mask 73 is removed.

[0137] Henceforth, if annealing for activation is performed, a contact hole is formed in after an appropriate time and the source drain electrodes 16, 17, 26, 27, 36, and 37 are formed after forming an interlayer insulation film 4 as shown in drawing 1 According to 3 times of the mask formation production processes for forming the resist masks 71-73, and 4 times of impurity installation production processes, the source drain field and channel field of TFT which take CMOS structure can be formed, and the active-matrix substrate 1 can be manufactured.

[0138] \*\* -- in making into a low concentration field the portion which stands face to face against the gate electrode 35 in TFT30' for drive circuits of the second conductivity type also by the manufacture method [ like ], it is made the offset gate structure of having the same concentration with the same

conductivity type as a channel instead of LDD structure. For this reason, as compared with the conventional manufacture method explained with reference to drawing 33 (a) - (e), it is few by a unit of 1 time about both a mask formation production process and an impurity installation production process. So, the electrical characteristics of TFT of a pixel field and the drive circuit section can be improved with the minimum number of manufacturing processes.

[0139] the example of a [example 2] book -- every -- it is about invention which improves the ON state current balance between TFT of the first conductivity type, and TFT of the second conductivity type by optimizing the channel dope conditions to TFT, and they omit explanation about the manufacture method while explaining it briefly with reference to drawing 1 about fundamental structure, since the fundamental structure and fundamental manufacture method are the same as that of an example 1 in general and there is.

[0140] As this example is shown in drawing 1, TFT10 for pixels of the first conductivity type and TFT20 for drive circuits of the first conductivity type It has the channel fields 13 and 23 for forming a channel among the source drain fields 11, 12, 21, and 22. These channel fields 13 and 23 It is including the low-concentration second conductivity-type impurity (acceptor impurity, such as boron (B) which shows P type conductivity by this example, aluminum (aluminum), a gallium (Ga), and an indium (In)). TFT10 for pixels of the first conductivity type and TFT20 for drive circuits of the first conductivity type The low concentration source drain fields 111, 121, 211, and 222 of the first conductivity type which confronts each other through the gate insulator layers 14 and 24 to the edge of the gate electrodes 15 and 25, It has the high concentration source drain fields 112, 122, 212, and 222 of the first conductivity type to which the source drain electrodes 16, 17, 26, and 27 were connected electrically. In this example, since it is explaining using N type TFT as the first conductivity type TFT, there is the first conductivity-type impurity contained to a source drain field with Lynn (P), an arsenic (As), antimony (Sb), etc. in which N type conductivity is shown.

[0141] On the other hand, TFT30' for drive circuits of the second conductivity type has offset field 311' which confronts each other through the gate insulator layer 34 to the edge of the gate electrode 35 with the same high impurity concentration as the channel field 33 containing the low-concentration second conductivity-type impurity, and this channel field, 321', and the high concentration source drain fields 312 and 322 of the second conductivity type to which the source drain electrodes 36 and 37 were connected electrically.

[0142] Thus, in the constituted active-matrix substrate 1, that high impurity concentration is set up so that the conditions which the following explains may be fulfilled, for example, the channel fields 13, 23, and 33 have it by abbreviation  $5 \times 10^{16} \text{cm}^{-3}$ - abbreviation  $1 \times 10^{18} \text{cm}^{-3}$ , although a channel dope is carried out with low-concentration boron ion and there are all as well as an example 1 in the second conductivity-type field of low concentration. Usually, TFT30' for drive circuits of the second conductivity type which has offset structure is in the orientation for the ON state current to become a little small as compared with TFT20 for drive circuits of the first conductivity type which has LDD structure. When the main reason was in the difference of the specific resistance of offset structure and LDD structure, and the second conductivity type is used as the second conductivity type and it moreover uses the first conductivity type as the first conductivity type, it originates further that the mobility of an electron hole is also small as compared with electronic mobility.

[0143] So, in this example, by setting up more amounts of impurities by which a channel dope is carried out, make TFT30' for drive circuits of the second conductivity type (it is with the second conductivity type) into weak DEPLETION mode, and let TFT20 for drive circuits of the first conductivity type (it is with the first conductivity type) be weak enhancing mode. Thereby, offset field 311 of TFT30' for drive circuits of second conductivity type ' and 312' become the small LDD field of resistance substantially. And it becomes possible to arrange the level of the ON state current in an ON state (for example, TFT30' for drive circuits of the second conductivity type source drain voltage  $V_{DS} = -5 \text{ V}$ , gate voltage  $V_{GS} = -10 \text{ V}$  and TFT20 for drive circuits of the first conductivity type source drain voltage  $V_{DS} = +5 \text{ V}$ , gate voltage  $V_{GS} = +10 \text{ V}$  conditions) between TFT(s) of both conductivity types.

[0144] Namely, as shown in drawing 6, a continuous line L5 shows the drain current-gate voltage

characteristic of TFT (TFT10 for pixels of the first conductivity type, and TFT20 for drive circuits of the first conductivity type) of the first conductivity type. Dotted line L6 shows the drain current-gate voltage characteristic of TFT (TFT30' for drive circuits of the second conductivity type) of the second conductivity type. The source drain voltage of TFT (TFT20 for drive circuits of the first conductivity type) of the first conductivity type  $V_{DS1}$ , It is  $I_{DS1}$  about  $V_{GS1}$  and source drain current in gate voltage. It carries out. The source drain voltage of TFT (TFT30' for drive circuits of the second conductivity type) of the second conductivity type  $V_{DS2}$ , It is  $I_{DS2}$  about  $V_{GS2}$  and source drain current in gate voltage. When it carries out, under  $|V_{DS1}| = |V_{DS2}|$  and the conditions of  $V_{GS1} = V_{GS2} = 0$   $I_{DS2} > I_{DS1}$  it changes -- as -- offset field 311' of TFT (TFT30' for drive circuits of the second conductivity type) of the second conductivity type, 321', and every -- the second conductivity-type high impurity concentration in the channel fields 13, 23, and 33 of TFT is set up.

[0145] In other words, it is source drain current  $I_{DS1}$  of TFT of the first conductivity type under the conditions of  $|V_{DS1}| = |V_{DS2}|$ . The continuous line L5 with which it expresses, Source drain current  $I_{DS2}$  of TFT of the second conductivity type The value of the gate voltage corresponding to the intersection R with dotted line L6 to express (it is  $I_{DS1} = I_{DS2}$  at  $V_{GS1} = V_{GS2}$ ) The gate voltage field which is equivalent to the ON field side of source drain current  $I_{DS1}$  in TFT20 for drive circuits of the first conductivity type (in TFT30' for drive circuits of the second conductivity type) Source drain current  $I_{DS2}$  It is in the gate voltage field equivalent to an off field side, i.e., a positive gate voltage field.

[0146] In addition, by reference, to drawing 6, an alternate long and short dash line L3 shows the drain current-gate voltage characteristic of TFT (TFT10 for pixels of the first conductivity type, and TFT20 for drive circuits of the first conductivity type) of the first conductivity type concerning the example 1 shown at drawing 3, and alternate long and short dash line L4' shows the drain current-gate voltage characteristic of TFT (TFT30' for drive circuits of the second conductivity type) of the second conductivity type to an example 1 at it.

[0147] Thus, in this example, the parasitism resistance resulting from this portion is reduced by making substantially offset field 311 of TFT30' for drive circuits of second conductivity type', and 312' into the small LDD field of resistance. moreover -- if an offset field is compared with a LDD field -- a thing with smaller LDD field resistance, although it is general and is In this example, about TFT30' for drive circuits of the second conductivity type of offset structure It considers as weak DEPLETION mode. About TFT20 for drive circuits of the first conductivity type of LDD structure Since it has considered as weak enhancing mode, the larger gate bias value in the ON state of TFT30' for drive circuits of the second conductivity type of offset structure than the gate bias value in the ON state of TFT20 for drive circuits of the first conductivity type of LDD structure can be taken. If the example shown in drawing 6 explains, the location of Intersection R will be set to  $V_{GS} = +2V$ , and an ON state will be set to  $|V_{GS}| = 10V$ , for example. the property of expressing the gate bias value in the ON state of TFT30' for drive circuits of the second conductivity type of offset structure with alternate long and short dash line L4' when it carries out like this -- about -- the property of it being equivalent to -12V and expressing the gate bias value in the ON state of TFT20 for drive circuits of the first conductivity type of LDD structure with an alternate long and short dash line L3 -- about -- since it is equivalent to +8V, it becomes possible to balance the ON state current. Moreover, by this technique, it is also possible between TFT30' for drive circuits of the second conductivity type of offset structure, and TFT20 for drive circuits of the first conductivity type of LDD structure to make transistor capacity equivalent, and it is in it. That is, since the balance of the ON state current between TFT30' for drive circuits of the second conductivity type and TFT20 for drive circuits of the first conductivity type is secured by the channel dope (the amount of dopes in offset field 311' and 321'), it can secure the balance of the transistor capacity between both TFT(s) by making channel length/channel width equivalent among both TFT(s). So, since transistor capacity is equivalent, and the ON state current is equivalent and it is, the CMOS circuit which carries out high-speed operation to stability can be obtained.

[0148] \*\* -- although the manufacture method [ like ] of TFT of a configuration omits explanation of the manufacture method since it is the same as that of an example 1 in general and there is, it is set as the optimal value about the amount of installation of the impurity to each field corresponding to the amount

of channel dopes. Moreover, the amount of optimal channel dopes changes with the quality of a gate insulator layer, qualities of a substrate protective coat (protective coat between a semiconductor layer and a substrate), etc.

[0149] By forming offset field 311' and 321' like the example of [modification of examples 1 and 2]

\*\*\*\* If it is the method of making the portion which stands face to face against the gate electrode 35 a low concentration field, silicon film 10a, It replaces with the method of driving in boron ion (impurity of the second conductivity type of low concentration) in the second conductivity-type silicon film formation production process of low concentration, after forming the gate insulator layers 14, 24, and 34 in 20a and 30a. Before forming the gate insulator layers 14, 24, and 34 to the silicon films 10a, 20a, and 30a, boron ion may be driven in in the second conductivity-type silicon film formation production process of low concentration, and the gate insulator layers 14, 24, and 34 may be formed after that.

[0150] Moreover, it replaces with the method of driving in the impurity of the second conductivity type of low concentration in the second conductivity-type silicon film formation production process of low concentration, after forming the intrinsic silicon films 10a, 20a, and 30a. B-2 H<sub>6</sub> SiH<sub>6</sub> The silicon film (a doped silicon film / doped semiconductor film) which doped low-concentration boron using mixed gas Silicon film 10a of the second conductivity type of low concentration, After forming with a CVD method as 20a and 30a, the gate insulator layers 14, 24, and 34 may be formed in it, and the production process shown in the production process shown in - (d) or drawing 4 (b) drawing 5 (b) - (d) may be performed after an appropriate time.

[0151] Furthermore, by the manufacture method of the active-matrix substrate of this example, in any case, perform the second conductivity-type impurity installation production process of low concentration, a gate electrode formation production process, the first conductivity-type impurity installation production process of low concentration, the first conductivity-type impurity installation production process of high concentration, and the 2nd conductivity-type impurity installation production process of high concentration at least, but In between these production processes about the sequence The second conductivity-type impurity installation production process of low concentration is performed to the channel dope and coincidence to each channel field of TFT, before performing a gate electrode formation production process. As long as it performs a gate electrode as a mask after performing a gate electrode formation production process for the first conductivity-type impurity installation production process of low concentration, which production process sequence of the conditions A shown in a table 1 - Conditions T may be used.

[0152]

[A table 1]

条 件	工 程 順 序				
	1	2	3	4	5
A	C/D (P <sup>-</sup> )	Gate	N <sup>-</sup>	P <sup>+</sup>	N <sup>+</sup>
B	C/D (P <sup>-</sup> )	Gate	N <sup>+</sup>	N <sup>-</sup>	P <sup>+</sup>
C	C/D (P <sup>-</sup> )	Gate	N <sup>+</sup>	P <sup>+</sup>	N <sup>-</sup>
D	C/D (P <sup>-</sup> )	Gate	N <sup>-</sup>	N <sup>+</sup>	P <sup>+</sup>
E	C/D (P <sup>-</sup> )	Gate	P <sup>+</sup>	N <sup>-</sup>	N <sup>+</sup>
F	C/D (P <sup>-</sup> )	Gate	P <sup>+</sup>	N <sup>+</sup>	N <sup>-</sup>
G	C/D (P <sup>-</sup> )	P <sup>+</sup>	Gate	N <sup>+</sup>	N <sup>-</sup>
H	C/D (P <sup>-</sup> )	P <sup>+</sup>	Gate	N <sup>-</sup>	N <sup>+</sup>
I	C/D (P <sup>-</sup> )	P <sup>+</sup>	N <sup>+</sup>	Gate	N <sup>-</sup>
J	C/D (P <sup>-</sup> )	N <sup>+</sup>	Gate	P <sup>+</sup>	N <sup>-</sup>
K	C/D (P <sup>-</sup> )	N <sup>+</sup>	Gate	N <sup>-</sup>	P <sup>+</sup>
L	C/D (P <sup>-</sup> )	N <sup>+</sup>	P <sup>+</sup>	Gate	N <sup>-</sup>
M	P <sup>+</sup>	C/D (P <sup>-</sup> )	Gate	N <sup>+</sup>	N <sup>-</sup>
N	P <sup>+</sup>	C/D (P <sup>-</sup> )	Gate	N <sup>-</sup>	N <sup>+</sup>
O	P <sup>+</sup>	C/D (P <sup>-</sup> )	N <sup>+</sup>	Gate	N <sup>-</sup>
P	P <sup>+</sup>	N <sup>+</sup>	C/D (P <sup>-</sup> )	Gate	N <sup>-</sup>
Q	N <sup>+</sup>	C/D (P <sup>-</sup> )	Gate	P <sup>+</sup>	N <sup>-</sup>
R	N <sup>+</sup>	C/D (P <sup>-</sup> )	Gate	N <sup>-</sup>	P <sup>+</sup>
S	N <sup>+</sup>	C/D (P <sup>-</sup> )	P <sup>+</sup>	Gate	N <sup>-</sup>
T	N <sup>+</sup>	P <sup>+</sup>	C/D (P <sup>-</sup> )	Gate	N <sup>-</sup>

[0153] In a table 1, the second conductivity-type impurity installation production process of low concentration Namely, C/D (P<sup>-</sup>), Gate and the first conductivity-type impurity installation production process of low concentration for a gate electrode formation production process N<sup>-</sup>, They are N<sup>+</sup> and the second conductivity-type impurity installation production process of high concentration about the first conductivity-type impurity installation production process of high concentration P<sup>+</sup> It is shown, and there are conditions A of them in order of the production process explained with reference to drawing 4, and they have the conditions C of them in order of the production process explained with reference to drawing 5.

[0154] The second conductivity-type impurity installation production process of low concentration may be created at the production process which forms the doped semiconductor film containing the second conductivity-type impurity of low concentration. For example, when doping boron, it is obtained by introducing diboron hexahydride (B<sub>2</sub>H<sub>6</sub>) into a CVD furnace at a mono silane (SiH<sub>4</sub>), a disilane (Si<sub>2</sub>H<sub>6</sub>), and coincidence. When depositing these doped semiconductor film by the LPCVD method, the concentration of additives, such as diboron hexahydride, has 0.1 to desirable about 100 ppm, and, as for dilution gas, hydrogen, helium, and nitrogen are suitable. On the other hand, as for dilution gas, helium, an argon, etc. are suitable, although concentration is the same as the point and it is, when depositing by the PECVD method. In this way, after depositing a doped semiconductor film, patterning may be performed and a gate insulator layer may be further formed in the surface of a semiconductor film.

[0155] Moreover, the method of driving in without carrying out mass separation of no ion generated from dopant gas as the impurity installation method, for example and the so-called ion doping method may be used. It is PH<sub>3</sub>, when it is this method, for example, drives the impurity of the first conductivity



type into high concentration. It contains about 1% to about 10%, and it is devoted, without carrying out mass separation of no ion generated from this mixed gas using the mixed gas which the remainder becomes from hydrogen gas or gaseous helium. On the other hand, it is PH<sub>3</sub> when driving the impurity of the first conductivity type into low concentration. It is desirable to contain about 0.01% to about 1%, to devote oneself, without carrying out mass separation of the ion generated from pure hydrogen gas, after devoting oneself, without carrying out mass separation of no ion generated from the mixed gas which the remainder becomes from hydrogen gas etc., and to termination-ize irregular association in a silicon film. Furthermore, about the introductory method of an impurity, the plasma doping method, the laser doping method, etc. may be used other than ion-implantation or the ion doping method.

[0156] In the active-matrix substrate 1 of this example, high impurity concentration of the low concentration source drain fields 111, 121, 211, and 221 of the first conductivity type of TFT10 for pixels of the first conductivity type and TFT20 for drive circuits of the first conductivity type is set to abbreviation  $1.0 \times 10^{18} \text{cm}^{-3}$ . Although high impurity concentration of the high concentration source drain fields 112, 122, 212, and 222 of the first conductivity type was set to abbreviation  $1.0 \times 10^{20} \text{cm}^{-3}$ . About this concentration, it is the thing of the property which should be set as the optimal value according to the specification of the active-matrix substrate 1 etc., is, and does not restrict to the above-mentioned numeric value. It does not restrict to a resist mask about the quality of the material of a mask further again.

[0157] [Example 3]

(Configuration of a active-matrix substrate) There are a cross section showing typically the structure of a drive circuit built-in active-matrix substrate [ in / in drawing 7 / the liquid crystal display of this example ] and drawing 8 with the block diagram showing the configuration of a liquid crystal display typically.

[0158] In drawing 7 , with the drive circuit built-in active-matrix substrate of the liquid crystal display of this example, TFT30 for drive circuits of the second conductivity type, TFT20 for drive circuits of the first conductivity type, TFT10 for pixels of the first conductivity type, and retention volume 40 are formed on the same insulating substrate 2 so that the drive circuit section, a pixel field, and the retention volume formation field in this pixel field may be typically shown toward a right-hand side field from that left-hand side field.

[0159] In this example, as shown in drawing 8 , retention volume 40 is formed in a pixel field between the scanning lines 91 of the preceding paragraph, and this retention volume 40 has the function which raises the maintenance property of the charge in a liquid crystal cell (liquid crystal capacity 94). what electric-conduction-ized the silicon film S2 by which coincidence formation was carried out with the silicon film S1 for this retention volume 40 to form TFT10 for pixels -- lower layer lateral electrode section 40c (the first polar zone) -- carrying out -- this lower layer lateral electrode section 40c -- receiving -- the flare appearance from the scanning line 91 of the preceding paragraph -- it is in the condition that the upper lateral electrode section 45 (the second polar zone) lapped the bottom. In addition, although retention volume 40 is constituted between the scanning lines 91 of the preceding paragraph in each pixel field, it may be constituted between the capacity lines of dedication.

[0160] Again, in drawing 7 , TFT10 for pixels of the first conductivity type, TFT20 for drive circuits of the first conductivity type, and TFT30 for drive circuits of the second conductivity type all have the channel fields 13, 23, and 33 for forming a channel among the source drain fields 11, 12, 21, 22, 31, and 32. Since the channel dope has been carried out with low-concentration boron ion, these channel fields 13, 23, and 33 have high impurity concentration in the second conductivity-type field of low concentration of abbreviation  $1 \times 10^{17} \text{cm}^{-3}$ . Therefore, the threshold voltage ( $V_{th}$ ) of TFT20 for drive circuits of the first conductivity type and TFT30 for drive circuits of the second conductivity type is set as a predetermined value. Generally, as compared with electronic mobility, since it was small, the ON state current of TFT for drive circuits of the second conductivity type suited remarkable small orientation of mobility of an electron hole conventionally as compared with the ON state current of TFT for drive circuits of the first conductivity type. This trouble is mostly cancelable by adjusting  $V_{th}$  in this example. So, the balance of the ON state current between TFT(s) which constitute a CMOS circuit from

a active-matrix substrate 1 of this example is good.

[0161] TFT10 for pixels of the first conductivity type, TFT20 for drive circuits of the first conductivity type, and TFT30 for drive circuits of the second conductivity type have the gate electrodes 15, 25, and 35 which confront each other through the gate insulator layers 14, 24, and 34 (silicon oxide whose thickness is about 1200Å) to the surface side of the channel fields 13, 23, and 33.

[0162] Thus, in the constituted active-matrix substrate 1, the source drain fields 11, 12, 21, 22, 31, and 32 have the low concentration source drain fields 111, 121, 211, 221, 311, and 321 into the portion which confronts each other through the gate insulator layers 14, 24, and 34 to the edge of the gate electrodes 15, 25, and 35, and any TFT has LDD structure.

[0163] In addition, the field except the low concentration source drain fields 111, 121, 211, 221, 311, and 321 has high impurity concentration for a start in the high concentration source drain fields 112, 122, 212, 222, 312, and 322 of abbreviation  $1 \times 10^{20} \text{cm}^{-3}$  among the source drain fields 11, 12, 21, 22, 31, and 32 of TFT10 for pixels of a conductivity type, TFT20 for drive circuits of the first conductivity type, and TFT30 for drive circuits of the second conductivity type. these high concentration fields -- receiving -- every -- the source drain electrodes 16, 17, 26, 27, 36, and 37 to TFT, such as a signal line and a pixel electrode, have connected electrically through the contact hole of an interlayer insulation film 4.

[0164] (On-off leak current characteristic of TFT) Since TFT constituted in this appearance has the portion which stands face to face against the edge of the gate electrodes 15, 25, and 35 in a low concentration field (low concentration source drain fields 111, 121, 211, and 221), it is in the condition that the field strength in a drain edge was eased. So, as a continuous line L3 shows the drain current-gate voltage characteristic of TFT (TFT10 for pixels of the first conductivity type, and TFT20 for drive circuits of the first conductivity type) of the first conductivity type to [drawing 32](#) and a dotted line L4 shows the drain current-gate voltage characteristic of TFT (TFT30 for drive circuits of the second conductivity type) of the second conductivity type, the OFF leakage current of TFT is remarkably small.

[0165] Moreover, a continuous line L21 shows the withstand voltage property in TFT (TFT10 for pixels of the first conductivity type, and TFT20 for drive circuits of the first conductivity type) of the first conductivity type of LDD structure to [drawing 31](#) (a). As a continuous line L22 shows the withstand voltage property in TFT of the second conductivity type of LDD structure to [drawing 31](#) (b), since the withstand voltage between source drains is high as compared with TFT of self aryne structure, TFT of LDD structure can shorten channel length.

[0166] (The manufacture method of TFT) \*\* -- the active-matrix substrate [ like ] 1 of structure can be manufactured by the following methods. In addition, each high impurity concentration is expressed with the high impurity concentration after activation annealing in the following explanation.

[0167] First, in order to adjust  $V_{th}$  of TFT, an impurity is introduced into a semiconductor film by low concentration. As shown in [drawing 9](#) (a), namely, the inside of the surface of the insulating substrates 2, such as a quartz substrate, To TFT10 for pixels, TFT20 for drive circuits of the first conductivity type, TFT30 for drive circuits of the second conductivity type, and the formation field of retention volume 40 For example, high impurity concentration forms the silicon films 10a, 20a, 30a, and 40a of the second conductivity type of low concentration of  $1 \times 10^{17} \text{cm}^{-3}$ , the gate insulator layers 14, 24, and 34, and a dielectric film 44 in coincidence (the second conductivity-type silicon film formation production process of low concentration).

[0168] it -- the surface of an insulating substrate 2 -- LPCVD -- after forming an intrinsic polish recon film using law or a plasma-CVD method, patterning of the polish recon film is carried out by the photolithography method, and it is made into the island-like silicon films 10a, 20a, 30a, and 40a (silicon film formation production process).

[0169] In addition, after forming an amorphous silicon film, a polish recon film may grow up crystal grain with the laser annealing method or a solid phase grown method, and may be formed. next, the island-like silicon films 10a, 20a, 30a, and 40a -- receiving -- the oxidizing [ thermally ] method, a TEOS-CVD method, and LPCVD -- law, a plasma-CVD method, and HTO -- the gate insulator layers

14, 24, and 34 which thickness becomes from the silicon oxide which is about 1200Å, and a dielectric film 44 are formed in coincidence by law etc. (gate insulator layer formation production process).

[0170] After an appropriate time, boron ion (the second conductivity-type impurity / the 2nd conductivity-type impurity) is driven into after an appropriate time with the dose of abbreviation  $1 \times 10^{12} \text{cm}^{-2}$ , and a channel dope is performed (a channel dope production process / 1st impurity installation production process). Consequently, as for the silicon films 10a, 20a, 30a, and 40a, high impurity concentration serves as the silicon films 10a, 20a, 30a, and 40a of the second conductivity type of low concentration of abbreviation  $1 \times 10^{17} \text{cm}^{-3}$ .

[0171] Next, as shown in drawing 9 (b), the wrap resist mask 101 is only formed [ the formation field of TFT30 for drive circuits of the second conductivity type ] width for the formation schedule field of the gate electrodes 15 and 25 with a wrap (1st mask formation production process).

[0172] then, for example, phosphorus ion (the first conductivity-type impurity / the first conductivity-type impurity) -- about 1 -- an ion implantation is carried out with the dose of  $1 \times 10^{14} \text{cm}^{-2}$  (the first conductivity-type impurity installation production process of a 2nd impurity installation production process / low concentration).

[0173] Consequently, a conductivity type reverses the field where phosphorus ion was driven in among the silicon films 10a and 20a of the second conductivity type of low concentration, and high impurity concentration serves as the source drain fields 11, 12, 21, and 22 of the first conductivity type of low concentration of abbreviation  $1 \times 10^{19} \text{cm}^{-3}$ . Moreover, a conductivity type reverses silicon film 40a of the second conductivity type of low concentration, and high impurity concentration is set to lower layer lateral electrode section 40c (the first polar zone) of the first conductivity type of low concentration of abbreviation  $1 \times 10^{19} \text{cm}^{-3}$ . Moreover, the portion into which an impurity was not introduced serves as the channel fields 13 and 23. After an appropriate time, the resist mask 101 is removed.

[0174] Next, as shown in drawing 9 (c), the gate electrodes 15, 25, and 35 which consist of doped silicon, a silicide film, etc. are formed in the surface of the gate insulator layers 14, 24, and 34. The upper lateral electrode section 45 (the second polar zone) is formed in the surface of a dielectric film 44 at coincidence (gate electrode formation production process). Besides, the layer lateral electrode sections 45 may be some signal lines of the preceding paragraph. Thus, the retention volume 40 which lower layer lateral electrode section 40c and the upper lateral electrode section 45 counter through a dielectric film 44 is formed.

[0175] Next, the wrap resist mask 102 is formed for the formation field of TFT10 for pixels of the first conductivity type, the formation field of TFT20 for drive circuits of the first conductivity type, and retention volume 40 (2nd mask formation production process).

[0176] Then, the ion implantation of the boron ion is carried out with the dose of abbreviation  $1 \times 10^{13} \text{cm}^{-2}$  (the second conductivity-type impurity installation production process of a 3rd impurity installation production process / low concentration).

[0177] Consequently, the source drain fields 31 and 32 of the second conductivity type of low concentration of abbreviation  $1.1 \times 10^{18} \text{cm}^{-3}$  are formed in silicon film 30a of the second conductivity type of low concentration for high impurity concentration in self align to the gate electrode 35. In addition, the portion into which an impurity was not introduced serves as the channel field 33. After an appropriate time, the resist mask 102 is removed.

[0178] Next, as shown in drawing 9 (d), the wrap resist mask 103 is formed [ the formation field of TFT10 for pixels of the first conductivity type, the formation field of TFT20 for drive circuits of the first conductivity type, and retention volume 40 ] width for the gate electrode 35 with a wrap (3rd mask formation production process).

[0179] Then, the ion implantation of the boron ion is carried out with the dose of abbreviation  $1 \times 10^{15} \text{cm}^{-2}$  (the second conductivity-type impurity installation production process of a 4th impurity installation production process / high concentration).

[0180] Consequently, the high concentration source drain fields 312 and 322 of  $1 \times 10^{20} \text{cm}^{-3}$  are formed in the source drain fields 31 and 32 of the second conductivity type of low concentration for high impurity concentration. Moreover, as for the portion covered with the resist mask 103 among the source

drain fields 31 and 32 of the second conductivity type of low concentration, high impurity concentration serves as the low concentration source drain fields 311 and 321 of abbreviation  $1.1 \times 10^{18} \text{cm}^{-3}$  as it is.

[0181] Thus, TFT30 for drive circuits of the second conductivity type is formed. After an appropriate time, the resist mask 103 is removed.

[0182] Next, as shown in drawing 9 (e), in addition to TFT30 for drive circuits of the second conductivity type, the wrap resist mask 104 is formed width also for the gate electrodes 15 and 25 (4th mask formation production process).

[0183] Then, the ion implantation of the phosphorus ion is carried out with the dose of  $1 \times 10^{15} \text{cm}^{-2}$  (the first conductivity-type impurity installation production process of a 5th impurity installation production process / high concentration).

[0184] Consequently, the high concentration source drain fields 112, 122, 221, and 222 of  $1 \times 10^{20} \text{cm}^{-3}$  are formed in the source drain fields 11, 12, 21, and 22 of the first conductivity type of low concentration for high impurity concentration. Moreover, as for the portion covered with the resist mask 104 among the source drain fields 11, 12, 21, and 22 of the first conductivity type of low concentration, high impurity concentration serves as the low concentration source drain fields 111, 121, 211, and 221 of abbreviation  $1 \times 10^{19} \text{cm}^{-3}$  as it is.

[0185] Thus, TFT10 for pixels of the first conductivity type and TFT20 for drive circuits of the first conductivity type are formed. After an appropriate time, the resist mask 104 is removed.

[0186] Henceforth, if annealing for activation is performed, a contact hole is formed in after an appropriate time and the source drain electrodes 16, 17, 26, 27, 36, and 37 are formed after forming an interlayer insulation film 4 as shown in drawing 7, the semiconductor device of active-matrix substrate 1 grade can be manufactured according to 4 times of the mask formation production processes for forming the resist masks 101-104, and 5 times of impurity installation production processes.

[0187] Thus, by the manufacture method of the active-matrix substrate 1 of this example, like, before [ which was shown in drawing 9 (b) ] forming the gate electrodes 15, 25, and 35 and the upper lateral electrode 45, the first conductivity-type impurity installation production process of low concentration for forming the low concentration source drain fields 111, 121, 211, and 221 is performed, this production process is used, and lower layer lateral electrode section 40c is formed. Therefore, it is possible to reduce the number of mask formation production processes and the number of impurity installation production processes by a unit of 1 time as compared with the conventional manufacture method, and it is. So, each electrical characteristics of TFT can be improved, forming TFT and a capacitive element (retention volume 40) with the small number of manufacturing processes.

[0188] In Table 2 thru/or a table 4 the 1st conductivity-type impurity installation production process of "C/D" low concentration for a channel dope production process In addition, "N -", The second conductivity-type impurity installation production process of "N+" low concentration for the first conductivity-type impurity installation production process of high concentration "P -", So that production process sequence may be shown omitting "P+" gate electrode formation production process for the second conductivity-type impurity installation production process of high concentration by "G" The second conductivity-type impurity installation production process of low concentration shown in drawing 9 (c), the second conductivity-type impurity installation production process of high concentration shown in drawing 9 (d), And the sequence is replaced between the first conductivity-type impurity installation production processes of high concentration shown in drawing 9 (e), Before forming the gate electrodes 15, 25, and 35 and the upper lateral electrode 45, perform the first conductivity-type impurity installation production process of low concentration for forming the low concentration source drain fields 111, 121, 211, and 221, and this production process is used. As long as it forms lower layer lateral electrode section 40c, you may be which production process sequence.

[0189]

[A table 2]

工程順序	1	2	3	4	5	6
1-01	C/D	N <sup>-</sup>	G	P <sup>-</sup>	P <sup>+</sup>	N <sup>+</sup>
1-02	C/D	N <sup>-</sup>	G	P <sup>-</sup>	N <sup>+</sup>	P <sup>+</sup>
1-03	C/D	N <sup>-</sup>	G	N <sup>+</sup>	P <sup>-</sup>	P <sup>+</sup>
1-04	C/D	N <sup>-</sup>	N <sup>+</sup>	G	P <sup>-</sup>	P <sup>+</sup>
1-05	C/D	N <sup>+</sup>	N <sup>-</sup>	G	P <sup>-</sup>	P <sup>+</sup>
1-06	N <sup>+</sup>	C/D	N <sup>-</sup>	G	P <sup>+</sup>	P <sup>-</sup>
1-07	C/D	N <sup>-</sup>	G	P <sup>+</sup>	P <sup>-</sup>	N <sup>+</sup>
1-08	C/D	N <sup>-</sup>	G	P <sup>+</sup>	N <sup>+</sup>	P <sup>-</sup>
1-09	C/D	N <sup>-</sup>	G	N <sup>+</sup>	P <sup>+</sup>	P <sup>-</sup>
1-10	C/D	N <sup>-</sup>	N <sup>+</sup>	G	P <sup>+</sup>	P <sup>-</sup>
1-11	C/D	N <sup>+</sup>	N <sup>-</sup>	G	P <sup>+</sup>	P <sup>-</sup>
1-12	N <sup>+</sup>	C/D	N <sup>-</sup>	G	P <sup>+</sup>	P <sup>-</sup>
1-13	C/D	N <sup>-</sup>	P <sup>+</sup>	G	P <sup>-</sup>	N <sup>+</sup>
1-14	C/D	N <sup>-</sup>	P <sup>+</sup>	G	N <sup>+</sup>	P <sup>-</sup>
1-15	C/D	N <sup>-</sup>	P <sup>+</sup>	N <sup>+</sup>	G	P <sup>-</sup>
1-16	C/D	N <sup>-</sup>	N <sup>+</sup>	P <sup>+</sup>	G	P <sup>-</sup>
1-17	C/D	N <sup>+</sup>	N <sup>-</sup>	P <sup>+</sup>	G	P <sup>-</sup>
1-18	N <sup>+</sup>	C/D	N <sup>-</sup>	P <sup>+</sup>	G	P <sup>-</sup>
1-19	C/D	P <sup>+</sup>	N <sup>-</sup>	G	P <sup>-</sup>	N <sup>+</sup>
1-20	C/D	P <sup>+</sup>	N <sup>-</sup>	G	N <sup>+</sup>	P <sup>-</sup>
1-21	C/D	P <sup>+</sup>	N <sup>-</sup>	N <sup>+</sup>	G	P <sup>-</sup>
1-22	C/D	P <sup>+</sup>	N <sup>+</sup>	N <sup>-</sup>	G	P <sup>-</sup>
1-23	C/D	N <sup>+</sup>	P <sup>+</sup>	N <sup>-</sup>	G	P <sup>-</sup>
1-24	N <sup>+</sup>	C/D	P <sup>+</sup>	N <sup>-</sup>	G	P <sup>-</sup>
1-25	P <sup>+</sup>	C/D	N <sup>-</sup>	G	P <sup>-</sup>	N <sup>+</sup>
1-26	P <sup>+</sup>	C/D	N <sup>-</sup>	G	N <sup>+</sup>	P <sup>-</sup>
1-27	P <sup>+</sup>	C/D	N <sup>-</sup>	N <sup>+</sup>	G	P <sup>-</sup>

[0190]

[A table 3]

工程順序	1	2	3	4	5	6
1-28	P <sup>+</sup>	C/D	N <sup>+</sup>	N <sup>-</sup>	G	P <sup>-</sup>
1-29	P <sup>+</sup>	N <sup>+</sup>	C/D	N <sup>-</sup>	G	P <sup>-</sup>
1-30	N <sup>+</sup>	P <sup>+</sup>	C/D	N <sup>-</sup>	G	P <sup>-</sup>
1-31	N <sup>-</sup>	C/D	G	P <sup>-</sup>	P <sup>+</sup>	N <sup>+</sup>
1-32	N <sup>-</sup>	C/D	G	P <sup>-</sup>	N <sup>+</sup>	P <sup>+</sup>
1-33	N <sup>-</sup>	C/D	G	N <sup>+</sup>	P <sup>-</sup>	P <sup>+</sup>
1-34	N <sup>-</sup>	C/D	N <sup>+</sup>	G	P <sup>-</sup>	P <sup>+</sup>
1-35	N <sup>-</sup>	N <sup>+</sup>	C/D	G	P <sup>-</sup>	P <sup>+</sup>
1-36	N <sup>+</sup>	N <sup>-</sup>	C/D	G	P <sup>+</sup>	P <sup>-</sup>
1-37	N <sup>-</sup>	C/D	G	P <sup>+</sup>	P <sup>-</sup>	N <sup>+</sup>
1-38	N <sup>-</sup>	C/D	G	P <sup>+</sup>	N <sup>+</sup>	P <sup>-</sup>
1-39	N <sup>-</sup>	C/D	G	N <sup>+</sup>	P <sup>+</sup>	P <sup>-</sup>
1-40	N <sup>-</sup>	C/D	N <sup>+</sup>	G	P <sup>+</sup>	P <sup>-</sup>
1-41	N <sup>-</sup>	N <sup>+</sup>	C/D	G	P <sup>+</sup>	P <sup>-</sup>
1-42	N <sup>+</sup>	N <sup>-</sup>	C/D	G	P <sup>+</sup>	P <sup>-</sup>
1-43	N <sup>-</sup>	C/D	P <sup>+</sup>	G	P <sup>-</sup>	N <sup>+</sup>
1-44	N <sup>-</sup>	C/D	P <sup>+</sup>	G	N <sup>+</sup>	P <sup>-</sup>
1-45	N <sup>-</sup>	C/D	P <sup>+</sup>	N <sup>+</sup>	G	P <sup>-</sup>
1-46	N <sup>-</sup>	C/D	N <sup>+</sup>	P <sup>+</sup>	G	P <sup>-</sup>
1-47	N <sup>-</sup>	N <sup>+</sup>	C/D	P <sup>+</sup>	G	P <sup>-</sup>
1-48	N <sup>+</sup>	N <sup>-</sup>	C/D	P <sup>+</sup>	G	P <sup>-</sup>
1-49	N <sup>-</sup>	P <sup>+</sup>	C/D	G	P <sup>-</sup>	N <sup>+</sup>
1-50	N <sup>-</sup>	P <sup>+</sup>	C/D	G	N <sup>+</sup>	P <sup>-</sup>
1-51	N <sup>-</sup>	P <sup>+</sup>	C/D	N <sup>+</sup>	G	P <sup>-</sup>
1-52	N <sup>-</sup>	P <sup>+</sup>	N <sup>+</sup>	C/D	G	P <sup>-</sup>
1-53	N <sup>-</sup>	N <sup>+</sup>	P <sup>+</sup>	C/D	G	P <sup>-</sup>
1-54	N <sup>+</sup>	N <sup>-</sup>	P <sup>+</sup>	C/D	G	P <sup>-</sup>

[0191]

[A table 4]

工程順序	1	2	3	4	5	6
1-55	P <sup>+</sup>	N <sup>-</sup>	C/D	G	P <sup>-</sup>	N <sup>+</sup>
1-56	P <sup>+</sup>	N <sup>-</sup>	C/D	G	N <sup>+</sup>	P <sup>-</sup>
1-57	P <sup>+</sup>	N <sup>-</sup>	C/D	N <sup>+</sup>	G	P <sup>-</sup>
1-58	P <sup>+</sup>	N <sup>-</sup>	N <sup>+</sup>	C/D	G	P <sup>-</sup>
1-59	P <sup>+</sup>	N <sup>+</sup>	N <sup>-</sup>	C/D	G	P <sup>-</sup>
1-60	N <sup>+</sup>	P <sup>+</sup>	N <sup>-</sup>	C/D	G	P <sup>-</sup>

[0192] The structure of the active-matrix substrate of the example of a [example 4] book is explained with reference to drawing 7 as well as an example 3.

[0193] In drawing 7, the focus of the active-matrix substrate 1 of this example is in the point which



low-concentration-ized the low concentration source drain fields 111, 121, 211, and 221 of TFT10 for pixels of the first conductivity type, and TFT20 for drive circuits of the first conductivity type rather than lower layer lateral electrode section 40c of retention volume 40, manufacturing by the same routing counter as the manufacture method concerning an example 3.

[0194] Namely, like an example 3, although lower layer lateral electrode section 40c of retention volume 40 has high impurity concentration in the first conductivity-type field of low concentration of abbreviation  $1 \times 10^{19} \text{cm}^{-3}$  The low concentration source drain fields 111, 121, 211, and 221 of TFT10 for pixels of the first conductivity type, and TFT20 for drive circuits of the first conductivity type While being with the phosphorus ion (high impurity concentration about  $1 \times 10^{19} \text{cm}^{-3}$  phosphorus ion) of lower layer lateral electrode section 40c of retention volume 40, and an equivalent amount the [ into which the boron ion (high impurity concentration about  $1.1 \times 10^{18} \text{cm}^{-3}$  boron ion) of the low concentration fields 311 and 321 of TFT30 for drive circuits of the second conductivity type and an equivalent amount was introduced / low concentration ] -- it is in the first conductivity-type field. Therefore, there is high impurity concentration of the low concentration source drain fields 111, 121, 211, and 221 by abbreviation  $9 \times 10^{18} \text{cm}^{-3}$ .

[0195] \*\* -- the active-matrix substrate [ like ] 1 of a configuration can be manufactured by the manufacture method explained below. In addition, since the manufacture method explained below has the production process which is common in the example 3, it explains this production process briefly.

[0196] First, as shown in drawing 10 (a), after forming the island-like silicon films 10a, 20a, 30a, and 40a in the surface of an insulating substrate 2 (silicon film formation production process), the gate insulator layers 14, 24, and 34 and a dielectric film 44 are formed (gate insulator layer formation production process).

[0197] Next, boron ion is driven in with the dose of  $1 \times 10^{12} \text{cm}^{-2}$ , and a channel dope is performed (a channel dope production process / 1st impurity installation production process).

[0198] Next, as shown in drawing 10 (b), the wrap resist mask 201 is only formed [ the formation field of TFT30 for drive circuits of the second conductivity type ] width for the formation field of the gate electrodes 15 and 25 of TFT10 for pixels of the first conductivity type, and TFT20 for drive circuits of the first conductivity type with a wrap (1st mask formation production process).

[0199] then, phosphorus ion -- about 1 -- the dose of  $x10^{14} \text{cm}^{-2}$  -- an ion implantation -- carrying out (the first conductivity-type impurity installation production process of a 2nd impurity installation production process / low concentration) -- high impurity concentration -- about 1 -- lower layer lateral electrode section 40c of the source drain fields 11, 12, 21, and 22 of the first conductivity type of low concentration of  $x10^{19} \text{cm}^{-3}$  and the first conductivity type of low concentration is formed.

[0200] Next, as shown in drawing 10 (c), the gate electrodes 15, 25, and 35 and the upper lateral electrode section 45 are formed (gate electrode formation production process). Thus, retention volume 40 is formed.

[0201] Each above production process is the same as the manufacture method concerning an example 3, and there is.

[0202] Next, the wrap resist mask 202 is only formed [ the formation field of retention volume 40 ] width also for the gate electrodes 15 and 25 like the resist mask 201 with a wrap (2nd mask formation production process).

[0203] Then, the ion implantation of the boron ion is carried out with the dose of abbreviation  $1 \times 10^{13} \text{cm}^{-2}$  (the second conductivity-type impurity installation production process of a 3rd impurity installation production process / low concentration).

[0204] Consequently, the source drain fields 31 and 32 of the second conductivity type of low concentration of abbreviation  $1.1 \times 10^{18} \text{cm}^{-3}$  are formed in silicon film 30a for high impurity concentration in self align to the gate electrode 35.

[0205] On the other hand, the source drain fields 11, 12, 21, and 22 of the first conductivity type of low concentration are substantially low-concentration-ized with the boron ion driven in there, and the high impurity concentration of the source drain fields 11, 12, 11, and 12 of the first conductivity type of low concentration is set to abbreviation  $9 \times 10^{18} \text{cm}^{-3}$ . After an appropriate time, the resist mask 202 is

removed.

[0206] Henceforth, like an example 3, as shown in drawing 10 (d), the wrap resist mask 203 is formed [ the formation field of TFT10 for pixels of the first conductivity type, the formation field of TFT20 for drive circuits of the first conductivity type, and retention volume 40 ] width for the gate electrode 35 with a wrap (3rd mask formation production process).

[0207] then, boron ion (the second conductivity-type impurity) -- about 1 -- an ion implantation is carried out with the dose of  $1 \times 10^{15} \text{cm}^{-2}$  (the second conductivity-type impurity installation production process of a 4th impurity installation production process / high concentration). Consequently, high impurity concentration serves as the high concentration source drain fields 312 and 322 of  $1 \times 10^{20} \text{cm}^{-3}$ , and, as for the source drain fields 31 and 32 of the second conductivity type of low concentration, high impurity concentration serves as the low concentration source drain fields 311 and 321 of abbreviation  $1.1 \times 10^{18} \text{cm}^{-3}$ . Thus, TFT30 for drive circuits of the second conductivity type is formed. After an appropriate time, the resist mask 203 is removed.

[0208] Next, as shown in drawing 10 (e), in addition to TFT30 for drive circuits of the second conductivity type, the wrap resist mask 204 is formed width also for the gate electrodes 15 and 25 (4th mask formation production process).

[0209] Then, the ion implantation of the phosphorus ion (the first conductivity-type impurity) is carried out with the dose of  $1 \times 10^{15} \text{cm}^{-2}$  (the first conductivity-type impurity installation production process of a 5th impurity installation production process / high concentration).

[0210] Consequently, high impurity concentration serves as the high concentration source drain fields 112, 122, 212, and 222 of  $1 \times 10^{20} \text{cm}^{-3}$ , and, as for the source drain fields 11, 12, 21, and 22 of the first conductivity type of low concentration, high impurity concentration serves as the low concentration source drain fields 111, 121, 211, and 221 of abbreviation  $9 \times 10^{18} \text{cm}^{-3}$ . Thus, TFT10 for pixels of the first conductivity type and TFT20 for drive circuits of the first conductivity type are formed. After an appropriate time, the resist mask 204 is removed.

[0211] Consequently, the semiconductor device of active-matrix substrate 1 grade can be manufactured according to 4 times of the mask formation production processes for forming the resist masks 201-204, and 5 times of impurity installation production processes.

[0212] Thus, by the manufacture method of the active-matrix substrate 1 of this example, like, before [ which was shown in drawing 10 (b) ] forming the gate electrodes 15, 25, and 35 and the upper lateral electrode 45, the first conductivity-type impurity installation production process of low concentration for forming the low concentration source drain fields 111, 121, 211, and 221 is performed, this production process is used, and lower layer lateral electrode section 40c is formed. Therefore, the same effect as an example 3 is done so, such as it being possible to reduce the number of mask formation production processes and the number of impurity installation production processes by a unit of 1 time as compared with the conventional manufacture method, and being.

[0213] Moreover, as shown in drawing 10 (c), in the second conductivity-type impurity installation production process of low concentration for forming the low concentration source drain fields 311 and 321, the boron ion driven in at this time is driven also into the formation field of TFT10 for pixels of the first conductivity type, and TFT20 for drive circuits of the first conductivity type, and it is. That is, the second conductivity-type impurity installation production process of low concentration for forming the low concentration source drain fields 311 and 321 is used, and the high impurity concentration of the source drain fields 11, 12, 21, and 22 of the first conductivity type of low concentration is changed. The low concentration source drain fields 111, 121, 211, and 221 low-concentration-ized rather than lower layer lateral electrode section 40c of retention volume 40 can be formed without increasing a routing counter as compared with an example 3 for this reason. So, each electrical characteristics of TFT can be further improved by the small routing counter.

[0214] In addition, the second conductivity-type impurity installation production process of low concentration shown in drawing 10 (c) like an example 3 as shown in a table 2 thru/or a table 4, The sequence is replaced between the second conductivity-type impurity installation production process of high concentration shown in drawing 10 (d), and the first conductivity-type impurity installation

production process of high concentration shown in drawing 10 (e), Before forming the gate electrodes 15, 25, and 35 and the upper lateral electrode 45 As long as it performs the first conductivity-type impurity installation production process of low concentration for forming the low concentration source drain fields 111, 121, 211, and 221, it uses this production process and it forms lower layer lateral electrode section 40c, you may be which production process sequence.

[0215] In [example 5] drawing 10 (c), the second conductivity-type impurity installation production process of low concentration for forming the low concentration source drain fields 311 and 321 may be used, and one high impurity concentration of the source drain fields 11, 12, 21, and 22 of the first conductivity type of low concentration may be changed.

[0216] For example, in this example, high impurity concentration of the low concentration source drain fields 111 and 121 of TFT10 for pixels of the first conductivity type shown in drawing 7 is low-concentration-ized rather than the low concentration source drain fields 211 and 221 of TFT for drive circuits of the first conductivity type, manufacturing by the same routing counter as the manufacture method concerning examples 3 and 4. Namely, in the active-matrix substrate 1 of this example, like an example 3, although the low concentration source drain fields 211 and 221 of lower layer lateral electrode section 40c of retention volume 40 and TFT for drive circuits of the first conductivity type have high impurity concentration in the first conductivity-type field of low concentration of abbreviation  $1 \times 10^{19} \text{cm}^{-3}$  The low concentration source drain fields 111 and 121 of TFT for pixels of the first conductivity type With the phosphorus ion (high impurity concentration about  $1 \times 10^{19} \text{cm}^{-3}$  phosphorus ion) of lower layer lateral electrode section 40c of retention volume 40, and an equivalent amount the [ into which the boron ion (high impurity concentration about  $1.1 \times 10^{18} \text{cm}^{-3}$  boron ion) of the low concentration fields 311 and 321 of TFT30 for drive circuits of the second conductivity type and an equivalent amount was introduced / low concentration ] -- it is in the first conductivity-type field. Therefore, there is high impurity concentration of the low concentration source drain fields 111 and 121 by abbreviation  $9 \times 10^{18} \text{cm}^{-3}$ .

[0217] \*\* -- in manufacturing the active-matrix substrate 1 of a configuration [ like ], the following manufacture methods are used by this example.

[0218] First, as shown in drawing 11 (a), after forming the island-like silicon films 10a, 20a, 30a, and 40a in the surface of an insulating substrate 2 (silicon film formation production process), the gate insulator layers 14, 24, and 34 and a dielectric film 44 are formed (gate insulator layer formation production process).

[0219] After an appropriate time, boron ion is driven into after an appropriate time with the dose of  $1 \times 10^{12} \text{cm}^{-2}$ , and a channel dope is performed (1st impurity installation production process).

[0220] Next, as shown in drawing 11 (b), the wrap resist mask 301 is formed [ the formation field of TFT30 for drive circuits of the second conductivity type ] width for the formation field of the gate electrodes 15 and 25 of TFT10 for pixels of the first conductivity type, and TFT20 for drive circuits of the first conductivity type with a wrap (1st mask formation production process).

[0221] then, phosphorus ion -- about 1 -- the dose of  $1 \times 10^{14} \text{cm}^{-2}$  -- an ion implantation -- carrying out (the first conductivity-type impurity installation production process of a 2nd impurity installation production process / low concentration) -- high impurity concentration -- about 1 -- the source drain fields 11, 12, 21, and 22 of the first conductivity type of low concentration of  $1 \times 10^{19} \text{cm}^{-3}$  and lower layer lateral electrode section 40c are formed.

[0222] Next, as shown in drawing 11 (c), the gate electrodes 15, 25, and 35 and the upper lateral electrode section 45 are formed. Thus, retention volume 40 is formed.

[0223] Each above production process is the same as the manufacture method concerning examples 3 and 4, and there is.

[0224] Next, the wrap resist mask 302 is only formed [ TFT20 for drive circuits of the first conductivity type, and the formation field of retention volume 40 ] width also for the gate electrode 15 like the resist mask 301 with a wrap (2nd mask formation production process).

[0225] Then, the ion implantation of the boron ion is carried out with the dose of abbreviation  $1 \times 10^{13} \text{cm}^{-2}$  (the second conductivity-type impurity installation production process of a 3rd impurity

installation production process / low concentration).

[0226] Consequently, the source drain fields 31 and 32 of the second conductivity type of low concentration of abbreviation  $1.1 \times 10^{18} \text{cm}^{-3}$  are formed in silicon film 30a for high impurity concentration in self align to the gate electrode 35. Moreover, the source drain fields 11 and 12 of the first conductivity type of low concentration are substantially low-concentration-ized with the boron ion driven in there, and the high impurity concentration of the source drain fields 11 and 12 of the first conductivity type of low concentration is set to abbreviation  $9 \times 10^{18} \text{cm}^{-3}$ . After an appropriate time, the resist mask 302 is removed.

[0227] Henceforth, like an example 3, as shown in drawing 11 (d), the wrap resist mask 303 is formed [ the formation field of TFT10 for pixels of the first conductivity type, the formation field of TFT20 for drive circuits of the first conductivity type, and retention volume 40 ] width for the gate electrode 35 with a wrap (3rd mask formation production process).

[0228] Then, the ion implantation of the boron ion is carried out with the dose of abbreviation  $1 \times 10^{15} \text{cm}^{-2}$  (the second conductivity-type impurity installation production process of a 4th impurity installation production process / high concentration).

[0229] Consequently, high impurity concentration serves as the high concentration source drain fields 312 and 322 of  $1 \times 10^{20} \text{cm}^{-3}$ , and, as for the source drain fields 31 and 32 of the second conductivity type of low concentration, high impurity concentration serves as the low concentration source drain fields 311 and 321 of abbreviation  $1.1 \times 10^{18} \text{cm}^{-3}$ . Thus, TFT30 for drive circuits of the second conductivity type is formed. After an appropriate time, the resist mask 303 is removed.

[0230] Next, as shown in drawing 11 (e), in addition to TFT30 for drive circuits of the second conductivity type, the wrap resist mask 304 is formed width also for the gate electrodes 15 and 25 (4th mask formation production process).

[0231] Then, the ion implantation of the phosphorus ion (the first conductivity-type impurity) is carried out with the dose of  $1 \times 10^{15} \text{cm}^{-2}$  (the first conductivity-type impurity installation production process of a 5th impurity installation production process / high concentration).

[0232] Consequently, the high concentration source drain fields 112, 122, 212, and 222 of  $1 \times 10^{20} \text{cm}^{-3}$  and high impurity concentration serve as the low concentration source drain fields 111 and 121 of abbreviation  $9 \times 10^{18} \text{cm}^{-3}$ , and, as for the source drain fields 11, 12, 21, and 22 of the first conductivity type of low concentration, high impurity concentration serves as [ high impurity concentration ] the low concentration source drain fields 211 and 221 of abbreviation  $1 \times 10^{19} \text{cm}^{-3}$ . Thus, TFT10 for pixels of the first conductivity type and TFT20 for drive circuits of the first conductivity type are formed. After an appropriate time, the resist mask 304 is removed.

[0233] Therefore, the semiconductor device of active-matrix substrate 1 grade can be manufactured according to 4 times of the mask formation production processes for forming the resist masks 301-304, and 5 times of impurity installation production processes.

[0234] thus, doing so the same effect as examples 3 and 4 by the manufacture method of the active-matrix substrate 1 of this example -- in addition, the second conductivity-type impurity installation production process of low concentration for forming the low concentration source drain fields 311 and 321 like shown in drawing 11 (c) is used, and the high impurity concentration of the source drain fields 11 and 12 of the first conductivity type of low concentration is changed. Lower layer lateral electrode section 40c of retention volume 40 and the low concentration source drain fields 111 and 121 low-concentration-ized rather than the low concentration source drain fields 211 and 221 can be formed without increasing a routing counter as compared with examples 3 and 4 for this reason. So, the high impurity concentration of the low concentration source drain fields 211 and 221 of TFT20 for drive circuits of the first conductivity type and lower layer lateral electrode section 40c is left as it is, the low concentration source drain fields 111 and 121 of TFT10 for pixels are low-concentration-ized, and each electrical characteristics of TFT can be optimized for every field by the small routing counter, such as reducing further the OFF leakage current of TFT10 for pixels, without sacrificing the working speed in a drive circuit.

[0235] In addition, between the second conductivity-type impurity installation production process of low

concentration shown in drawing 11 (c), the second conductivity-type impurity installation production process of high concentration shown in drawing 11 (d), and the first conductivity-type impurity installation production process of high concentration shown in drawing 11 (e), of course, sequence may be replaced and it occurs.

[0236] There is [example 6] drawing 12 with the cross section showing typically the structure of the drive circuit built-in active-matrix substrate in the liquid crystal display of this example.

[0237] In drawing 12, with the drive circuit built-in active-matrix substrate 1 of the liquid crystal display of this example, since the channel dope has been carried out with low-concentration boron ion, TFT10 for pixels of the first conductivity type, TFT20 for drive circuits of the first conductivity type, and the channel fields 13, 23, and 33 of TFT30' for drive circuits of the second conductivity type have high impurity concentration in the second conductivity-type field of low concentration of abbreviation  $1 \times 10^{17} \text{cm}^{-3}$ . Therefore, TFT10 for pixels of the first conductivity type, TFT20 for drive circuits of the first conductivity type, and the threshold voltage of TFT30' for drive circuits of the second conductivity type are set as a predetermined value.

[0238] Thus, in the constituted active-matrix substrate 1, the source drain fields 11, 12, 21, and 22 equip with the low concentration source drain fields 111, 121, 211, and 221 the portion which confronts each other through the gate insulator layers 14 and 24 to the edge of the gate electrodes 15 and 25, and TFT10 for pixels of the first conductivity type and TFT20 for drive circuits of the first conductivity type have LDD structure.

[0239] On the other hand, TFT30' for drive circuits of the second conductivity type has offset gate structure, and there is a portion which confronts each other through the gate insulator layer 34 to the edge of the gate electrode 35 by offset field 311' and 321' in the source drain fields 31 and 32. This offset field 311' and 321' have high impurity concentration in the second conductivity-type field of low concentration of abbreviation  $1 \times 10^{17} \text{cm}^{-3}$  as well as the channel field 33.

[0240] Moreover, in retention volume 40, the lower layer lateral electrode section 40c exists in the first conductivity-type field of low concentration by which coincidence formation was carried out with the low concentration source drain fields 111, 121, 211, and 221.

[0241] In addition, the field except the low concentration source fields 111 and 211 and the low concentration drain fields 121 and 221 has high impurity concentration for a start in the high concentration source drain fields 112, 122, 212, and 222 of abbreviation  $1 \times 10^{20} \text{cm}^{-3}$  among the source fields 11 and 21 of TFT10 for pixels of a conductivity type, and TFT20 for drive circuits of the first conductivity type, and the drain fields 12 and 22. these high concentration fields -- receiving -- every -- the source drain electrodes 16, 17, 26, and 27 to TFT, such as a signal line and a pixel electrode, have connected electrically through the contact hole of an interlayer insulation film 4. In the source drain fields 31 and 32 of TFT30' for drive circuits of \*\*\*\* 2 conductivity type, the source drain electrodes 36 and 37, such as a signal line, have connected [ the high impurity concentration which adjoins offset field 311' and 321' ] electrically through the contact hole of an interlayer insulation film 4 to the high concentration source drain fields 312 and 322 of abbreviation  $1 \times 10^{20} \text{cm}^{-3}$ .

[0242] (On-off leak current characteristic of TFT) In the active-matrix substrate 1 constituted in this appearance, since TFT of offset gate structure has an on-off leak current characteristic equivalent to TFT of LDD structure, any TFT has remarkably small off leakage current. Moreover, TFT of offset gate structure shows a property equivalent to TFT of LDD structure also in a withstand voltage property. Therefore, since withstand voltage is high as compared with TFT of self aryne structure, any TFT can shorten channel length.

[0243] (The manufacture method of TFT) \*\* -- the active-matrix substrate [ like ] 1 of structure can be manufactured by the following methods.

[0244] First, as shown in drawing 13 (a), after forming the island-like silicon films 10a, 20a, 30a, and 40a in the surface of an insulating substrate 2 like an example 3 (silicon film formation production process), the gate insulator layers 14, 24, and 34 and a dielectric film 44 are formed (gate insulator layer formation production process).

[0245] Next, boron ion is driven in with the dose of  $1 \times 10^{12} \text{cm}^{-2}$ , and a channel dope is performed (a

channel dope production process / 1st impurity installation production process).

[0246] Next, as shown in drawing 13 (b), the wrap resist mask 401 is only formed [ the formation field of TFT30' for drive circuits of the second conductivity type ] width for the formation field of the gate electrodes 15 and 25 of TFT10 for pixels of the first conductivity type, and TFT20 for drive circuits of the first conductivity type with a wrap (1st mask formation production process).

[0247] then, phosphorus ion -- about  $1 \times 10^{14} \text{cm}^{-2}$  -- an ion implantation -- carrying out (the first conductivity-type impurity installation production process of a 2nd impurity installation production process / low concentration) -- high impurity concentration -- about  $1 \times 10^{19} \text{cm}^{-3}$  and lower layer lateral electrode section 40c are formed.

[0248] Next, as shown in drawing 13 (c), the gate electrodes 15, 25, and 35 and the upper lateral electrode section 45 are formed. Thus, retention volume 40 is formed.

[0249] Next, the wrap resist mask 402 is formed [ TFT10 for pixels of the first conductivity type, TFT20 for drive circuits of the first conductivity type, and the formation field of retention volume 40 ] width also for the gate electrode 35 with a wrap (2nd mask formation production process).

[0250] In this condition, the ion implantation of the boron ion is carried out with the dose of  $1 \times 10^{15} \text{cm}^{-2}$  (the second conductivity-type impurity installation production process of high concentration / 3rd impurity installation production process).

[0251] Consequently, the high concentration source drain fields 312 and 322 of  $1 \times 10^{20} \text{cm}^{-3}$  are formed in silicon film 30a of the second conductivity type of low concentration for high impurity concentration. On the other hand, as for the portion covered with the resist mask 402 among silicon film 30a of the second conductivity type of low concentration, high impurity concentration becomes offset field 311' of abbreviation  $1 \times 10^{17} \text{cm}^{-3}$ , and 321' as it is. Of course, there is a channel field 33, while high impurity concentration has been the second conductivity-type field of low concentration of abbreviation  $1 \times 10^{17} \text{cm}^{-3}$ .

[0252] Thus, TFT30' for drive circuits of the second conductivity type is formed. After an appropriate time, the resist mask 402 is removed.

[0253] Next, as shown in drawing 13 (d), in addition to the formation field of TFT30' for drive circuits of the second conductivity type, the wrap resist mask 403 is formed width also for the gate electrodes 15 and 25 (3rd mask formation production process).

[0254] Then, the ion implantation of the phosphorus ion (the first conductivity-type impurity) is carried out with the dose of  $1 \times 10^{15} \text{cm}^{-2}$  (the first conductivity-type impurity installation production process of a 4th impurity installation production process / high concentration).

[0255] Consequently, high impurity concentration serves as the high concentration source drain fields 112, 122, 212, and 222 of  $1 \times 10^{20} \text{cm}^{-3}$ , and, as for the source drain fields 11, 12, 21, and 22 of the first conductivity type of low concentration, high impurity concentration serves as the low concentration source drain fields 111, 121, 211, and 221 of abbreviation  $1 \times 10^{19} \text{cm}^{-3}$ . Thus, TFT10 for pixels of the first conductivity type and TFT20 for drive circuits of the first conductivity type are formed. After an appropriate time, the resist mask 403 is removed.

[0256] Therefore, the semiconductor device of active-matrix substrate 1 grade can be manufactured according to 3 times of the mask formation production processes for forming the resist masks 401-403, and 4 times of impurity installation production processes.

[0257] Thus, by the manufacture method of the active-matrix substrate 1 of this example, as shown in drawing 13 (b), before forming the gate electrodes 15, 25, and 35 and the upper lateral electrode 45, the first conductivity-type impurity installation production process of low concentration for forming the low concentration source drain fields 111, 121, 211, and 221 is performed, this production process is used, and lower layer lateral electrode section 40c is formed. Therefore, it is possible to reduce the number of mask formation production processes and the number of impurity installation production processes as compared with the conventional manufacture method, and it is.

[0258] Furthermore, in making into a low concentration field the portion which stands face to face against the gate electrode 35 in TFT30' for drive circuits of the second conductivity type, as shown in



drawing 13 (c), in this example, it is not as LDD structure but as offset gate structure. For this reason, as compared with an example 3, it is few by a unit of 1 time about both a mask formation production process and an impurity installation production process. That is, as compared with the conventional manufacture method, it is few by a unit of 2 times about both a mask formation production process and an impurity installation production process. So, the electrical characteristics of TFT of a pixel field and the drive circuit section can be improved with the smallest number of manufacturing processes.

[0259] In Table 5 and a table 6 the 1st conductivity-type impurity installation production process of "C/D" low concentration for a channel dope production process In addition, "N -", The second conductivity-type impurity installation production process of "N+" high concentration for the first conductivity-type impurity installation production process of high concentration "P+", Before forming the gate electrodes 15, 25, and 35 and the upper lateral electrode 45, omitting a gate electrode formation production process by "G" so that production process sequence may be shown As long as it performs the first conductivity-type impurity installation production process of low concentration for forming the low concentration source drain fields 111, 121, 211, and 221, it uses this production process and it forms lower layer lateral electrode section 40c, you may be which production process sequence.

[0260]

[A table 5]

工程順序	1	2	3	4	5
4-01	C/D	N <sup>-</sup>	G	P <sup>+</sup>	N <sup>+</sup>
4-02	C/D	N <sup>-</sup>	G	N <sup>+</sup>	P <sup>+</sup>
4-03	C/D	N <sup>-</sup>	N <sup>+</sup>	G	P <sup>+</sup>
4-04	C/D	N <sup>+</sup>	N <sup>-</sup>	G	P <sup>+</sup>
4-05	N <sup>+</sup>	C/D	N <sup>-</sup>	G	P <sup>+</sup>
4-06	C/D	N <sup>-</sup>	P <sup>+</sup>	G	N <sup>+</sup>
4-07	C/D	N <sup>-</sup>	P <sup>+</sup>	N <sup>+</sup>	G
4-08	C/D	N <sup>-</sup>	N <sup>+</sup>	P <sup>+</sup>	G
4-09	C/D	N <sup>+</sup>	N <sup>-</sup>	P <sup>+</sup>	G
4-10	N <sup>+</sup>	C/D	N <sup>-</sup>	P <sup>+</sup>	G
4-11	C/D	P <sup>+</sup>	N <sup>-</sup>	G	N <sup>+</sup>
4-12	C/D	P <sup>+</sup>	N <sup>-</sup>	N <sup>+</sup>	G
4-13	C/D	P <sup>+</sup>	N <sup>+</sup>	N <sup>-</sup>	G
4-14	C/D	N <sup>+</sup>	P <sup>+</sup>	N <sup>-</sup>	G
4-15	N <sup>+</sup>	N <sup>-</sup>	P <sup>+</sup>	C/D	G
4-16	P <sup>+</sup>	C/D	N <sup>-</sup>	G	N <sup>+</sup>
4-17	P <sup>+</sup>	C/D	N <sup>-</sup>	N <sup>+</sup>	G
4-18	P <sup>+</sup>	C/D	N <sup>+</sup>	N <sup>-</sup>	G
4-19	P <sup>+</sup>	N <sup>+</sup>	C/D	N <sup>-</sup>	G
4-20	N <sup>+</sup>	P <sup>+</sup>	C/D	N <sup>-</sup>	G
4-21	N <sup>-</sup>	C/D	G	P <sup>+</sup>	N <sup>+</sup>
4-22	N <sup>-</sup>	C/D	G	N <sup>+</sup>	P <sup>+</sup>
4-23	N <sup>-</sup>	C/D	N <sup>+</sup>	G	P <sup>+</sup>
4-24	N <sup>-</sup>	N <sup>+</sup>	C/D	G	P <sup>+</sup>
4-25	N <sup>+</sup>	N <sup>-</sup>	C/D	G	P <sup>+</sup>
4-26	N <sup>-</sup>	C/D	P <sup>+</sup>	G	N <sup>+</sup>
4-27	N <sup>-</sup>	C/D	P <sup>+</sup>	N <sup>+</sup>	G

[0261]

[A table 6]

工程順序	1	2	3	4	5
4-28	N <sup>-</sup>	C/D	N <sup>+</sup>	P <sup>+</sup>	G
4-29	N <sup>-</sup>	N <sup>+</sup>	C/D	P <sup>+</sup>	G
4-30	N <sup>+</sup>	N <sup>-</sup>	C/D	P <sup>+</sup>	G
4-31	N <sup>-</sup>	P <sup>+</sup>	C/D	G	N <sup>+</sup>
4-32	N <sup>-</sup>	P <sup>+</sup>	C/D	N <sup>+</sup>	G
4-33	N <sup>-</sup>	P <sup>+</sup>	N <sup>+</sup>	C/D	G
4-34	N <sup>-</sup>	N <sup>+</sup>	P <sup>+</sup>	C/D	G
4-35	N <sup>+</sup>	C/D	P <sup>+</sup>	N <sup>-</sup>	G
4-36	P <sup>+</sup>	N <sup>-</sup>	C/D	G	N <sup>+</sup>
4-37	P <sup>+</sup>	N <sup>-</sup>	C/D	N <sup>+</sup>	G
4-38	P <sup>+</sup>	N <sup>-</sup>	N <sup>+</sup>	C/D	G
4-39	P <sup>+</sup>	N <sup>+</sup>	N <sup>-</sup>	C/D	G
1-40	N <sup>+</sup>	P <sup>+</sup>	N <sup>-</sup>	C/D	G

[0262] There is [example 7] drawing 14 with the cross section showing typically the structure of the drive circuit built-in active-matrix substrate in the liquid crystal display of this example.

[0263] In drawing 14 in the drive circuit built-in active-matrix substrate 1 of the liquid crystal display of this example TFT10 for pixels of the first conductivity type, TFT20 for drive circuits of the first conductivity type, and TFT30 for drive circuits of the second conductivity type All have LDD structure, and since the channel dope of the channel fields 13, 23, and 33 has been carried out with low-concentration boron ion also in which TFT, there is high impurity concentration in the second conductivity-type field of low concentration of abbreviation  $1 \times 10^{17} \text{cm}^{-3}$ .

[0264] In this example, 40d (the first polar zone) of lower layer lateral electrode sections of retention volume 40 has the high impurity concentration by which coincidence formation was carried out with the high concentration source drain fields 112, 122, 212, and 222 of TFT10 for pixels of the first conductivity type, and TFT20 for drive circuits of the first conductivity type in the first conductivity-type field of high concentration of  $1 \times 10^{20} \text{cm}^{-3}$ .

[0265] \*\* -- the active-matrix substrate [ like ] 1 of structure can be manufactured by the following methods.

[0266] First, as shown in drawing 15 (a), after forming the island-like silicon films 10a, 20a, 30a, and 40a in the surface of an insulating substrate 2 (silicon film formation production process), the gate insulator layers 14, 24, and 34 and a dielectric film 44 are formed (gate insulator layer formation production process).

[0267] Next, boron ion (the second conductivity-type impurity / the second conductivity-type impurity) is driven in with the dose of abbreviation  $1 \times 10^{12} \text{cm}^{-2}$ , and a channel dope is performed (a channel dope production process / 1st impurity installation production process).

[0268] Next, as shown in drawing 15 (b), the wrap resist mask 501 is formed width for the formation schedule field of the gate electrodes 15 and 25 which form the formation field of TFT30 for drive circuits of the second conductivity type behind with a wrap (1st mask formation production process).

[0269] then, for example, phosphorus ion (the first conductivity-type impurity / the first conductivity-type impurity) -- about 1 -- an ion implantation is carried out with the dose of  $1 \times 10^{15} \text{cm}^{-2}$  (the first conductivity-type impurity installation production process of a 2nd impurity installation production process / high concentration).

[0270] Consequently, a conductivity type reverses the field where phosphorus ion was driven in among the silicon films 10a and 20a of the second conductivity type of low concentration, and high impurity

concentration serves as the high concentration source drain fields 112, 122, 212, and 222 of abbreviation  $1 \times 10^{20} \text{cm}^{-3}$ . Moreover, a conductivity type also reverses silicon film 40a of the second conductivity type of low concentration, and high impurity concentration serves as 40d of about  $1 \times 10^{20} \text{cm}^{-3}$  - lower layer lateral electrode sections of the first conductivity type of high concentration of 3. After an appropriate time, the resist mask 501 is removed.

[0271] Next, as shown in drawing 15 (c), the gate electrodes 15, 25, and 35 and the upper lateral electrode section 45 (the second polar zone) are formed (gate electrode formation production process). Thus, the retention volume 40 which 40d of lower layer lateral electrode sections and the upper lateral electrode section 45 counter through a dielectric film 44 is formed.

[0272] Next, the wrap resist mask 502 is formed for TFT10 for pixels of the first conductivity type, TFT20 for drive circuits of the first conductivity type, and the formation field of retention volume 40 (2nd mask formation production process).

[0273] Then, the ion implantation of the boron ion is carried out with the dose of abbreviation  $1 \times 10^{13} \text{cm}^{-2}$  (the second conductivity-type impurity installation production process of a 3rd impurity installation production process / low concentration).

[0274] Consequently, the source drain fields 31 and 32 of the second conductivity type of low concentration of abbreviation  $1.1 \times 10^{18} \text{cm}^{-3}$  are formed in silicon film 30a of the second conductivity type of low concentration for high impurity concentration in self align to the gate electrode 35. In addition, the portion into which an impurity was not introduced serves as the channel field 33. After an appropriate time, the resist mask 502 is removed.

[0275] Next, as shown in drawing 15 (d), the wrap resist mask 503 is formed for the formation field of TFT30 for drive circuits of the second conductivity type (3rd mask formation production process).

[0276] Then, the ion implantation of the phosphorus ion is carried out with the dose of abbreviation  $1 \times 10^{13} \text{cm}^{-2}$  (the first conductivity-type impurity installation production process of a 4th impurity installation production process / low concentration).

[0277] Consequently, the low concentration source drain fields 211 and 221 of abbreviation  $0.9 \times 10^{18} \text{cm}^{-3}$  are formed in the silicon films 10a and 20a of the second conductivity type of low concentration inserted into the high concentration source drain fields 112, 122, 212, and 222 for high impurity concentration in self align to the gate electrodes 15 and 25. In addition, the portion into which an impurity was not introduced serves as the channel fields 23 and 33. Thus, TFT10 for pixels of the first conductivity type and TFT20 for drive circuits of the first conductivity type are formed. After an appropriate time, the resist mask 503 is removed.

[0278] Next, as shown in drawing 15 (e), the wrap resist mask 504 is formed [ TFT10 for pixels of the first conductivity type, TFT20 for drive circuits of the first conductivity type, and the formation field of retention volume 40 ] width for the gate electrode 35 with a wrap (4th mask formation production process). Here, as for the distance of the edge of the resist mask 504, and the edge of the gate electrode 35, 0.5 micrometers - about 2 micrometers are suitable.

[0279] Then, the ion implantation of the boron ion is carried out with the dose of abbreviation  $1 \times 10^{15} \text{cm}^{-2}$  (the second conductivity-type impurity installation production process of a 5th impurity installation production process / high concentration).

[0280] Consequently, the high concentration source drain fields 312 and 322 of  $1 \times 10^{20} \text{cm}^{-3}$  are formed in the source drain fields 31 and 32 of the second conductivity type of low concentration for high impurity concentration. Moreover, as for the portion covered with the resist mask 504 among the source drain fields 31 and 32 of the second conductivity type of low concentration, high impurity concentration serves as the low concentration source drain fields 311 and 321 of abbreviation  $1.1 \times 10^{18} \text{cm}^{-3}$  as it is.

[0281] Thus, TFT30 for drive circuits of the second conductivity type is formed. After an appropriate time, the resist mask 504 is removed.

[0282] Henceforth, if annealing for activation is performed, a contact hole is formed in after an appropriate time and the source drain electrodes 16, 17, 26, 27, 36, and 37 are formed after forming an interlayer insulation film 4 as shown in drawing 14 , the semiconductor device of active-matrix substrate 1 grade can be manufactured according to 4 times of the mask formation production processes for

forming the resist masks 501-504, and 5 times of impurity installation production processes.

[0283] Thus, by the manufacture method of the active-matrix substrate 1 of this example, like, before [ which was shown in drawing 15 (b) ] forming the gate electrodes 15, 25, and 35 and the upper lateral electrode 45, the first conductivity-type impurity installation production process of high concentration for forming the high concentration source drain fields 112, 122, 212, and 222 is performed, this production process is used, and 40d of lower layer lateral electrode sections is formed. Therefore, as compared with the conventional manufacture method, it is possible to reduce the number of mask formation production processes and the number of impurity installation production processes by a unit of 1 time, and it is. So, each electrical characteristics of TFT can be improved, forming TFT and a capacitive element (retention volume 40) with the small number of manufacturing processes.

[0284] In Table 7 the first conductivity-type impurity installation production process of "C/D" low concentration for a channel dope production process In addition, "N -", The second conductivity-type impurity installation production process of "N+" low concentration for the first conductivity-type impurity installation production process of high concentration "P -", So that "P+" gate electrode formation production process may be omitted for the second conductivity-type impurity installation production process of high concentration by "G" and production process sequence may be shown Before forming the gate electrodes 15, 25, and 35 and the upper lateral electrode 45, perform the first conductivity-type impurity installation production process of high concentration for forming the high concentration source drain fields 112, 122, 212, and 222, and this production process is used. As long as it forms 40d of lower layer lateral electrode sections, you may be which production process sequence.

[0285]

[A table 7]

工程順序	1	2	3	4	5	6
5-01	C/D	N <sup>+</sup>	G	P <sup>-</sup>	N <sup>-</sup>	P <sup>+</sup>
5-02	C/D	N <sup>+</sup>	G	P <sup>-</sup>	P <sup>+</sup>	N <sup>-</sup>
5-03	C/D	N <sup>+</sup>	G	P <sup>+</sup>	P <sup>-</sup>	N <sup>-</sup>
5-04	C/D	N <sup>+</sup>	P <sup>+</sup>	G	P <sup>-</sup>	N <sup>-</sup>
5-05	C/D	P <sup>+</sup>	N <sup>+</sup>	G	P <sup>-</sup>	N <sup>-</sup>
5-06	P <sup>+</sup>	C/D	N <sup>+</sup>	G	P <sup>-</sup>	N <sup>-</sup>
5-07	C/D	N <sup>+</sup>	G	N <sup>-</sup>	P <sup>-</sup>	P <sup>+</sup>
5-08	C/D	N <sup>+</sup>	G	N <sup>-</sup>	P <sup>+</sup>	P <sup>-</sup>
5-09	C/D	N <sup>+</sup>	G	P <sup>+</sup>	N <sup>-</sup>	P <sup>-</sup>
5-10	C/D	N <sup>+</sup>	P <sup>+</sup>	G	N <sup>-</sup>	P <sup>-</sup>
5-11	C/D	P <sup>+</sup>	N <sup>+</sup>	G	N <sup>-</sup>	P <sup>-</sup>
5-12	P <sup>+</sup>	C/D	N <sup>+</sup>	G	N <sup>-</sup>	P <sup>-</sup>
5-13	N <sup>+</sup>	C/D	G	P <sup>-</sup>	N <sup>-</sup>	P <sup>+</sup>
5-14	N <sup>+</sup>	C/D	G	P <sup>-</sup>	P <sup>+</sup>	N <sup>-</sup>
5-15	N <sup>+</sup>	C/D	G	P <sup>+</sup>	P <sup>-</sup>	N <sup>-</sup>
5-16	N <sup>+</sup>	C/D	P <sup>+</sup>	G	P <sup>-</sup>	N <sup>-</sup>
5-17	N <sup>+</sup>	P <sup>+</sup>	C/D	G	P <sup>-</sup>	N <sup>-</sup>
5-18	P <sup>+</sup>	N <sup>+</sup>	C/D	G	P <sup>-</sup>	N <sup>-</sup>
5-19	N <sup>+</sup>	C/D	G	N <sup>-</sup>	P <sup>-</sup>	P <sup>+</sup>
5-20	N <sup>+</sup>	C/D	G	N <sup>-</sup>	P <sup>+</sup>	P <sup>-</sup>
5-21	N <sup>+</sup>	C/D	G	P <sup>+</sup>	N <sup>-</sup>	P <sup>-</sup>
5-22	N <sup>+</sup>	C/D	P <sup>+</sup>	G	N <sup>-</sup>	P <sup>-</sup>
5-23	N <sup>+</sup>	P <sup>+</sup>	C/D	G	N <sup>-</sup>	P <sup>-</sup>
5-24	P <sup>+</sup>	N <sup>+</sup>	C/D	G	N <sup>-</sup>	P <sup>-</sup>

[0286] The structure of the active-matrix substrate of the example of a [example 8] book is explained with reference to drawing 14 as well as an example 7.

[0287] In drawing 14, the focus of the active-matrix substrate 1 of this example has a mask formation production process in few [ once ] points as compared with the manufacture method concerning an example 7, and the manufacture method is as explaining below, and there is.

[0288] First, as shown in drawing 16 (a), after forming the island-like silicon films 10a, 20a, 30a, and 40a in the surface of an insulating substrate 2 (silicon film formation production process), the gate insulator layers 14, 24, and 34 and a dielectric film 44 are formed (gate insulator layer formation production process).

[0289] Next, boron ion (the second conductivity-type impurity / the second conductivity-type impurity) is driven in with the dose of abbreviation  $1 \times 10^{12} \text{cm}^{-2}$ , and a channel dope is performed (a channel dope production process / 1st impurity installation production process).

[0290] Next, as shown in drawing 16 (b), the wrap resist mask 601 is formed with for the formation schedule field of the gate electrodes 15 and 25 which form the formation field of TFT30 for drive circuits of the second conductivity type behind with a wrap (1st mask formation production process).

[0291] then, for example, phosphorus ion (the first conductivity-type impurity / the first conductivity-type impurity) -- about 1 -- an ion implantation is carried out with the dose of  $1 \times 10^{15} \text{cm}^{-2}$  (the first



conductivity-type impurity installation production process of a 2nd impurity installation production process / high concentration).

[0292] Consequently, a conductivity type reverses the field where phosphorus ion was driven in among the silicon films 10a and 20a of the second conductivity type of low concentration, and high impurity concentration serves as the high concentration source drain fields 112, 122, 212, and 222 of abbreviation  $1 \times 10^{20} \text{cm}^{-3}$ . Moreover, a conductivity type also reverses silicon film 40a of the second conductivity type of low concentration, and high impurity concentration serves as 40d of about  $1 \times 10^{20} \text{cm}^{-3}$  - lower layer lateral electrode sections of the first conductivity type of high concentration of 3. After an appropriate time, the resist mask 601 is removed.

[0293] Next, as shown in drawing 16 (c), the gate electrodes 15, 25, and 35 and the upper lateral electrode section 45 are formed (gate electrode formation production process). Thus, retention volume 40 is formed.

[0294] Next, the wrap resist mask 602 is formed for TFT10 for pixels of the first conductivity type, TFT20 for drive circuits of the first conductivity type, and the formation field of retention volume 40 (2nd mask formation production process).

[0295] Then, the ion implantation of the boron ion is carried out with the dose of abbreviation  $3 \times 10^{13} \text{cm}^{-2}$  (the second conductivity-type impurity installation production process of a 3rd impurity installation production process / low concentration).

[0296] Consequently, the source drain fields 31 and 32 of the second conductivity type of low concentration of abbreviation  $3.1 \times 10^{18} \text{cm}^{-3}$  are formed in silicon film 30a of the second conductivity type of low concentration for high impurity concentration in self align to the gate electrode 35. In addition, the portion into which an impurity was not introduced serves as the channel field 33. After an appropriate time, the resist mask 602 is removed.

[0297] Next, the ion implantation of the phosphorus ion is carried out with the dose of abbreviation  $1 \times 10^{13} \text{cm}^{-2}$ , without forming a resist mask, as shown in drawing 16 (d) (the first conductivity-type impurity installation production process of a 4th impurity installation production process / low concentration).

[0298] Consequently, the low concentration source drain fields 111, 121, 211, and 221 of abbreviation  $0.9 \times 10^{18} \text{cm}^{-3}$  are formed in the silicon films 10a and 20a of the second conductivity type of low concentration inserted into the high concentration source drain fields 112, 122, 212, and 222 for high impurity concentration in self align to the gate electrodes 15 and 25. In addition, the portion into which an impurity was not introduced serves as the channel fields 23 and 33. Thus, TFT10 for pixels of the first conductivity type and TFT20 for drive circuits of the first conductivity type are formed.

[0299] Here, although the ion implantation of the phosphorus ion is carried out also to the source drain fields 31 and 32 of the second conductivity type of low concentration with the dose of  $1 \times 10^{13} \text{cm}^{-2}$ , there is high impurity concentration of the source drain fields 31 and 32 of this second conductivity type of low concentration by abbreviation  $3.1 \times 10^{18} \text{cm}^{-3}$ . Therefore, there are source drain fields 31 and 32 of the second conductivity type of low concentration only by acceptor mold high impurity concentration low-concentration-izing to abbreviation  $2.1 \times 10^{18} \text{cm}^{-3}$  substantially, and they do not reverse a conductivity type.

[0300] Next, as shown in drawing 16 (e), the wrap resist mask 603 is formed [ TFT10 for pixels of the first conductivity type, TFT20 for drive circuits of the first conductivity type, and the formation field of retention volume 40 ] width for the gate electrode 35 with a wrap (3rd mask formation production process).

[0301] Then, the ion implantation of the boron ion is carried out with the dose of abbreviation  $1 \times 10^{15} \text{cm}^{-2}$  (the second conductivity-type impurity installation production process of a 5th impurity installation production process / high concentration).

[0302] Consequently, the high concentration source drain fields 312 and 322 of  $1 \times 10^{20} \text{cm}^{-3}$  are formed in the source drain fields 31 and 32 of the second conductivity type of low concentration for high impurity concentration. Moreover, as for the portion covered with the resist mask 603 among the source drain fields 31 and 32 of the second conductivity type of low concentration, high impurity concentration

serves as the low concentration source drain fields 311 and 321 of abbreviation  $2.1 \times 10^{18} \text{cm}^{-3}$  as it is. [0303] Thus, TFT30 for drive circuits of the second conductivity type is formed. After an appropriate time, the resist mask 603 is removed.

[0304] Henceforth, if annealing for activation is performed, a contact hole is formed in after an appropriate time and the source drain electrodes 16, 17, 26, 27, 36, and 37 are formed after forming an interlayer insulation film 4 as shown in drawing 14, the semiconductor device of active-matrix substrate 1 grade can be manufactured according to 3 times of the mask formation production processes for forming the resist masks 601-603, and 5 times of impurity installation production processes.

[0305] Thus, by the manufacture method of the active-matrix substrate 1 of this example, like, before [ which was shown in drawing 16 (b) ] forming the gate electrodes 15, 25, and 35 and the upper lateral electrode 45, the first conductivity-type impurity installation production process of high concentration for forming the high concentration source drain fields 112, 122, 212, and 222 is performed, this production process is used, and 40d of lower layer lateral electrode sections is formed. Therefore, as compared with the conventional manufacture method, it is possible to reduce the number of mask formation production processes and the number of impurity installation production processes, and it is.

[0306] And phosphorus ion is poured in at the production process for forming the low concentration source drain fields 111, 121, 211, and 221, without forming a mask. So, each TFT and retention volume 40 can be manufactured according to 3 times of mask formation production processes, and 5 times of impurity installation production processes.

[0307] In addition, before forming the gate electrodes 15, 25, and 35 and the upper lateral electrode 45, as long as it performs the first conductivity-type impurity installation production process of high concentration for forming the high concentration source drain fields 112, 122, 212, and 222, it uses this production process and it forms 40d of lower layer lateral electrode sections like an example 7, you may be which production process sequence shown in a table 7.

[0308] The structure of the active-matrix substrate of the example of a [example 9] book is explained with reference to drawing 14 as well as an example 7. The focus of this example has a mask formation production process in few [ once ] points like an example 8 as compared with the manufacture method concerning an example 7, and the manufacture method is as explaining below, and there is.

[0309] First, as shown in drawing 17 (a), after forming the island-like silicon films 10a, 20a, 30a, and 40a in the surface of an insulating substrate 2 (silicon film formation production process), the gate insulator layers 14, 24, and 34 and a dielectric film 44 are formed (gate insulator layer formation production process.).

Next, boron ion (the second conductivity-type impurity / the second conductivity-type impurity) is driven in with the dose of abbreviation  $1 \times 10^{12} \text{cm}^{-2}$ , and a channel dope is performed (a channel dope production process / 1st impurity installation production process).

[0310] Next, as shown in drawing 17 (b), the wrap resist mask 701 is formed width for the formation schedule field of the gate electrodes 15 and 25 which form the formation field of TFT30 for drive circuits of the second conductivity type behind with a wrap (1st mask formation production process).

[0311] then, for example, phosphorus ion (the first conductivity-type impurity / the first conductivity-type impurity) -- about 1 -- an ion implantation is carried out with the dose of  $1 \times 10^{15} \text{cm}^{-2}$  (the first conductivity-type impurity installation production process of a 2nd impurity installation production process / high concentration).

[0312] Consequently, a conductivity type reverses the field where phosphorus ion was driven in among the silicon films 10a and 20a of the second conductivity type of low concentration, and high impurity concentration serves as the high concentration source drain fields 112, 122, 212, and 222 of abbreviation  $1 \times 10^{20} \text{cm}^{-3}$ . Moreover, a conductivity type also reverses silicon film 40a of the second conductivity type of low concentration, and high impurity concentration serves as 40d of about  $1 \times 10^{20} \text{cm}^{-3}$  - lower layer lateral electrode sections of the first conductivity type of high concentration of 3. After an appropriate time, the resist mask 701 is removed.

[0313] Next, as shown in drawing 17 (c), the gate electrodes 15, 25, and 35 and the upper lateral electrode section 45 are formed (gate electrode formation production process). Thus, retention volume

40 is formed.

[0314] Next, the wrap resist mask 702 is formed for the formation field of TFT30 for drive circuits of p mold (2nd mask formation production process).

[0315] Then, the ion implantation of the phosphorus ion is carried out with the dose of abbreviation  $3 \times 10^{13} \text{cm}^{-2}$  (the first conductivity-type impurity installation production process of a 3rd impurity installation production process / low concentration).

[0316] Consequently, the low concentration source drain fields 111, 121, 211, and 221 of abbreviation  $2.9 \times 10^{18} \text{cm}^{-3}$  are formed in the silicon films 10a and 20a of the second conductivity type of low concentration inserted into the high concentration source drain fields 112, 122, 212, and 222 for high impurity concentration in self align to the gate electrodes 15 and 25. In addition, the portion into which an impurity was not introduced serves as the channel fields 23 and 33. Thus, TFT10 for pixels of the first conductivity type and TFT20 for drive circuits of the first conductivity type are formed.

[0317] Next, the ion implantation of the boron ion is carried out with the dose of abbreviation  $1 \times 10^{13} \text{cm}^{-2}$ , without removing the resist mask 702 and forming a resist mask as it is, as shown in drawing 17 (d) (the second conductivity-type impurity installation production process of a 4th impurity installation production process / low concentration).

[0318] Consequently, the low concentration p mold fields 31 and 32 of abbreviation  $1.1 \times 10^{18} \text{cm}^{-3}$  are formed in silicon film 30a of the second conductivity type of low concentration for high impurity concentration in self align to the gate electrode 35. In addition, the portion into which an impurity was not introduced serves as the channel field 33.

[0319] Here, although the ion implantation of the boron ion is carried out also to the TFT [ of the first conductivity type ] 10 for pixels, and TFT20 side for drive circuits of the first conductivity type with the dose of  $1 \times 10^{13} \text{cm}^{-2}$ , there is high impurity concentration of the low concentration source drain fields 111, 121, 211, and 221 by abbreviation  $2.9 \times 10^{18} \text{cm}^{-3}$ . Therefore, there are low concentration source drain fields 111, 121, 211, and 221 only by donor mold high impurity concentration low-concentration-izing to abbreviation  $1.9 \times 10^{18} \text{cm}^{-3}$  substantially, and they do not reverse a conductivity type. Moreover, it is only by low-concentration-izing slightly, and it is not reversed, and a conductivity type is still carried out, and also has the high concentration DOSU drain fields 112, 122, 212, and 222 by high concentration.

[0320] Next, as shown in drawing 17 (e), the wrap resist mask 703 is formed [ the formation field of TFT10 for pixels of the first conductivity type, the formation field of TFT20 for drive circuits of the first conductivity type, and retention volume 40 ] width for the gate electrode 35 with a wrap (3rd mask formation production process).

[0321] Then, the ion implantation of the boron ion is carried out with the dose of abbreviation  $1 \times 10^{15} \text{cm}^{-2}$  (the second conductivity-type impurity installation production process of a 5th impurity installation production process / high concentration).

[0322] Consequently, the high concentration source drain fields 312 and 322 of  $1 \times 10^{20} \text{cm}^{-3}$  are formed in the source drain fields 31 and 32 of the second conductivity type of low concentration for high impurity concentration. Moreover, as for the portion covered with the resist mask 703 among the source drain fields 31 and 32 of the second conductivity type of low concentration, high impurity concentration serves as the low concentration source drain fields 311 and 321 of abbreviation  $2.1 \times 10^{18} \text{cm}^{-3}$  as it is.

[0323] Thus, TFT30 for drive circuits of the second conductivity type is formed. After an appropriate time, the resist mask 703 is removed.

[0324] Henceforth, if annealing for activation is performed, a contact hole is formed in after an appropriate time and the source drain electrodes 16, 17, 26, 27, 36, and 37 are formed after forming an interlayer insulation film 4 as shown in drawing 14, the semiconductor device of active-matrix substrate 1 grade can be manufactured according to 3 times of the mask formation production processes for forming the resist masks 701-703, and 5 times of impurity installation production processes.

[0325] Thus, by the manufacture method of the active-matrix substrate 1 of this example, like, before [ which was shown in drawing 17 (b) ] forming the gate electrodes 15, 25, and 35 and the upper lateral electrode 45, the first conductivity-type impurity installation production process of high concentration

for forming the high concentration source drain fields 112, 122, 212, and 222 is performed, this production process is used, and 40d of lower layer lateral electrode sections is formed. Therefore, as compared with the conventional manufacture method, it is possible to reduce the number of mask formation production processes and the number of impurity installation production processes, and it is. [0326] And boron ion is poured in at the production process for forming the low concentration source drain fields 311 and 321, without forming a mask. So, each TFT and retention volume 40 can be manufactured according to 3 times of mask formation production processes, and 5 times of impurity installation production processes.

[0327] In addition, before forming the gate electrodes 15, 25, and 35 and the upper lateral electrode 45, as long as it performs the first conductivity-type impurity installation production process of high concentration for forming the high concentration source drain fields 112, 122, 212, and 222, it uses this production process and it forms 40d of lower layer lateral electrode sections like an example 7, you may be which production process sequence shown in a table 7.

[0328] There is [example 10] drawing 18 with the cross section showing typically the structure of the drive circuit built-in active-matrix substrate in the liquid crystal display of this example.

[0329] In drawing 18, TFT10 for pixels of the first conductivity type and TFT20 for drive circuits of the first conductivity type have LDD structure with the drive circuit built-in active-matrix substrate 1 of the liquid crystal display of this example. On the other hand, TFT30' for drive circuits of the second conductivity type has offset gate structure.

[0330] In this example, 40d of lower layer lateral electrode sections of retention volume 402 has the high impurity concentration by which coincidence formation was carried out with the high concentration source drain fields 112, 122, 212, and 222 of TFT20 for drive circuits of the first conductivity type, and TFT10 for pixels of the first conductivity type in the high-concentration first conductivity-type field of  $1 \times 10^{20} \text{cm}^{-3}$ .

[0331] \*\* -- the active-matrix substrate [ like ] 1 of structure can be manufactured by the following methods.

[0332] First, as shown in drawing 19 (a), after forming the island-like silicon films 10a, 20a, 30a, and 40a in the surface of an insulating substrate 2 (silicon film formation production process), the gate insulator layers 14, 24, and 34 and a dielectric film 44 are formed (gate insulator layer formation production process).

[0333] After an appropriate time, boron ion is driven into after an appropriate time with the dose of  $1 \times 10^{12} \text{cm}^{-2}$ , and a channel dope is performed (a channel dope production process / 1st impurity installation production process).

[0334] Next, as shown in drawing 19 (b), the wrap resist mask 801 is formed [ the formation field of TFT30' for drive circuits of the second conductivity type ] width for the formation schedule field of the gate electrodes 15 and 25 of TFT10 for pixels of the first conductivity type, and TFT20 for drive circuits of the first conductivity type with a wrap (1st mask formation production process).

[0335] Then, the ion implantation of the first conductivity-type impurity, for example, the phosphorus ion, is carried out with the dose of abbreviation  $1 \times 10^{15} \text{cm}^{-2}$  (the first conductivity-type impurity installation production process of a 2nd impurity installation production process / high concentration).

[0336] Consequently, a conductivity type reverses the field where phosphorus ion was driven in among the silicon films 10a and 20a, and high impurity concentration serves as the high concentration source drain fields 112, 122, 211, and 221 of abbreviation  $1 \times 10^{20} \text{cm}^{-3}$ . Moreover, a conductivity type reverses silicon film 40a, and high impurity concentration serves as 40d of about  $1 \times 10^{20} \text{cm}^{-3}$  - lower layer lateral electrode sections of the first conductivity type of high concentration of 3. After an appropriate time, the resist mask 801 is removed.

[0337] Next, as shown in drawing 19 (c), the gate electrodes 15, 25, and 35 which consist of doped silicon, a silicide film, etc. are formed in the surface of the gate insulator layers 14, 24, and 34 (gate electrode formation production process). The upper lateral electrode section 45 is formed in the surface of a dielectric film 44 at coincidence. Besides, the layer lateral electrode sections 45 may be some signal lines of the preceding paragraph. Thus, the retention volume 40 which lower layer lateral electrode

section 40c and the upper lateral electrode section 45 counter through a dielectric film 44 is formed.

[0338] Next, the wrap resist mask 802 is formed for TFT30 for drive circuits of the second conductivity type (2nd mask formation production process).

[0339] In this condition, the ion implantation of the phosphorus ion is carried out with the dose of  $1 \times 10^{13} \text{cm}^{-2}$  (the first conductivity-type impurity installation production process of low concentration / 3rd impurity installation production process).

[0340] Consequently, the low concentration source drain fields 111, 121, 211, and 221 of abbreviation  $0.9 \times 10^{18} \text{cm}^{-3}$  are formed in the silicon films 20a and 30a of the second conductivity type of low concentration inserted into the high concentration source drain fields 112, 122, 212, and 222 for high impurity concentration in self align to the gate electrodes 15 and 25. In addition, the portion into which an impurity was not introduced serves as the channel fields 23 and 33. Thus, TFT10 for pixels of the first conductivity type and TFT20 for drive circuits of the first conductivity type are formed.

[0341] Next, as shown in drawing 19 (d), the wrap resist mask 803 is formed [ TFT10 for pixels of the first conductivity type, TFT20 for drive circuits of the first conductivity type, and the formation field of retention volume 40 ] width for the gate electrode 35 with a wrap (3rd mask formation production process).

[0342] In this condition, the ion implantation of the boron ion is carried out with the dose of  $1 \times 10^{15} \text{cm}^{-2}$  (the second conductivity-type impurity installation production process of high concentration / 4th impurity installation production process).

[0343] Consequently, the high concentration source drain fields 312 and 322 of  $1 \times 10^{20} \text{cm}^{-3}$  are formed in silicon film 30a of the second conductivity type of low concentration for high impurity concentration. On the other hand, as for the portion covered with the resist mask 803 among silicon film 30a of the second conductivity type of low concentration, high impurity concentration changes as it is with offset field 311' of abbreviation  $1 \times 10^{17} \text{cm}^{-3}$ , and 321'. There is a channel field 33, while high impurity concentration has been the second conductivity-type field of low concentration of abbreviation  $1 \times 10^{17} \text{cm}^{-3}$ .

[0344] Thus, TFT30' for drive circuits of the second conductivity type is formed. After an appropriate time, the resist mask 803 is removed.

[0345] Therefore, the active-matrix substrate 1 can be manufactured according to 3 times of the mask formation production processes for forming the resist masks 801-803, and 4 times of impurity installation production processes.

[0346] Thus, by the manufacture method of the active-matrix substrate 1 of this example, as shown in drawing 19 (b), before forming the gate electrodes 15, 25, and 35 and the upper lateral electrode 45, the first conductivity-type impurity installation production process of high concentration for forming the high concentration source drain fields 112, 122, 212, and 222 is performed, this production process is used, and 40d of lower layer lateral electrode sections is formed. Therefore, as compared with the conventional manufacture method, it is possible to reduce the number of mask formation production processes and the number of impurity installation production processes, and it is.

[0347] Furthermore, in making into a low concentration field the portion which stands face to face against the edge of the gate electrode 35 in TFT30' for drive circuits of the second conductivity type, as shown in drawing 19 (c), in this example, it is not as LDD structure but as offset gate structure. For this reason, as compared with an example 3, it is few by a unit of 1 time about both a mask formation production process and an impurity installation production process. That is, as compared with the conventional manufacture method, it is few by a unit of 2 times about both a mask formation production process and an impurity installation production process. So, the electrical characteristics of TFT of a pixel field and the drive circuit section can be improved with the smallest number of manufacturing processes.

[0348] In Table 8 the first conductivity-type impurity installation production process of "C/D" low concentration for a channel dope production process In addition, "N -", The second conductivity-type impurity installation production process of "N+" high concentration for the first conductivity-type impurity installation production process of high concentration "P+", Before forming the gate electrodes

15, 25, and 35 and the upper lateral electrode 45, omitting a gate electrode formation production process by "G" so that production process sequence may be shown As long as it performs the first conductivity-type impurity installation production process of low concentration for forming the high concentration source drain fields 112, 122, 212, and 222, it uses this production process and it forms 40d of lower layer lateral electrode sections, you may be which production process sequence.

[0349]

[A table 8]

工程順序	1	2	3	4	5
8-01	C/D	N <sup>+</sup>	G	N <sup>-</sup>	P <sup>+</sup>
8-02	C/D	N <sup>+</sup>	G	P <sup>+</sup>	N <sup>-</sup>
8-03	C/D	N <sup>+</sup>	P <sup>+</sup>	G	N <sup>-</sup>
8-04	C/D	P <sup>+</sup>	N <sup>+</sup>	G	N <sup>-</sup>
8-05	P <sup>+</sup>	C/D	N <sup>+</sup>	G	N <sup>-</sup>
8-06	N <sup>+</sup>	C/D	G	N <sup>-</sup>	P <sup>+</sup>
8-07	N <sup>+</sup>	C/D	G	P <sup>+</sup>	N <sup>-</sup>
8-08	N <sup>+</sup>	C/D	P <sup>+</sup>	G	N <sup>-</sup>
8-09	N <sup>+</sup>	P <sup>+</sup>	C/D	G	N <sup>-</sup>
8-10	P <sup>+</sup>	N <sup>+</sup>	C/D	G	N <sup>-</sup>

[0350] As shown in [example 11] drawing 20 , in the active-matrix substrate 1 of this example, TFT30 for drive circuits of the second conductivity type, TFT20 for drive circuits of the first conductivity type, and TFT10 for pixels of the first conductivity type all have LDD structure.

[0351] In the active-matrix substrate 1 of the example of \*\*\*\*, lower layer lateral electrode section 40e (the first polar zone) of retention volume 40 has the high impurity concentration by which coincidence formation was carried out with the low concentration source drain fields 311 and 312 of TFT30 for drive circuits of the second conductivity type in the second conductivity-type field of low concentration of  $1 \times 10^{19} \text{cm}^{-3}$ .

[0352] \*\* -- the active-matrix substrate [ like ] 1 of structure -- for example, it can manufacture by the following methods.

[0353] First, as shown in drawing 21 (a), after forming the island-like silicon films 10a, 20a, 30a, and 40a in the surface of an insulating substrate 2 (silicon film formation production process), the gate insulator layers 14, 24, and 34 and a dielectric film 44 are formed (gate insulator layer formation production process).

[0354] Next, boron ion (the second conductivity-type impurity / the second conductivity-type impurity) is driven in with the dose of abbreviation  $1 \times 10^{12} \text{cm}^{-2}$ , and a channel dope is performed (a channel dope production process / 1st impurity installation production process).

[0355] Next, as shown in drawing 21 (b), the wrap resist mask 901 is only formed width for the formation field of the gate electrode 35 which forms the formation field of TFT10 for pixels of the first conductivity type, and TFT20 for drive circuits of the first conductivity type behind with a wrap (1st mask formation production process).

[0356] then, for example, boron phosphorus ion (the second conductivity-type impurity / the second conductivity-type impurity) -- about 1 -- an ion implantation is carried out with the dose of  $1 \times 10^{14} \text{cm}^{-2}$  (the second conductivity-type impurity installation production process of a 2nd impurity installation production process / low concentration).

[0357] Consequently, the source drain fields 31 and 32 of the second conductivity type of low concentration of abbreviation  $1 \times 10^{19} \text{cm}^{-3}$  are formed in silicon film 30a of the second conductivity type of low concentration for high impurity concentration. Moreover, as for silicon film 40a of the



second conductivity type of low concentration, high impurity concentration is set to lower layer lateral electrode section 40e of the second conductivity type of low concentration of abbreviation  $1 \times 10^{19} \text{cm}^{-3}$ . After an appropriate time, the resist mask 901 is removed.

[0358] Next, as shown in drawing 21 (c), the gate electrodes 15, 25, and 35 which consist of doped silicon, a silicide film, etc. are formed in the surface of the gate insulator layers 14, 24, and 34. The upper lateral electrode section 45 (the second polar zone) is formed in the surface of a dielectric film 44 at coincidence (gate electrode formation production process). Besides, the layer lateral electrode sections 45 may be some signal lines of the preceding paragraph. Thus, the retention volume 40 which lower layer lateral electrode section 40e and the upper lateral electrode section 45 counter through a dielectric film 44 is formed.

[0359] Next, the wrap resist mask 902 is formed for TFT30 for drive circuits of the second conductivity type, and the formation field of retention volume 40 (2nd mask formation production process).

[0360] Then, the ion implantation of the phosphorus ion is carried out with the dose of abbreviation  $1 \times 10^{13} \text{cm}^{-2}$  (the first conductivity-type impurity installation production process of a 3rd impurity installation production process / low concentration).

[0361] Consequently, the source drain fields 11, 12, 21, and 22 of the first conductivity type of low concentration of abbreviation  $0.9 \times 10^{18} \text{cm}^{-3}$  are formed in the silicon films 10a and 20a of the second conductivity type of low concentration for high impurity concentration in self align to the gate electrodes 15 and 25. In addition, the portion into which an impurity was not introduced serves as the channel fields 13 and 23. After an appropriate time, the resist mask 902 is removed.

[0362] Next, as shown in drawing 21 (d), the wrap resist mask 903 is formed [ TFT10 for pixels of the first conductivity type, TFT20 for drive circuits of the first conductivity type, and the formation field of retention volume 40 ] width for the gate electrode 35 with a wrap (3rd mask formation production process).

[0363] Then, the ion implantation of the boron ion is carried out with the dose of abbreviation  $1 \times 10^{15} \text{cm}^{-2}$  (the second conductivity-type impurity installation production process of a 4th impurity installation production process / high concentration).

[0364] Consequently, the high concentration source drain fields 312 and 322 of  $1 \times 10^{20} \text{cm}^{-3}$  are formed in the source drain fields 31 and 32 of the second conductivity type of low concentration for high impurity concentration. Moreover, as for the portion covered with the resist mask 103 among the source drain fields 31 and 32 of the second conductivity type of low concentration, high impurity concentration serves as the low concentration source drain fields 311 and 321 of abbreviation  $1.1 \times 10^{18} \text{cm}^{-3}$  as it is.

[0365] Thus, TFT30 for drive circuits of the second conductivity type is formed. After an appropriate time, the resist mask 903 is removed.

[0366] Next, as shown in drawing 21 (e), the wrap resist mask 904 is formed [ TFT30 for drive circuits of the second conductivity type ] width for the gate electrodes 15 and 25 with a wrap (4th mask formation production process).

[0367] Then, the ion implantation of the phosphorus ion is carried out with the dose of  $1 \times 10^{15} \text{cm}^{-2}$  (the first conductivity-type impurity installation production process of a 5th impurity installation production process / high concentration).

[0368] Consequently, the high concentration source drain fields 112, 122, 212, and 222 of  $1 \times 10^{20} \text{cm}^{-3}$  are formed in the source drain fields 11, 12, 21, and 22 of the first conductivity type of low concentration for high impurity concentration. Moreover, as for the portion covered with the resist mask 904 among the source drain fields 11, 12, 21, and 22 of the first conductivity type of low concentration, high impurity concentration serves as the low concentration source drain fields 111, 121, 211, and 221 of abbreviation  $0.9 \times 10^{18} \text{cm}^{-3}$  as it is.

[0369] Thus, TFT10 for pixels of the first conductivity type and TFT20 for drive circuits of the first conductivity type are formed. After an appropriate time, the resist mask 904 is removed.

[0370] Henceforth, if annealing for activation is performed, a contact hole is formed in after an appropriate time and the source drain electrodes 16, 17, 26, 27, 36, and 37 are formed after forming an interlayer insulation film 4 as shown in drawing 20, the semiconductor device of active-matrix substrate

1 grade can be manufactured according to 4 times of the mask formation production processes for forming the resist masks 901-904, and 5 times of impurity installation production processes.

[0371] Thus, by the manufacture method of the active-matrix substrate 1 of this example, like, before [ which was shown in drawing 21 (b) ] forming the gate electrodes 15, 25, and 35 and the upper lateral electrode 45, the second conductivity-type impurity installation production process of low concentration for forming the low concentration source drain fields 311 and 321 is performed, this production process is used, and lower layer lateral electrode section 40e is formed. Therefore, as compared with the conventional manufacture method, it is possible to reduce the number of mask formation production processes and the number of impurity installation production processes by a unit of 1 time, and it is. So, each electrical characteristics of TFT of a pixel field and the drive circuit section can be improved with the small number of manufacturing processes, forming TFT and a capacitive element (retention volume 40).

[0372] Since the manufacture method of the example of \*\*\*\* is equivalent to the method which replaced the first conductivity-type impurity installation production process of low concentration shown by "N -", and the second conductivity-type impurity installation production process of low concentration shown by "P -" in the manufacture method concerning the example 3 shown in a table 2 thru/or a table 4 Before forming the gate electrodes 15, 25, and 35 and the upper lateral electrode 45, perform the second conductivity-type impurity installation production process of low concentration for forming the low concentration source drain fields 311 and 321, and this production process is used. As long as it forms lower layer lateral electrode section 40e, you may be which production process sequence among 60 kinds of production process sequence.

[0373] The focus of the active-matrix substrate 1 of the example of a [example 12] book is in the point which low-concentration-ized the low concentration source drain fields 311 and 321 of TFT30 for drive circuits of the second conductivity type rather than lower layer lateral electrode section 40e of retention volume 40, manufacturing by the same routing counter as the manufacture method concerning an example 11.

[0374] Namely, although lower layer lateral electrode section 40e of retention volume 40 was formed in the low concentration source drain fields 311 and 321 and coincidence of TFT30 for drive circuits of the second conductivity type and there is like an example 11 in drawing 20 The low concentration source drain fields 311 and 321 of TFT30 for drive circuits of the second conductivity type have high impurity concentration by abbreviation  $9 \times 10^{18} \text{cm}^{-3}$  to there being high impurity concentration of lower layer lateral electrode section 40e in the second conductivity-type field of low concentration of abbreviation  $1 \times 10^{19} \text{cm}^{-3}$ .

[0375] the active-matrix substrate 1 of the example of \*\*\*\* -- both TFT30 for drive circuits of the second conductivity type TFT20 for drive circuits of the first conductivity type and TFT10 for pixels of the first conductivity type -- although -- it has LDD structure which equips with the low concentration source drain fields 111, 121, 211, 221, 311, and 321 the portion which confronts each other through the gate insulator layers 14, 24, and 34 to the edge of the gate electrodes 15, 25, and 35.

[0376] \*\* -- the active-matrix substrate [ like ] 1 of structure can be manufactured by the following methods. In addition, each high impurity concentration is expressed with the high impurity concentration after activation annealing in the following explanation.

[0377] First, as shown in drawing 22 (a), after forming the island-like silicon films 10a, 20a, 30a, and 40a in the surface of an insulating substrate 2 (silicon film formation production process), the gate insulator layers 14, 24, and 34 and a dielectric film 44 are formed (gate insulator layer formation production process).

[0378] Next, boron ion (the second conductivity-type impurity / the second conductivity-type impurity) is driven in with the dose of abbreviation  $1 \times 10^{12} \text{cm}^{-2}$ , and a channel dope is performed (a channel dope production process / 1st impurity installation production process).

[0379] Next, as shown in drawing 22 (b), the wrap resist mask 1101 is only formed width for the formation schedule field of the gate electrode 35 of TFT30 for drive circuits of the second conductivity type which forms the formation field of TFT10 for pixels of the first conductivity type, and TFT20 for

drive circuits of the first conductivity type behind with a wrap (1st mask formation production process). [0380] then, for example, boron ion (the second conductivity-type impurity / the second conductivity-type impurity) -- about  $1 \times 10^{14} \text{cm}^{-2}$  -- an ion implantation is carried out with the dose of  $1 \times 10^{14} \text{cm}^{-2}$  (the 2nd conductivity-type impurity installation production process of a 2nd impurity installation production process / low concentration).

[0381] Consequently, the source drain fields 31 and 32 of the second conductivity type of low concentration of abbreviation  $1 \times 10^{19} \text{cm}^{-3}$  are formed in silicon film 30a of the second conductivity type of low concentration for high impurity concentration. Moreover, as for silicon film 40a of the second conductivity type of low concentration, high impurity concentration is set to lower layer lateral electrode section 40e of the second conductivity type of low concentration of abbreviation  $1 \times 10^{19} \text{cm}^{-3}$ . The resist mask 1101 is removed after an appropriate time.

[0382] Next, as shown in drawing 22 (c), the gate electrodes 15, 25, and 35 and the upper lateral electrode section 45 are formed (gate electrode formation production process). Thus, retention volume 40 is formed.

[0383] Next, the wrap resist mask 1102 is formed for the formation field of retention volume 40 (2nd mask formation production process).

[0384] Then, the ion implantation of the phosphorus ion is carried out with the dose of abbreviation  $1 \times 10^{13} \text{cm}^{-2}$  (the first conductivity-type impurity installation production process of a 3rd impurity installation production process / low concentration).

[0385] Consequently, the source drain fields 11, 12, 21, and 22 of the first conductivity type of low concentration of abbreviation  $0.9 \times 10^{18} \text{cm}^{-3}$  are formed in the silicon films 10a and 20a of the second conductivity type of low concentration for high impurity concentration in self align to the gate electrodes 15 and 25. In addition, the portion into which an impurity was not introduced serves as the channel fields 13 and 23.

[0386] Here, although the ion implantation of the phosphorus ion is carried out also to the silicon films 31 and 32 of the second conductivity type of low concentration with the dose of abbreviation  $1 \times 10^{13} \text{cm}^{-2}$ , there is high impurity concentration of the silicon films 31 and 32 of the second conductivity type of low concentration by abbreviation  $1 \times 10^{19} \text{cm}^{-3}$ . Therefore, the silicon films 31 and 32 of the second conductivity type of low concentration do not reverse a conductivity type, although acceptor mold high impurity concentration low-concentration-izes even to abbreviation  $9 \times 10^{18} \text{cm}^{-3}$  substantially.

[0387] After an appropriate time, the resist mask 1102 is removed.

[0388] Next, as shown in drawing 22 (d), the wrap resist mask 1103 is formed [ TFT10 for pixels of the first conductivity type, TFT20 for drive circuits of the first conductivity type, and the formation field of retention volume 40 ] width for the gate electrode 35 with a wrap (3rd mask formation production process).

[0389] Then, the ion implantation of the boron ion is carried out with the dose of abbreviation  $1 \times 10^{15} \text{cm}^{-2}$  (the second conductivity-type impurity installation production process of a 4th impurity installation production process / high concentration).

[0390] Consequently, the high concentration source drain fields 312 and 322 of  $1 \times 10^{20} \text{cm}^{-3}$  are formed in the source drain fields 31 and 32 of the second conductivity type of low concentration for high impurity concentration. Moreover, as for the portion covered with the resist mask 1103 among the source drain fields 31 and 32 of the second conductivity type of low concentration, high impurity concentration serves as the low concentration source drain fields 311 and 321 of abbreviation  $9 \times 10^{18} \text{cm}^{-3}$  as it is.

[0391] Thus, TFT30 for drive circuits of the second conductivity type is formed. After an appropriate time, the resist mask 1103 is removed.

[0392] Next, as shown in drawing 22 (e), the wrap resist mask 1104 is formed [ TFT30 for drive circuits of the second conductivity type, and the formation field of retention volume 40 ] width for the gate electrodes 15 and 25 with a wrap (4th mask formation production process).

[0393] Then, the ion implantation of the phosphorus ion is carried out with the dose of  $1 \times 10^{15} \text{cm}^{-2}$  (the

first conductivity-type impurity installation production process of a 5th impurity installation production process / high concentration).

[0394] Consequently, the high concentration source drain fields 112, 122, 222, and 222 of  $1 \times 10^{20} \text{cm}^{-3}$  are formed in the source drain fields 11, 12, 21, and 22 of the first conductivity type of low concentration for high impurity concentration. Moreover, as for the portion covered with the resist mask 1104 among the source drain fields 11, 12, 21, and 22 of the first conductivity type of low concentration, high impurity concentration serves as the low concentration source drain fields 111, 121, 211, and 221 of abbreviation  $0.9 \times 10^{18} \text{cm}^{-3}$  as it is.

[0395] Thus, TFT10 for pixels of the first conductivity type and TFT20 for drive circuits of the first conductivity type are formed. After an appropriate time, the resist mask 1104 is removed.

[0396] Henceforth, if annealing for activation is performed, a contact hole is formed in after an appropriate time and the source drain electrodes 16, 17, 26, 27, 36, and 37 are formed after forming an interlayer insulation film 4 as shown in drawing 20, the semiconductor device of active-matrix substrate 1 grade can be manufactured according to 4 times of the mask formation production processes for forming the resist masks 1101-1104, and 5 times of impurity installation production processes.

[0397] Thus, by the manufacture method of the active-matrix substrate 1 of this example, like, before [ which was shown in drawing 22 (b) ] forming the gate electrodes 15, 25, and 35 and the upper lateral electrode 45, the first conductivity-type impurity installation production process of low concentration for forming the low concentration source drain fields 311 and 321 is performed, this production process is used, and lower layer lateral electrode section 40e is formed. Therefore, the same effect as an example 12 is done so, such as it being possible to reduce the number of mask formation production processes and the number of impurity installation production processes by a unit of 1 time as compared with the conventional manufacture method, and being.

[0398] Moreover, in the first conductivity-type impurity installation production process of low concentration for forming the low concentration source drain fields 111, 121, 211, and 221 like shown in drawing 22 (c), the phosphorus ion driven in at this time is driven also into the formation field of TFT30 for drive circuits of the second conductivity type, and it is. That is, the first conductivity-type impurity installation production process of low concentration is used, and the high impurity concentration of the source drain fields 31 and 32 of the second conductivity type of low concentration for forming the low concentration source drain fields 311 and 321 is changed. The low concentration source drain fields 311 and 321 low-concentration-ized rather than lower layer lateral electrode section 40e of retention volume 40 can be formed without increasing a routing counter as compared with an example 11 for this reason.

[0399] Since the manufacture method of the example of \*\*\*\* is equivalent to the method which replaced the first conductivity-type impurity installation production process of low concentration, and the second conductivity-type impurity installation production process of low concentration in the manufacture method concerning an example 4 Before forming the gate electrodes 15, 25, and 35 and the upper lateral electrode 45, perform the second conductivity-type impurity installation production process of low concentration for forming the low concentration source drain fields 311 and 321, and this production process is used. As long as it forms lower layer lateral electrode section 40e, you may be which production process sequence of having replaced the first conductivity-type impurity installation production process of low concentration shown by "N -" among 60 kinds of production process sequence shown in a table 2 thru/or a table 4, and the second conductivity-type impurity installation production process of low concentration shown by "P -."

[0400] There is [example 13] drawing 23 with the cross section showing typically the structure of the drive circuit built-in active-matrix substrate in the liquid crystal display of this example. the active-matrix substrate of the example of \*\*\*\* -- every -- the active-matrix substrate which the fundamental structure of TFT showed to drawing 7, and abbreviation -- it is the same and is.

[0401] In drawing 23 in the drive circuit built-in active-matrix substrate 1 of the liquid crystal display of this example TFT10 for pixels of the first conductivity type, TFT20 for drive circuits of the first conductivity type, and TFT30 for drive circuits of the second conductivity type All have LDD structure, and since the channel dope of the channel fields 13, 23, and 33 has been carried out with low-

concentration boron ion also in which TFT, there is high impurity concentration in the second conductivity-type field of low concentration of abbreviation  $1 \times 10^{17} \text{cm}^{-3}$ .

[0402] In this example, 40f (the first polar zone) of lower layer lateral electrode sections of retention volume 402 has the high impurity concentration by which coincidence formation was carried out with the high concentration source drain fields 311 and 312 of TFT30 for drive circuits of the second conductivity type in the second conductivity-type field of high concentration of  $1 \times 10^{20} \text{cm}^{-3}$ .

[0403] \*\* -- the active-matrix substrate [ like ] 1 of structure -- for example, it can manufacture by the following methods.

[0404] First, as shown in drawing 24 (a), after forming the island-like silicon films 10a, 20a, 30a, and 40a in the surface of an insulating substrate 2 (silicon film formation production process), the gate insulator layers 14, 24, and 34 and a dielectric film 44 are formed in coincidence (gate insulator layer formation production process).

[0405] Next, boron ion (the second conductivity-type impurity / the second conductivity-type impurity) is driven in with the dose of abbreviation  $1 \times 10^{12} \text{cm}^{-2}$ , and a channel dope is performed (a channel dope production process / 1st impurity installation production process).

[0406] Next, as shown in drawing 24 (b), the wrap resist mask 1201 is only formed width for the formation schedule field of the gate electrode 35 of TFT30 for drive circuits of the second conductivity type which forms the formation field of TFT10 for pixels of the first conductivity type, and TFT20 for drive circuits of the first conductivity type behind with a wrap (1st mask formation production process).

[0407] then, for example, boron ion (the second conductivity-type impurity / the second conductivity-type impurity) -- about 1 -- an ion implantation is carried out with the dose of  $1 \times 10^{15} \text{cm}^{-2}$  (the 2nd conductivity-type impurity installation production process of a 2nd impurity installation production process / high concentration).

[0408] Consequently, as for the field where high-concentration boron ion was driven in among silicon film 30a of the second conductivity type of low concentration, high impurity concentration serves as the high concentration source drain fields 312 and 322 of abbreviation  $1 \times 10^{20} \text{cm}^{-3}$ . Moreover, also in silicon film 40a of the second conductivity type of low concentration, high impurity concentration serves as 40f of about  $1 \times 10^{20} \text{cm}^{-3}$  - lower layer lateral electrode sections of the second conductivity type of high concentration of 3. After an appropriate time, the resist mask 1201 is removed.

[0409] Next, as shown in drawing 24 (c), the gate electrodes 15, 25, and 35 and the upper lateral electrode section 45 (the second polar zone) are formed (gate electrode formation production process). Thus, retention volume 40 is formed.

[0410] Next, the wrap resist mask 1202 is formed for TFT30 for drive circuits of the second conductivity type, and the formation field of retention volume 40 (2nd mask formation production process).

[0411] Then, the ion implantation of the phosphorus ion is carried out with the dose of abbreviation  $1 \times 10^{13} \text{cm}^{-2}$  (the first conductivity-type impurity installation production process of a 3rd impurity installation production process / low concentration).

[0412] Consequently, the source drain fields 11, 12, 21, and 22 of the first conductivity type of low concentration of abbreviation  $0.9 \times 10^{18} \text{cm}^{-3}$  are formed in the silicon films 10a and 20a of the second conductivity type of low concentration for high impurity concentration in self align to the gate electrodes 15 and 25. In addition, the portion into which an impurity was not introduced serves as the channel fields 13 and 23. After an appropriate time, the resist mask 1202 is removed.

[0413] Next, as shown in drawing 24 (d), the wrap resist mask 1203 is formed for TFT10 for pixels of the first conductivity type, TFT20 for drive circuits of the first conductivity type, and the formation field of retention volume 40 (3rd mask formation production process).

[0414] Then, the ion implantation of the boron ion is carried out with the dose of abbreviation  $1 \times 10^{13} \text{cm}^{-2}$  (the second conductivity-type impurity installation production process of a 4th impurity installation production process / low concentration).

[0415] Consequently, the low concentration source drain fields 311 and 321 of abbreviation  $1.1 \times 10^{18} \text{cm}^{-3}$  are formed in silicon film 30a of the second conductivity type of low concentration

inserted into the high concentration source drain fields 312 and 322 for high impurity concentration in self align to the gate electrode 35. In addition, the portion into which an impurity was not introduced serves as the channel field 33. Thus, TFT30 for drive circuits of the second conductivity type is formed. After an appropriate time, the resist mask 1203 is removed.

[0416] Next, as shown in drawing 24 (e), the wrap resist mask 1204 is formed [ TFT30 for drive circuits of the second conductivity type, and the formation field of retention volume 40 ] width for the gate electrodes 15 and 25 with a wrap (4th mask formation production process).

[0417] Then, the ion implantation of the phosphorus ion is carried out with the dose of abbreviation  $1 \times 10^{15} \text{cm}^{-2}$  (the first conductivity-type impurity installation production process of a 5th impurity installation production process / high concentration).

[0418] Consequently, the high concentration source drain fields 112, 122, 212, and 222 of  $1 \times 10^{20} \text{cm}^{-3}$  are formed in the source drain fields 11, 12, 21, and 22 of the first conductivity type of low concentration for high impurity concentration. Moreover, as for the portion covered with the resist mask 1204 among the source drain fields 11, 12, 21, and 22 of the second conductivity type of low concentration, high impurity concentration serves as the low concentration source drain fields 111, 121, 211, and 221 of abbreviation  $0.9 \times 10^{18} \text{cm}^{-3}$  as it is. Thus, TFT10 for pixels of the first conductivity type and TFT20 for drive circuits of the first conductivity type are formed. After an appropriate time, the resist mask 1204 is removed.

[0419] Henceforth, if annealing for activation is performed, a contact hole is formed in after an appropriate time and the source drain electrodes 16, 17, 26, 27, 36, and 37 are formed after forming an interlayer insulation film 4 as shown in drawing 23, the semiconductor device of active-matrix substrate 1 grade can be manufactured according to 4 times of the mask formation production processes for forming the resist masks 1201-1204, and 5 times of impurity installation production processes.

[0420] Thus, by the manufacture method of the active-matrix substrate 1 of this example, like, before [ which was shown in drawing 24 (b) ] forming the gate electrodes 15, 25, and 35 and the upper lateral electrode 45, the second conductivity-type impurity installation production process of high concentration for forming the high concentration source drain fields 312 and 322 is performed, this production process is used, and 40f of lower layer lateral electrode sections is formed. Therefore, as compared with the conventional manufacture method, it is possible to reduce the number of mask formation production processes and the number of impurity installation production processes by a unit of 1 time, and it is. So, each electrical characteristics of TFT can be improved with the small number of manufacturing processes, forming TFT and a capacitive element (retention volume 40).

[0421] Since the manufacture method of the example of \*\*\*\* is equivalent to the method which replaced the first conductivity-type impurity installation production process of high concentration, and the second conductivity-type impurity installation production process of high concentration in the manufacture method concerning an example 7 Before forming the gate electrodes 15, 25, and 35 and the upper lateral electrode 45, perform the second conductivity-type impurity installation production process of high concentration for forming the high concentration source drain fields 312 and 322, and this production process is used. As long as it forms 40f of lower layer lateral electrode sections, you may be which production process sequence of having replaced the 1st conductivity-type impurity installation production process of high concentration shown by "N+" among 24 kinds of production process sequence shown in a table 7, and the second conductivity-type impurity installation production process of high concentration shown by "P+."

[0422] The focus of the active-matrix substrate 1 of the example of a [example 14] book has a mask formation production process in few [ once ] points as compared with the manufacture method concerning an example 13, and the manufacture method is as explaining below, and there is.

[0423] First, as shown in drawing 25 (a), after forming the island-like silicon films 10a, 20a, 30a, and 40a in the surface of an insulating substrate 2 (silicon film formation production process), the gate insulator layers 14, 24, and 34 and a dielectric film 44 are formed (gate insulator layer formation production process).

[0424] Next, boron ion (the second conductivity-type impurity / the second conductivity-type impurity)



is driven in with the dose of abbreviation  $1 \times 10^{12} \text{cm}^{-2}$ , and a channel dope is performed (a channel dope production process / 1st impurity installation production process).

[0425] Next, as shown in drawing 25 (b), the wrap resist mask 1301 is only formed width for the formation schedule field of the gate electrode 35 of TFT30 for drive circuits of the second conductivity type which forms the formation field of TFT10 for pixels of the first conductivity type, and TFT20 for drive circuits of the first conductivity type behind with a wrap (1st mask formation production process).

[0426] then, for example, boron ion (the second conductivity-type impurity / the second conductivity-type impurity) -- about 1 -- an ion implantation is carried out with the dose of  $1 \times 10^{15} \text{cm}^{-2}$  (the 2nd conductivity-type impurity installation production process of a 2nd impurity installation production process / high concentration).

[0427] Consequently, as for the field where high-concentration boron ion was driven in among silicon film 30a of the second conductivity type of low concentration, high impurity concentration serves as the high concentration source drain fields 312 and 322 of abbreviation  $1 \times 10^{20} \text{cm}^{-3}$ . Moreover, also in silicon film 40a of the second conductivity type of low concentration, high impurity concentration serves as 40f of about  $1 \times 10^{20} \text{cm}^{-3}$  - lower layer lateral electrode sections of the second conductivity type of high concentration of 3. After an appropriate time, the resist mask 1301 is removed.

[0428] Next, as shown in drawing 25 (c), the gate electrodes 15, 25, and 35 and the upper lateral electrode section 45 are formed (gate electrode formation production process). Thus, retention volume 40 is formed.

[0429] Next, the wrap resist mask 1302 is formed for TFT30 for drive circuits of the second conductivity type, and the formation field of retention volume 40 (2nd mask formation production process).

[0430] Then, the ion implantation of the phosphorus ion is carried out with the dose of abbreviation  $3 \times 10^{13} \text{cm}^{-2}$  (the first conductivity-type impurity installation production process of a 3rd impurity installation production process / low concentration).

[0431] Consequently, the source drain fields 11, 12, 21, and 22 of the first conductivity type of low concentration of abbreviation  $2.9 \times 10^{18} \text{cm}^{-3}$  are formed in the silicon films 10a and 20a of the second conductivity type of low concentration for high impurity concentration in self align to the gate electrodes 15 and 25. In addition, the portion into which an impurity was not introduced serves as the channel fields 13 and 23. After an appropriate time, the resist mask 1302 is removed.

[0432] Next, the ion implantation of the boron ion is carried out with the dose of abbreviation  $1 \times 10^{13} \text{cm}^{-2}$ , without forming a mask, as shown in drawing 25 (d) (the second conductivity-type impurity installation production process of a 4th impurity installation production process / low concentration).

[0433] Consequently, the low concentration source drain fields 311 and 321 of abbreviation  $1.1 \times 10^{18} \text{cm}^{-3}$  are formed in silicon film 30a of the second conductivity type of low concentration inserted into the high concentration source drain fields 312 and 322 for high impurity concentration in self align to the gate electrode 35. In addition, the portion into which an impurity was not introduced serves as the channel field 33. Thus, TFT30 for drive circuits of the second conductivity type is formed.

[0434] On the other hand, although the ion implantation of the boron ion is carried out also to the silicon films 11, 12, 21, and 22 of the first conductivity type of low concentration with the dose of abbreviation  $1 \times 10^{13} \text{cm}^{-2}$ , there is high impurity concentration of the silicon films 11, 12, 21, and 22 of the first conductivity type of low concentration by abbreviation  $2.9 \times 10^{18} \text{cm}^{-3}$ . Therefore, the silicon films 11, 12, 21, and 22 of the first conductivity type of low concentration do not reverse a conductivity type, although donor mold high impurity concentration is substantially low-concentration-ized by even abbreviation  $1.9 \times 10^{18} \text{cm}^{-3}$ .

[0435] Next, as shown in drawing 25 (e), the wrap resist mask 1303 is formed [ TFT30 for drive circuits of the second conductivity type, and the formation field of retention volume 40 ] width for the gate electrodes 15 and 25 with a wrap (3rd mask formation production process).

[0436] Then, the ion implantation of the phosphorus ion is carried out with the dose of abbreviation  $1 \times 10^{15} \text{cm}^{-2}$  (the first conductivity-type impurity installation production process of a 5th impurity

installation production process / high concentration).

[0437] Consequently, the high concentration source drain fields 112, 122, 212, and 222 of  $1 \times 10^{20} \text{cm}^{-3}$  are formed in the source drain fields 11, 12, 21, and 22 of the first conductivity type of low concentration for high impurity concentration. Moreover, as for the portion covered with the resist mask 1204 among the source drain fields 11, 12, 21, and 22 of the second conductivity type of low concentration, high impurity concentration serves as the low concentration source drain fields 111, 121, 211, and 221 of abbreviation  $1.9 \times 10^{18} \text{cm}^{-3}$  as it is. Thus, TFT10 for pixels of the first conductivity type and TFT20 for drive circuits of the first conductivity type are formed. After an appropriate time, the resist mask 1303 is removed.

[0438] Henceforth, if annealing for activation is performed, a contact hole is formed in after an appropriate time and the source drain electrodes 16, 17, 26, 27, 36, and 37 are formed after forming an interlayer insulation film 4 as shown in drawing 23, the semiconductor device of active-matrix substrate 1 grade can be manufactured according to 3 times of the mask formation production processes for forming the resist masks 1301-1303, and 5 times of impurity installation production processes.

[0439] Thus, by the manufacture method of the active-matrix substrate 1 of this example, like, before [ which was shown in drawing 25 (b) ] forming the gate electrodes 15, 25, and 35 and the upper lateral electrode 45, the second conductivity-type impurity installation production process of high concentration for forming the high concentration source drain fields 312 and 322 is performed, this production process is used, and 40f of lower layer lateral electrode sections is formed. Therefore, as compared with the conventional manufacture method, it is possible to reduce the number of mask formation production processes and the number of impurity installation production processes, and it is.

[0440] And as shown in drawing 25 (d), boron ion is poured in at the production process for forming the low concentration source drain fields 311 and 321, without forming a mask. So, each TFT and retention volume 40 can be manufactured according to 3 times of mask formation production processes, and 5 times of impurity installation production processes.

[0441] Since the manufacture method of the example of \*\*\*\* is equivalent to the method which replaced the first conductivity-type impurity installation production process of high concentration, and the second conductivity-type impurity installation production process of high concentration in the manufacture method concerning an example 8 Before forming the gate electrodes 15, 25, and 35 and the upper lateral electrode 45, perform the second conductivity-type impurity installation production process of high concentration for forming the high concentration source drain fields 312 and 322, and this production process is used. As long as it forms 40f of lower layer lateral electrode sections, you may be which production process sequence of having replaced the 1st conductivity-type impurity installation production process of high concentration shown by "N+" among 24 kinds of production process sequence shown in a table 7, and the second conductivity-type impurity installation production process of high concentration shown by "P+."

[0442] The fundamental portion of the active-matrix substrate and its manufacture method of the example of a [example 15] book is the same as that of an example 14, and they have it. The focus of this example has a mask formation production process in few [ once ] points like an example 14 as compared with the manufacture method concerning an example 13, and the manufacture method is as explaining below, and there is.

[0443] First, as shown in drawing 26 (a), after forming the island-like silicon films 10a, 20a, 30a, and 40a in the surface of an insulating substrate 2 (silicon film formation production process), the gate insulator layers 14, 24, and 34 and a dielectric film 44 are formed (gate insulator layer formation production process).

[0444] Next, boron ion (the second conductivity-type impurity / the second conductivity-type impurity) is driven in with the dose of abbreviation  $1 \times 10^{12} \text{cm}^{-2}$ , and a channel dope is performed (a channel dope production process / 1st impurity installation production process).

[0445] Consequently, as for the silicon films 10a, 20a, 30a, and 40a, high impurity concentration serves as the silicon films 10a, 20a, 30a, and 40a of the second conductivity type of low concentration of abbreviation  $1 \times 10^{17} \text{cm}^{-3}$ .

[0446] Next, as shown in drawing 26 (b), the wrap resist mask 1401 is formed with the formation schedule field of the gate electrode 35 of TFT30 for drive circuits of the second conductivity type which forms the formation field of TFT10 for pixels of the first conductivity type, and TFT20 for drive circuits of the first conductivity type behind with a wrap (1st mask formation production process).

[0447] then, for example, boron ion (the second conductivity-type impurity / the second conductivity-type impurity) -- about  $1 \times 10^{15} \text{cm}^{-2}$  -- an ion implantation is carried out with the dose of  $1 \times 10^{15} \text{cm}^{-2}$  (the 2nd conductivity-type impurity installation production process of a 2nd impurity installation production process / high concentration).

[0448] Consequently, as for the field where high-concentration boron ion was driven in among silicon film 30a of the second conductivity type of low concentration, high impurity concentration serves as the high concentration source drain fields 312 and 322 of abbreviation  $1 \times 10^{20} \text{cm}^{-3}$ . Moreover, also in silicon film 40a of the second conductivity type of low concentration, high impurity concentration serves as 40f of about  $1 \times 10^{20} \text{cm}^{-3}$  - lower layer lateral electrode sections of the second conductivity type of high concentration of 3. After an appropriate time, the resist mask 1401 is removed.

[0449] Next, as shown in drawing 26 (c), the gate electrodes 15, 25, and 35 which consist of doped silicon, a silicide film, etc. are formed in the surface of the gate insulator layers 14, 24, and 34. The upper lateral electrode section 45 is formed in the surface of a dielectric film 44 at coincidence (gate electrode formation production process). Besides, the layer lateral electrode sections 45 may be some signal lines of the preceding paragraph. Thus, the retention volume 40 which 40f of lower layer lateral electrode sections and the upper lateral electrode section 45 counter through a dielectric film 44 is formed.

[0450] Next, the wrap resist mask 1402 is formed for the formation field of TFT10 for pixels of the first conductivity type, and TFT20 for drive circuits of the first conductivity type (2nd mask formation production process).

[0451] Then, the ion implantation of the boron ion is carried out with the dose of abbreviation  $3 \times 10^{13} \text{cm}^{-2}$  (the second conductivity-type impurity installation production process of a 3rd impurity installation production process / low concentration).

[0452] Consequently, the low concentration source drain fields 311 and 321 of abbreviation  $3.1 \times 10^{18} \text{cm}^{-3}$  are formed in silicon film 30a of the second conductivity type of low concentration inserted into the high concentration source drain fields 312 and 322 for high impurity concentration in self align to the gate electrode 35. In addition, the portion into which an impurity was not introduced serves as the channel field 33. Thus, TFT30 for drive circuits of the second conductivity type is formed. After an appropriate time, the resist mask 1402 is removed.

[0453] Next, the ion implantation of the phosphorus ion is carried out with the dose of abbreviation  $1 \times 10^{13} \text{cm}^{-2}$ , without forming a mask, as shown in drawing 26 (d) (the first conductivity-type impurity installation production process of a 4th impurity installation production process / low concentration).

[0454] Consequently, the source drain fields 11, 12, 21, and 22 of the first conductivity type of low concentration of abbreviation  $0.9 \times 10^{18} \text{cm}^{-3}$  are formed in the silicon films 10a and 20a of the second conductivity type of low concentration for high impurity concentration in self align to the gate electrodes 15 and 25. In addition, the portion into which an impurity was not introduced serves as the channel fields 13 and 23.

[0455] Here, although the ion implantation of the phosphorus ion is carried out also to the low concentration source drain fields 311 and 321 with the dose of abbreviation  $1 \times 10^{13} \text{cm}^{-2}$ , there is high impurity concentration of the low concentration source drain fields 311 and 321 by abbreviation  $3.1 \times 10^{18} \text{cm}^{-3}$ . Therefore, the low concentration source drain fields 311 and 321 do not reverse a conductivity type, although acceptor mold high impurity concentration low-concentration-izes even to abbreviation  $2.1 \times 10^{18} \text{cm}^{-3}$  substantially.

[0456] Next, as shown in drawing 26 (e), the wrap resist mask 1403 is formed [ TFT30 for drive circuits of the second conductivity type, and the formation field of retention volume 40 ] with the gate electrodes 15 and 25 with a wrap (3rd mask formation production process).

[0457] Then, the ion implantation of the phosphorus ion is carried out with the dose of abbreviation

$1 \times 10^{15} \text{cm}^{-2}$  (the first conductivity-type impurity installation production process of a 5th impurity installation production process / high concentration).

[0458] Consequently, the high concentration source drain fields 112, 122, 212, and 222 of  $1 \times 10^{20} \text{cm}^{-3}$  are formed in the source drain fields 11, 12, 21, and 22 of the first conductivity type of low concentration for high impurity concentration. Moreover, as for the portion covered with the resist mask 1403 among the source drain fields 11, 12, 21, and 22 of the first conductivity type of low concentration, high impurity concentration serves as the low concentration source drain fields 111, 121, 211, and 221 of abbreviation  $0.9 \times 10^{18} \text{cm}^{-3}$  as it is. Thus, TFT10 for pixels of the first conductivity type and TFT20 for drive circuits of the first conductivity type are formed. After an appropriate time, the resist mask 1403 is removed.

[0459] Henceforth, if annealing for activation is performed, a contact hole is formed in after an appropriate time and the source drain electrodes 16, 17, 26, 27, 36, and 37 are formed after forming an interlayer insulation film 4 as shown in drawing 23, the semiconductor device of active-matrix substrate 1 grade can be manufactured according to 3 times of the mask formation production processes for forming the resist masks 1401-1403, and 5 times of impurity installation production processes.

[0460] Thus, by the manufacture method of the active-matrix substrate 1 of this example, like, before [ which was shown in drawing 26 (b) ] forming the gate electrodes 15, 25, and 35 and the upper lateral electrode 45, the second conductivity-type impurity installation production process of high concentration for forming the high concentration source drain fields 312 and 322 is performed, this production process is used, and 40f of lower layer lateral electrode sections is formed. Therefore, as compared with the conventional manufacture method, it is possible to reduce the number of mask formation production processes and the number of impurity installation production processes, and it is.

[0461] And as shown in drawing 26 (d), phosphorus ion is poured in at the production process for forming the low concentration source drain fields 111, 121, 211, and 221, without forming a mask. So, each TFT and retention volume 40 can be manufactured according to 3 times of mask formation production processes, and 5 times of impurity installation production processes.

[0462] Since the manufacture method of the example of \*\*\*\* is equivalent to the method which replaced the first conductivity-type impurity installation production process of high concentration, and the second conductivity-type impurity installation production process of high concentration in the manufacture method concerning an example 9 Before forming the gate electrodes 15, 25, and 35 and the upper lateral electrode 45, perform the second conductivity-type impurity installation production process of high concentration for forming the high concentration source drain fields 312 and 322, and this production process is used. As long as it forms 40f of lower layer lateral electrode sections, you may be which production process sequence of having replaced the 1st conductivity-type impurity installation production process of high concentration shown by "N+" among 24 kinds of production process sequence shown in a table 7, and the second conductivity-type impurity installation production process of high concentration shown by "P+."

[0463] There is [example 16] drawing 27 with the cross section showing typically the structure of the drive circuit built-in active-matrix substrate in the liquid crystal display of this example. the active-matrix substrate of the example of \*\*\*\* -- every -- the active-matrix substrate which the fundamental structure of TFT showed in drawing 7, and abbreviation -- it is the same and is.

[0464] In drawing 27, TFT20 for drive circuits of the first conductivity type and TFT10 for pixels of the first conductivity type all have LDD structure also with the drive circuit built-in active-matrix substrate 1 of the liquid crystal display of this example.

[0465] On the other hand, TFT30' for drive circuits of the second conductivity type has offset gate structure, and offset field 311' and 321' have high impurity concentration in the second conductivity-type field of low concentration of abbreviation  $1 \times 10^{17} \text{cm}^{-3}$  as well as the channel field 33.

[0466] In this example, 40d of lower layer lateral electrode sections of retention volume 402 has the high impurity concentration by which coincidence formation was carried out with the high concentration source drain fields 312 and 322 of TFT30' for drive circuits of the second conductivity type in the second conductivity-type field of high concentration of  $1 \times 10^{20} \text{cm}^{-3}$ .

[0467] \*\* -- the active-matrix substrate [ like ] 1 of structure can be manufactured by the following methods.

[0468] First, as shown in drawing 28 (a), after forming the island-like silicon films 10a, 20a, 30a, and 40a in the surface of an insulating substrate 2 (silicon film formation production process), the gate insulator layers 14, 24, and 34 and a dielectric film 44 are formed (gate insulator layer formation production process).

[0469] Next, boron ion is driven in with the dose of  $1 \times 10^{12} \text{cm}^{-2}$ , and a channel dope is performed (a channel dope production process / 1st impurity installation production process).

[0470] Next, as shown in drawing 28 (b), the wrap resist mask 1501 is formed width for the formation schedule field of the gate electrode 35 which forms the formation field of TFT10 for pixels of the first conductivity type, and TFT20 for drive circuits of the first conductivity type in behind with a wrap among the formation fields of TFT30' for drive circuits of the second conductivity type (1st mask formation production process).

[0471] Then, the ion implantation of the second conductivity-type impurity, for example, the boron ion, is carried out with the dose of abbreviation  $1 \times 10^{15} \text{cm}^{-2}$  (the second conductivity-type impurity installation production process of a 2nd impurity installation production process / high concentration).

[0472] Consequently, the high concentration source drain fields 312 and 322 of  $1 \times 10^{20} \text{cm}^{-3}$  are formed in silicon film 30a of the second conductivity type of low concentration for high impurity concentration. On the other hand, as for the portion covered with the resist mask 1501 among silicon film 30a of the second conductivity type of low concentration, high impurity concentration becomes offset field 311' of abbreviation  $1 \times 10^{17} \text{cm}^{-3}$ , and 321' as it is. Of course, there is a channel field 33, while high impurity concentration has been the second conductivity-type field of low concentration of abbreviation  $1 \times 10^{17} \text{cm}^{-3}$ . Moreover, as for silicon film 40a, high impurity concentration serves as 40f of about  $1 \times 10^{20} \text{cm}^{-3}$  - lower layer lateral electrode sections of the second conductivity type of high concentration of 3. After an appropriate time, the resist mask 1501 is removed.

[0473] Next, as shown in drawing 28 (c), the gate electrodes 15, 25, and 35 and the upper lateral electrode section 45 are formed. Thus, retention volume 40 is formed.

[0474] Next, the wrap resist mask 1502 is formed for TFT30 for drive circuits of the second conductivity type, and the formation field of retention volume 40 (2nd mask formation production process).

[0475] In this condition, the ion implantation of the phosphorus ion is carried out with the dose of  $1 \times 10^{13} \text{cm}^{-2}$  (the first conductivity-type impurity installation production process of low concentration / 3rd impurity installation production process).

[0476] Consequently, the source drain fields 11, 12, 21, and 22 of the first conductivity type of low concentration of abbreviation  $0.9 \times 10^{18} \text{cm}^{-3}$  are formed in the silicon films 10a and 20a of the first conductivity type of low concentration for high impurity concentration in self align to the gate electrodes 15 and 25. In addition, the portion into which an impurity was not introduced serves as the channel fields 13 and 23. Thus, TFT10 for pixels of the first conductivity type and TFT20 for drive circuits of the first conductivity type are formed. After an appropriate time, the resist mask 1502 is removed.

[0477] Next, as shown in drawing 28 (d), the wrap resist mask 1503 is formed [ TFT30 for drive circuits of the second conductivity type, and the formation field of retention volume 40 ] width also for the gate electrodes 15 and 25 with a wrap (3rd mask formation production process).

[0478] In this condition, the ion implantation of the phosphorus ion is carried out with the dose of  $1 \times 10^{15} \text{cm}^{-2}$  (the first conductivity-type impurity installation production process of high concentration / 4th impurity installation production process).

[0479] Consequently, the high concentration source drain fields 112, 122, 212, and 222 of  $1 \times 10^{20} \text{cm}^{-3}$  are formed in the source drain fields 11, 12, 21, and 22 of the first conductivity type of low concentration for high impurity concentration. On the other hand, as for the portion covered with the resist mask 1503 among the source drain fields 11, 12, 21, and 22 of the first conductivity type of low concentration, high impurity concentration serves as the low concentration source drain fields 111, 121,

211, and 221 of abbreviation  $0.9 \times 10^{18} \text{cm}^{-3}$  as it is. thus, the object for the pixels of the first conductivity type -- TFT1 0 and TFT20 for drive circuits of the first conductivity type are formed. After an appropriate time, the resist mask 1503 is removed.

[0480] Therefore, the active-matrix substrate 1 can be manufactured according to 3 times of the mask formation production processes for forming the resist masks 1503-1503, and 4 times of impurity installation production processes.

[0481] Thus, by the manufacture method of the active-matrix substrate 1 of this example, as shown in drawing 28 (b), before forming the gate electrodes 15, 25, and 35 and the upper lateral electrode 45, the 2nd conductivity-type impurity installation production process of high concentration for forming the high concentration source drain fields 311 and 321 is performed, this production process is used, and 40f of lower layer lateral electrode sections is formed. Therefore, as compared with the conventional manufacture method, it is possible to reduce the number of mask formation production processes and the number of impurity installation production processes, and it is.

[0482] Furthermore, in making into a low concentration field the portion which stands face to face against the gate electrode 35 in TFT30' for drive circuits of the second conductivity type, as shown in drawing 28 (c), in this example, it is not as LDD structure but as offset gate structure. For this reason, as compared with an example 3, it is few by a unit of 1 time about both a mask formation production process and an impurity installation production process. That is, as compared with the conventional manufacture method, it is few by a unit of 2 times about both a mask formation production process and an impurity installation production process. So, the electrical characteristics of TFT of a pixel field and the drive circuit section can be improved with the smallest number of manufacturing processes.

[0483] Since the manufacture method of the example of \*\*\*\* is equivalent to the method which replaced the first conductivity-type impurity installation production process of high concentration, and the second conductivity-type impurity installation production process of high concentration in the manufacture method concerning an example 10 Before forming the gate electrodes 15, 25, and 35 and the upper lateral electrode 45, perform the second conductivity-type impurity installation production process of high concentration for forming the high concentration source drain fields 312 and 322, and this production process is used. As long as it forms 40f of lower layer lateral electrode sections, you may be which production process sequence of having replaced the first conductivity-type impurity installation production process of high concentration shown by "N+" among ten kinds of production process sequence shown in a table 8, and the second conductivity-type impurity installation production process of high concentration shown by "P+."

[0484] The method of driving in without carrying out mass separation of no ion generated from dopant gas, for example as [the modification of an example 3 thru/or an example 16], in addition the impurity installation method and the so-called ion doping method may be used. It is PH3, when it is this method, for example, drives the impurity of the first conductivity type into high concentration. It contains about 5% and it is devoted, without carrying out mass separation of no ion generated from this mixed gas using the mixed gas which the remainder becomes from hydrogen gas. On the other hand, it is PH3 when driving the impurity of the first conductivity type into low concentration. It is desirable to contain about 5%, to devote oneself, without carrying out mass separation of the ion generated from pure hydrogen gas, after devoting oneself, without carrying out mass separation of no ion generated from the mixed gas which the remainder becomes from hydrogen gas, and to carry out termination of the irregular association in a silicon film. Furthermore, about the introductory method of an impurity, the plasma doping method, the laser doping method, etc. may be used other than ion-implantation or the ion doping method. Furthermore, it is not limited to a resist mask about the quality of the material of a mask. Although the first conductivity type was used as N type and the second conductivity type was used as P type with any gestalt, you may make it reverse. That is, TFT for pixels may consist of P type.

[0485]

[Effect of the Invention] Since any TFT has the portion which stands face to face against the edge of a gate electrode in a low concentration field with the semiconductor device concerning this invention explained above like, the OFF state current is small. Moreover, since the withstand voltage between the



source drains of TFT is high and channel length can be shortened, high-speed operation is possible and it is. Furthermore, the low concentration field which stands face to face against the edge of a gate electrode in TFT for drive circuits of the second conductivity type is formed as an offset field with the same high impurity concentration as a channel field. Therefore, a mask formation production process and an impurity installation production process can be lessened once [ every ] rather than the case where all TFT(s) are manufactured with LDD structure, respectively. So, the semiconductor device which can improve each electrical characteristics of TFT is realizable with the minimum number of manufacturing processes.

[0486] When the semiconductor device especially applied to this invention is applied to a drive circuit built-in active-matrix substrate, while TFT which display unevenness etc. cannot generate easily can be formed, while being hard to generate malfunction, in a pixel field, the current which penetrates between the power supply terminals of a CMOS circuit can improve the electrical characteristics of TFT for every pixel field and drive circuit section in the drive circuit section -- small TFT can be formed.

[0487] In this invention, the second conductivity type TFT which exists with offset structure is constituted as weak DEPLETION mode. So that the first conductivity type TFT which exists with LDD structure may be constituted as weak enhancing mode. When the high impurity concentration of the second conductivity type in the channel field and offset field of the second conductivity-type thin film transistor is set up, although TFT of offset structure is in the orientation for an ON state to be smaller than TFT of LDD structure, generally According to this invention, even when the gate voltage of the same absolute value is impressed, since big gate bias voltage will be impressed as compared with the first conductivity type TFT, the ON state current balance of both TFT(s) can be secured to the second conductivity type TFT. And since the high impurity concentration of the second conductivity type in the channel field and offset field of the second conductivity-type thin film transistor realizes, the balance of transistor capacity is also securable. So, the CMOS circuit in which high-speed operation is possible can be constituted.

[0488] The concentration of the second conductivity-type impurity which the channel field of the first conductivity type TFT contains in this invention, If all of the second conductivity-type high impurity concentration which the channel field of the second conductivity type TFT contains, and the second conductivity-type high impurity concentration which the offset field of the 2nd conductivity type TFT contains are made equal That is, since the second conductivity-type impurity can be introduced into a channel field, without using a mask if the second conductivity-type impurity is introduced also into the channel field of the first conductivity type TFT in case the second conductivity-type impurity is introduced into the channel field of the second conductivity type TFT, a routing counter is reducible.

[0489] Moreover, in this invention, before forming one electrode of a capacitive element in the upper layer of a semiconductor film, while performing the impurity installation production process for forming the low concentration source drain field of TFT, or a high concentration source drain field, an impurity is introduced into the semiconductor film for forming a capacitive element using this production process, and it has the feature in constituting the electrode of another side of a capacitive element. Therefore, according to this invention, as compared with the conventional manufacture method, it is possible to reduce the number of mask formation production processes and the number of impurity installation production processes, and it is.

[0490] When it considers as offset gate structure in forming the low concentration source drain field of TFT, as compared with LDD structure, a mask formation production process and an impurity installation production process can be lessened by a unit of 1 time.

[0491] When the low concentration source drain field of the first conductivity-type thin film transistor is constituted as the first conductivity-type field of low concentration which introduced the second conductivity-type impurity equivalent to the low concentration source drain field of the second conductivity-type thin film transistor with the first conductivity-type impurity, substantial high impurity concentration can be changed between this low concentration source drain field and first polar zone.

[0492] The production process which introduces the low-concentration first conductivity-type impurity in order to form the low concentration source drain field of the first conductivity-type thin film

transistor, And one production process of the production processes which introduce the low-concentration second conductivity-type impurity in order to form the low concentration source drain field of the second conductivity-type thin film transistor is performed, without forming a mask. When the difference of the amount of installation of the impurity of the 1st and second conductivity types prescribes the conductivity type and high impurity concentration of a field into which the both sides of the impurity of the first and the second conductivity type are introduced, a mask formation production process can be reduced further.

---

[Translation done.]

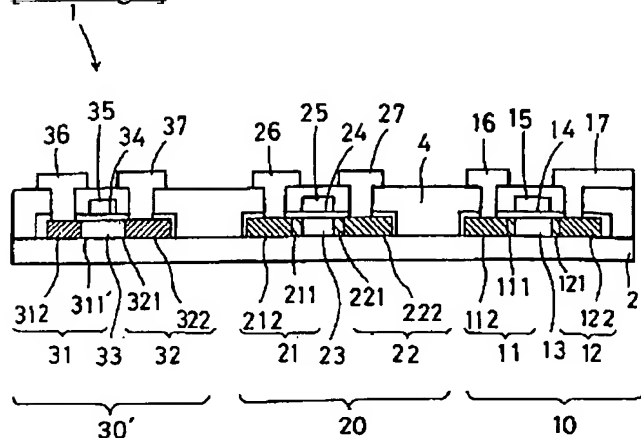
## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

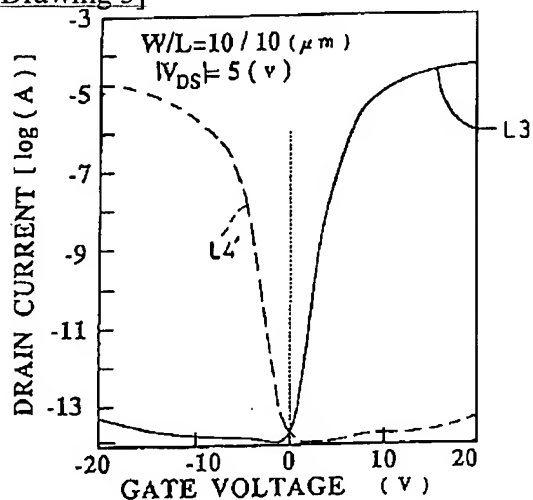
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

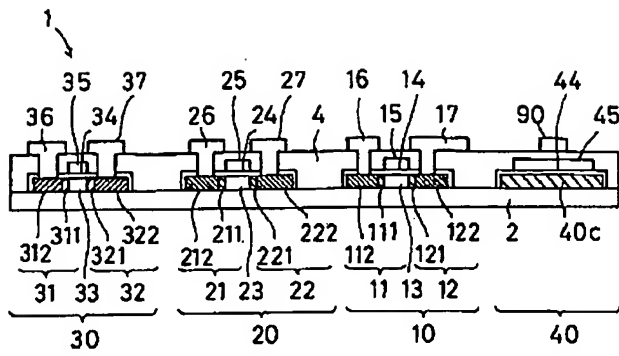
[Drawing 1]



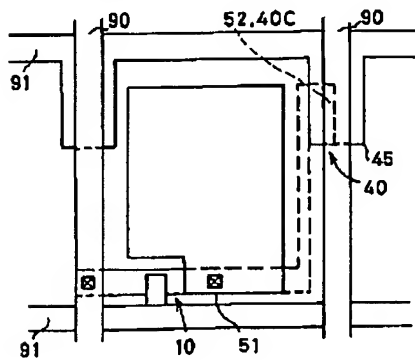
[Drawing 3]



[Drawing 7]

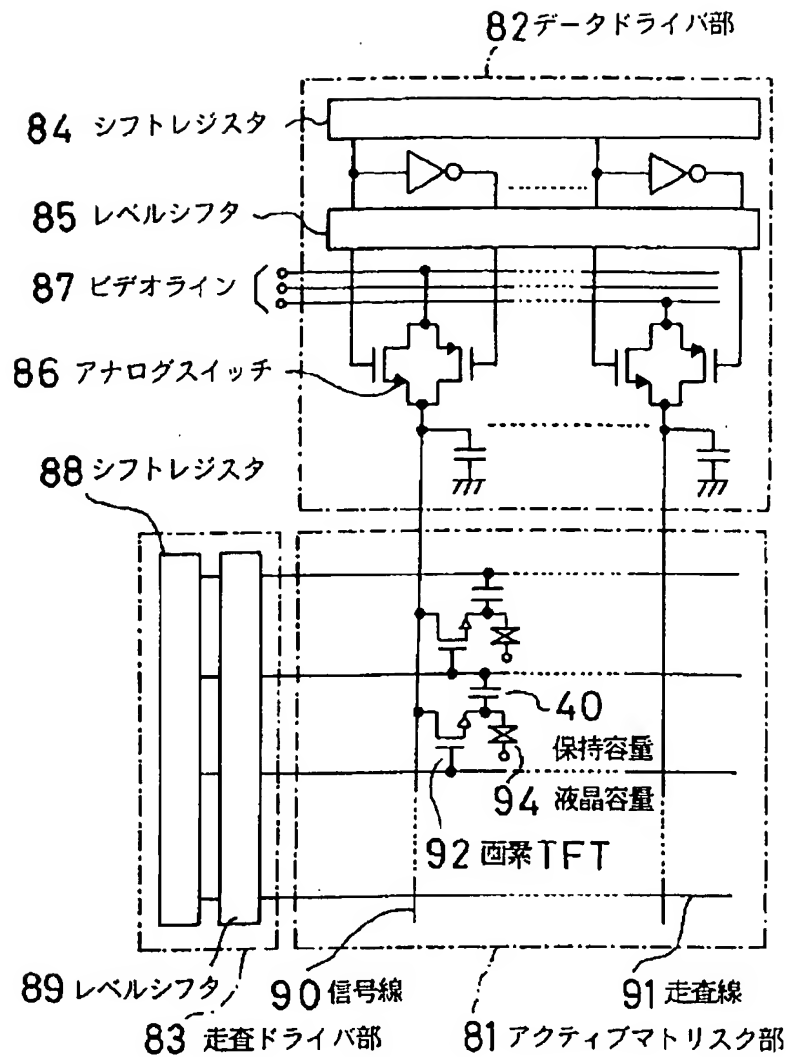


[Drawing 8]

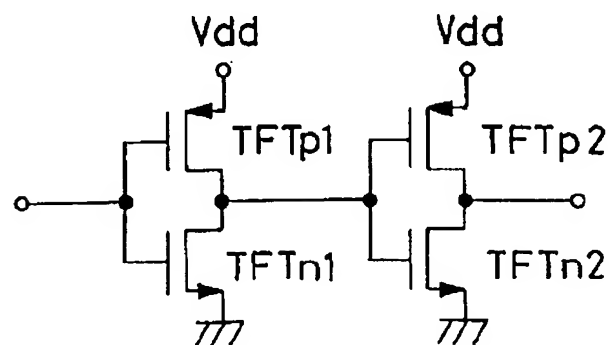


[Drawing 2]

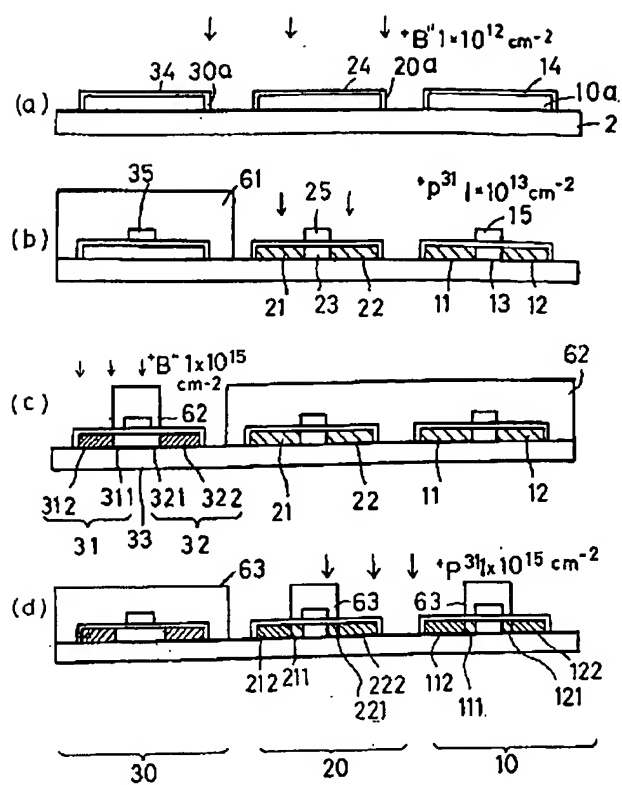
(a)



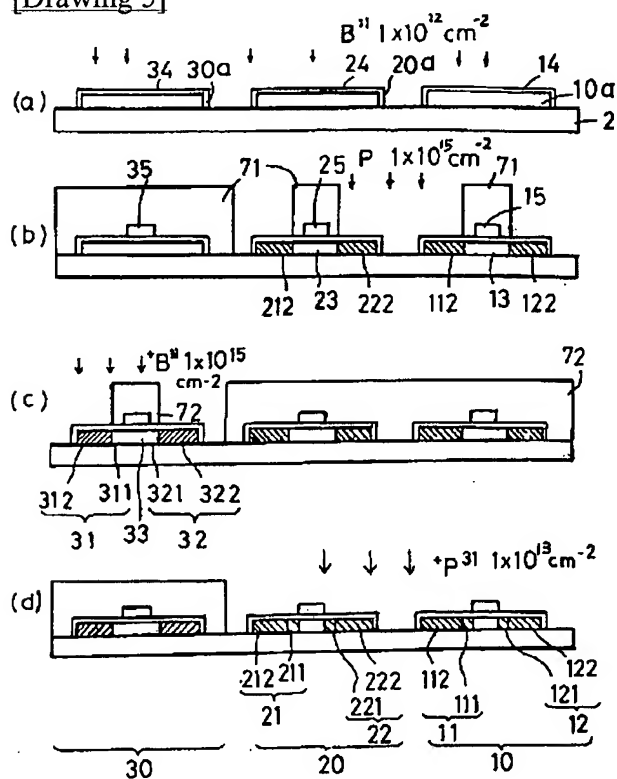
(b)



[Drawing 4]

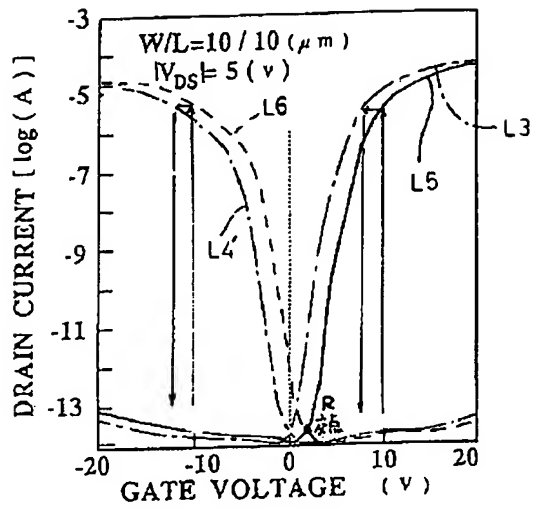


[Drawing 5]

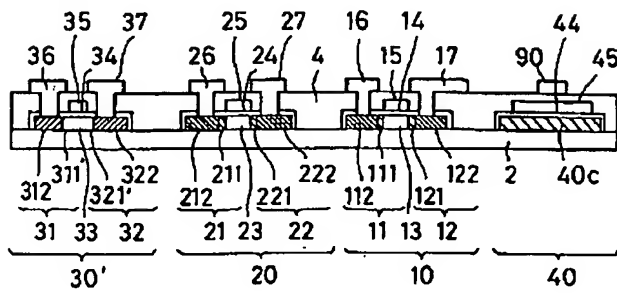


[Drawing 6]

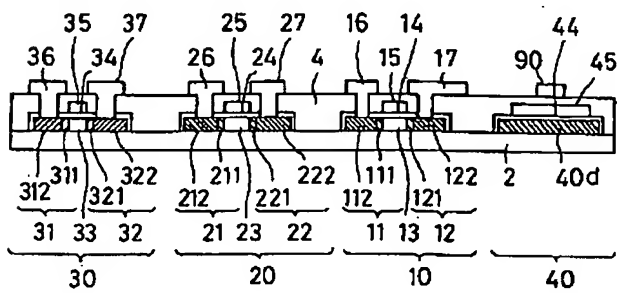




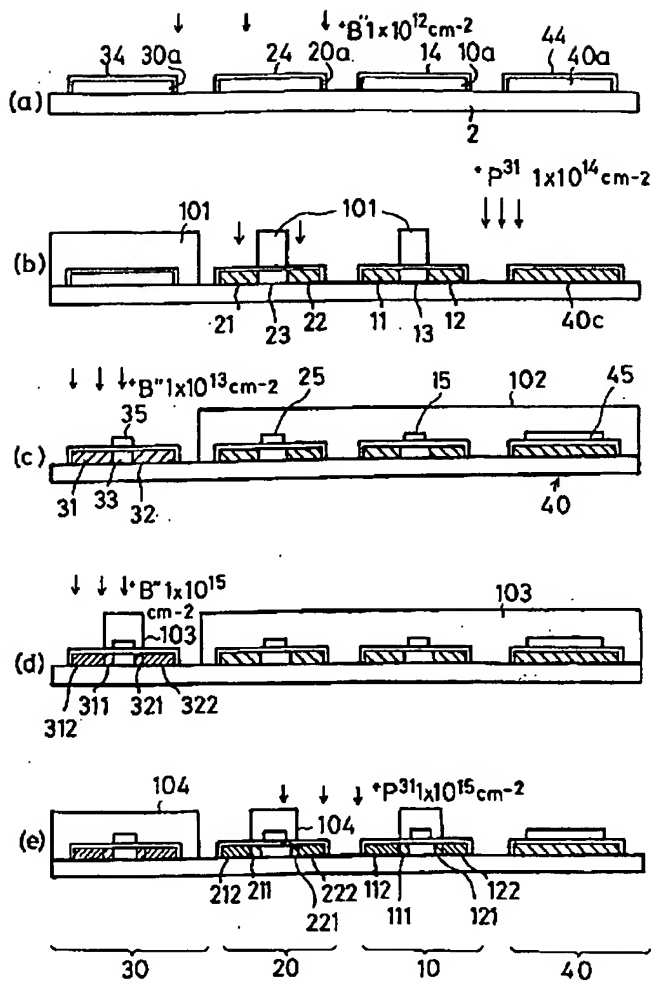
[Drawing 12]



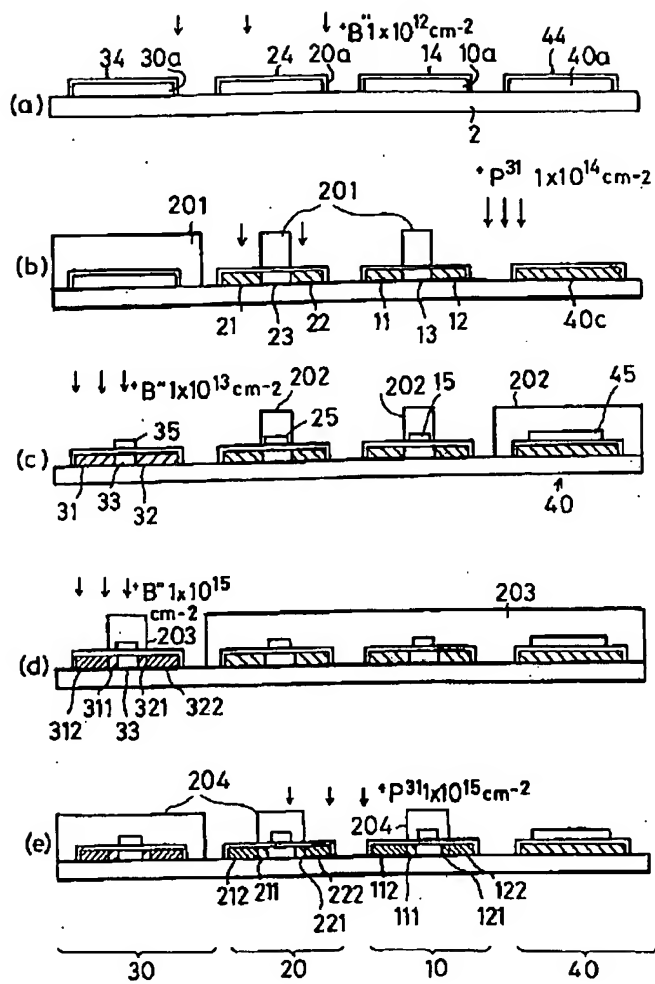
[Drawing 14]



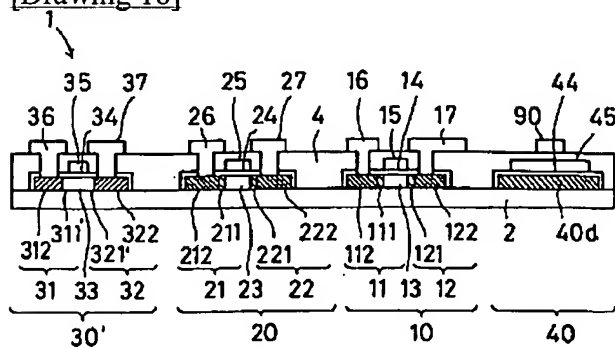
[Drawing 9]



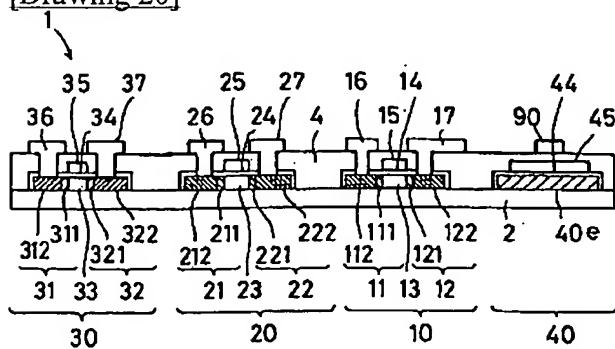
[Drawing 10]



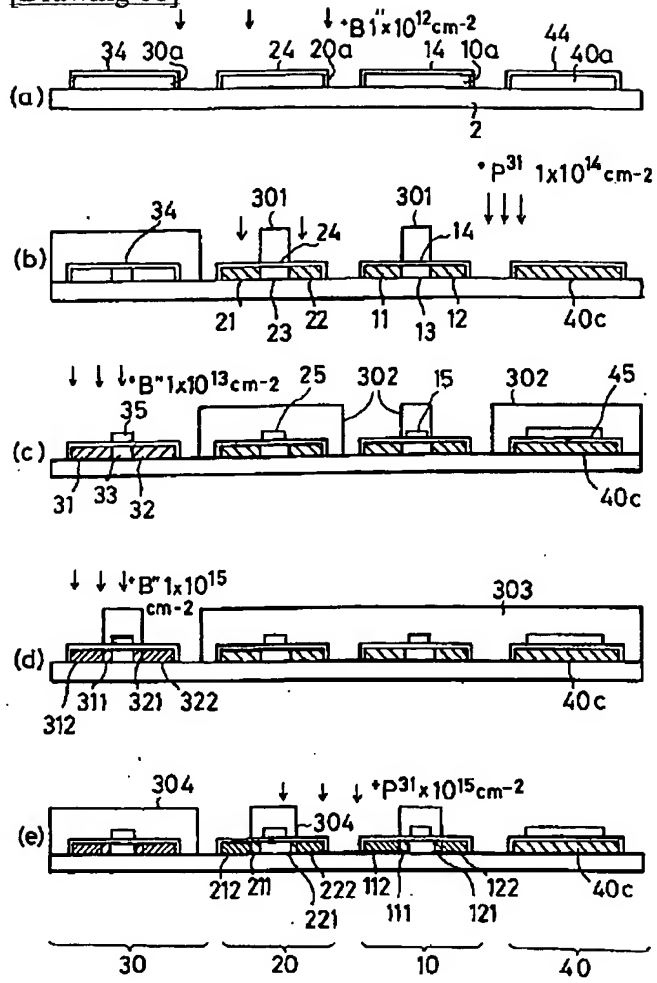
[Drawing 18]



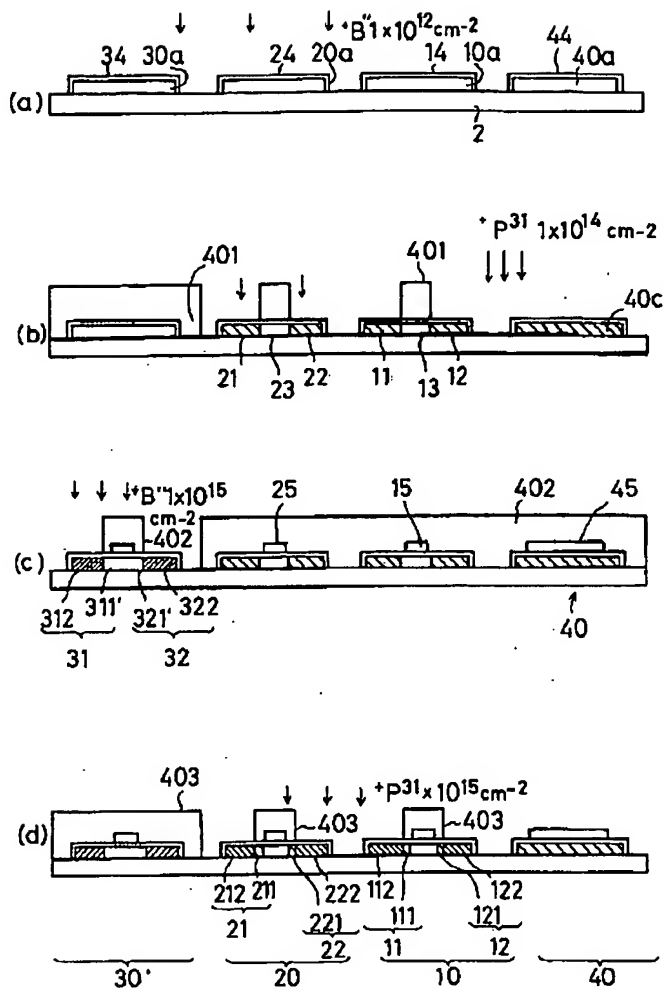
[Drawing 20]



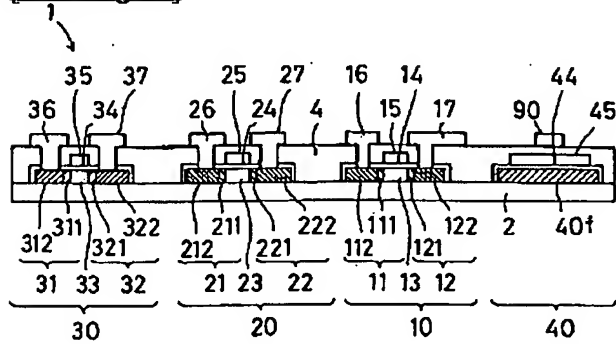
[Drawing 11]



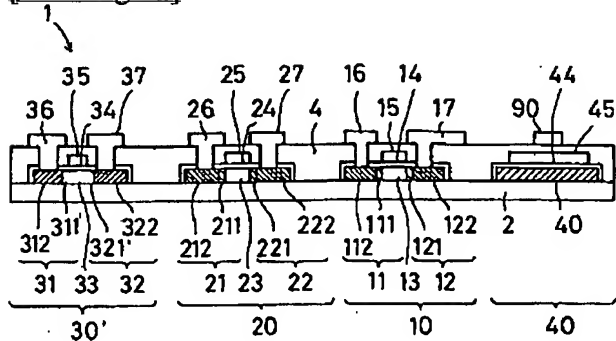
[Drawing 13]



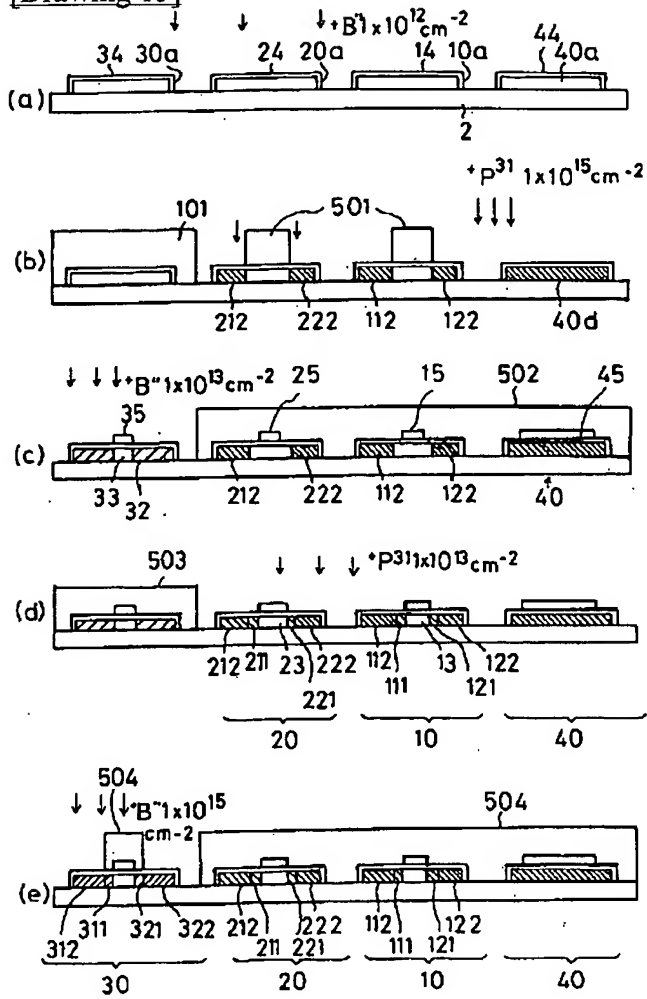
[Drawing 23]



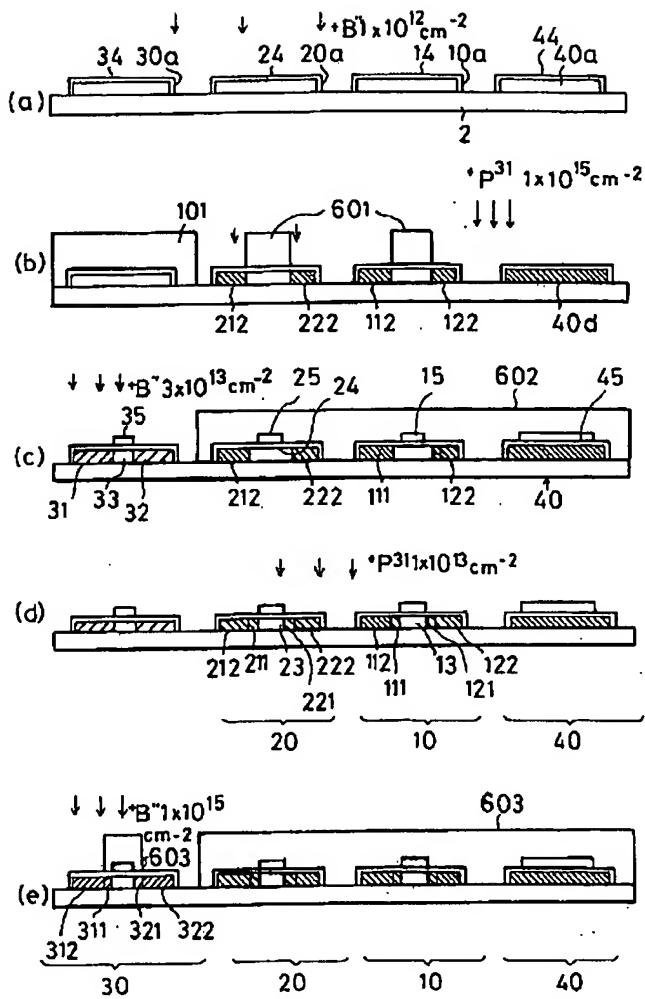
[Drawing 27]



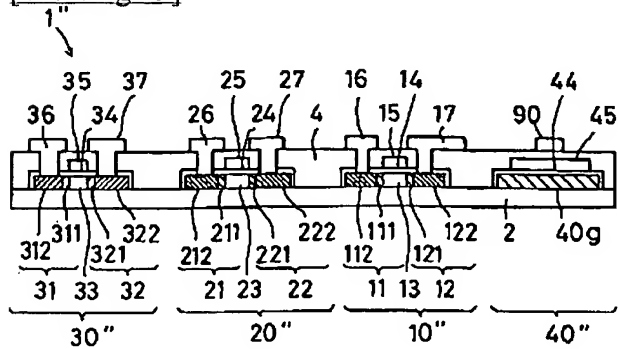
[Drawing 15]



[Drawing 16]

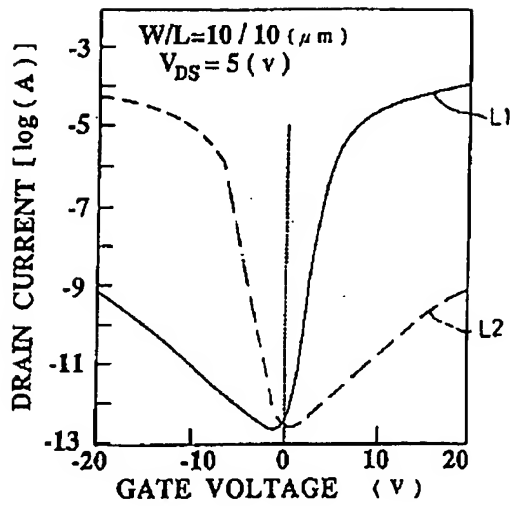


[Drawing 29]

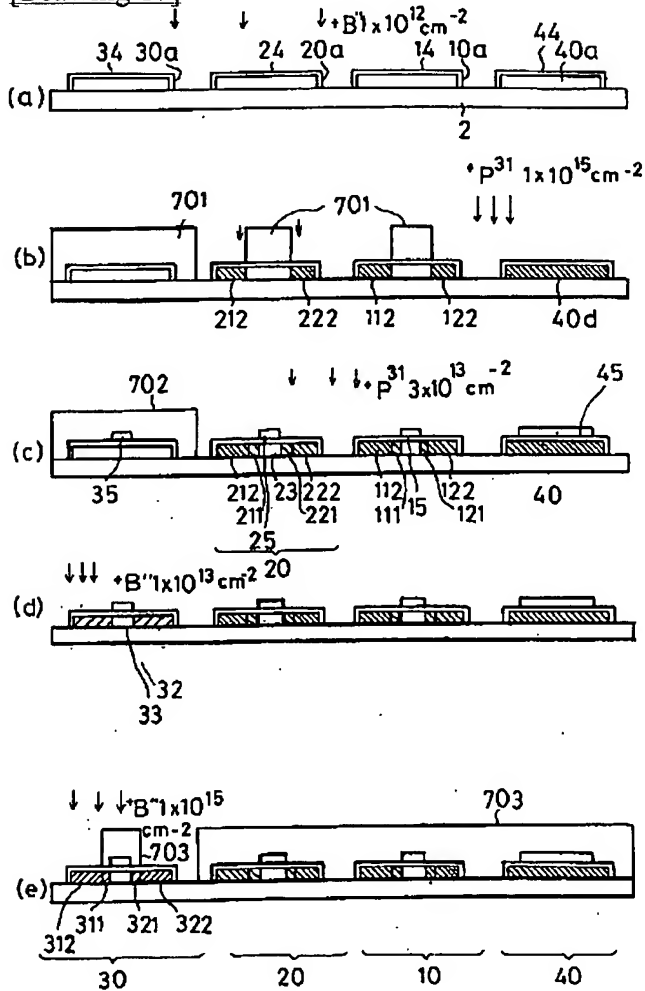


[Drawing 30]

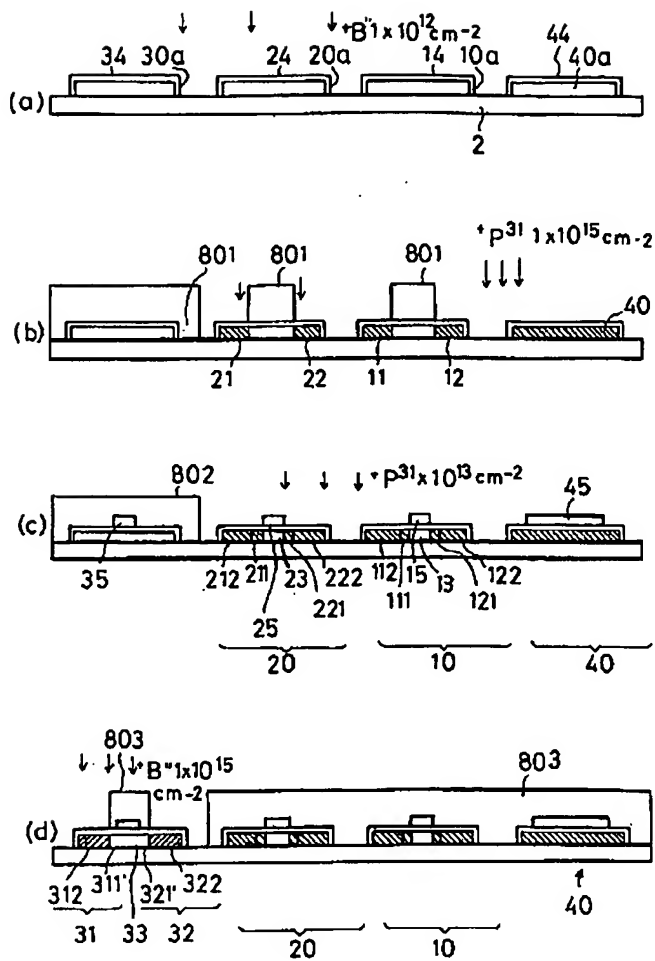




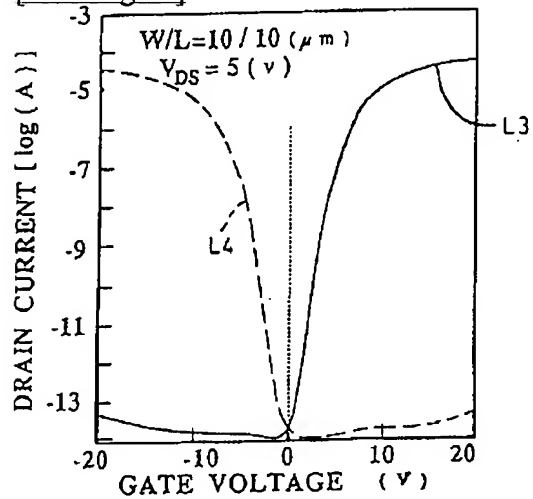
[Drawing 17]



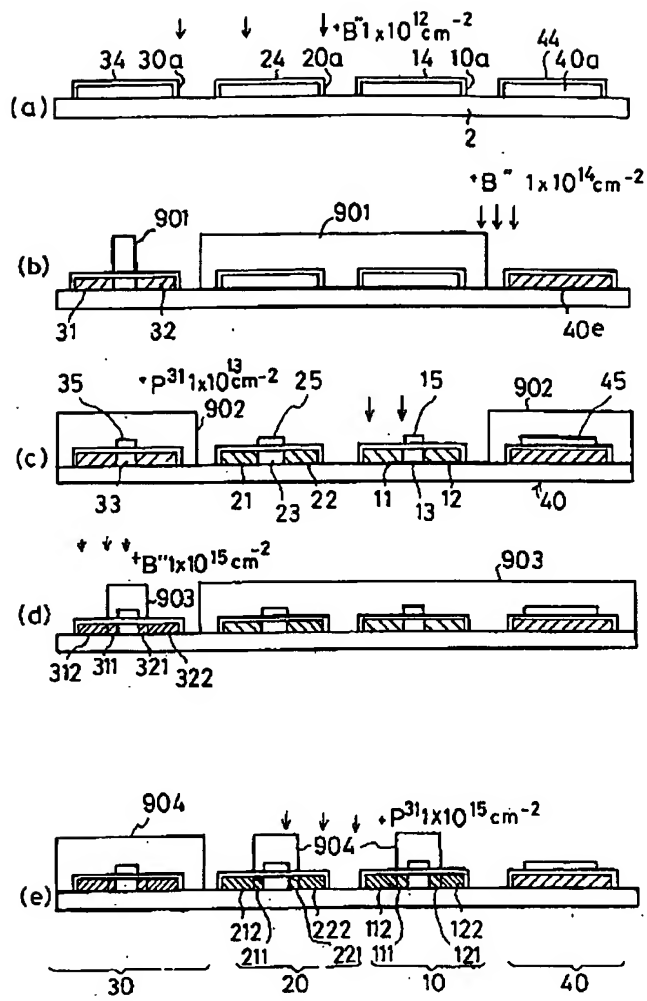
[Drawing 19]



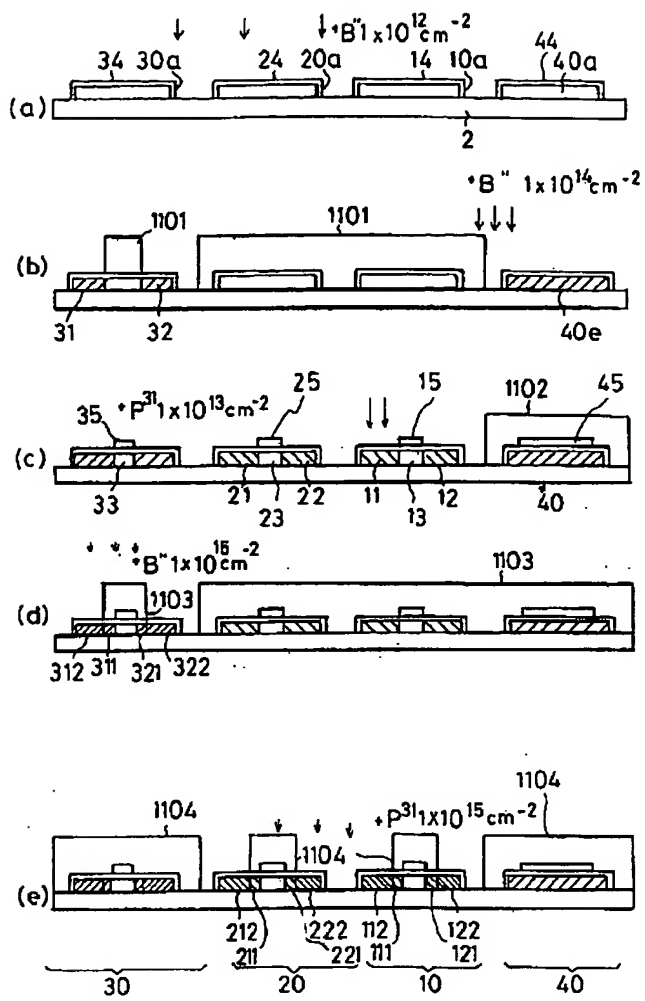
[Drawing 32]



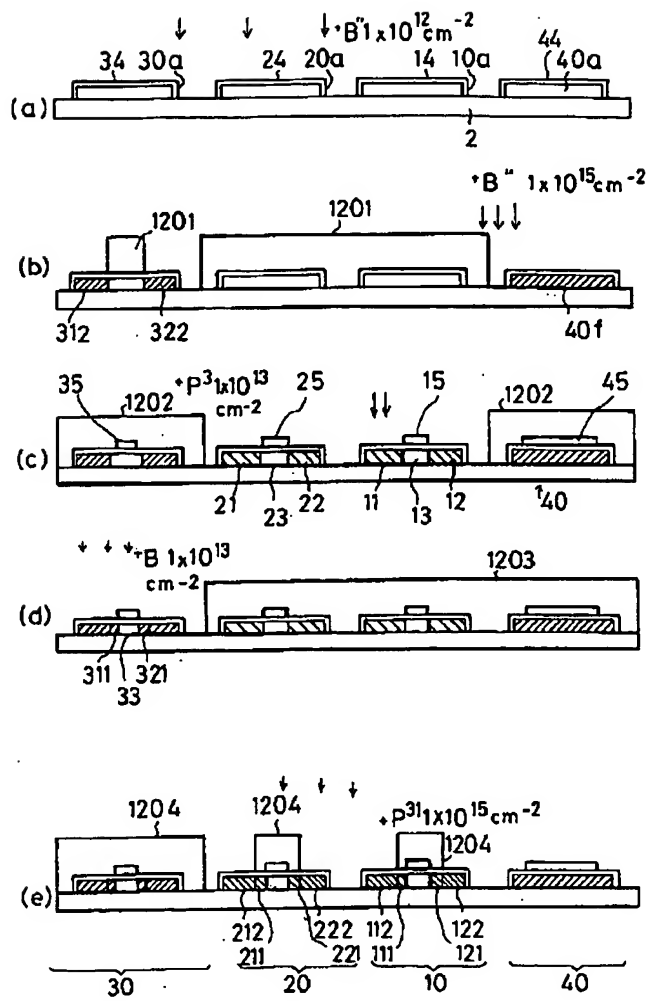
[Drawing 21]



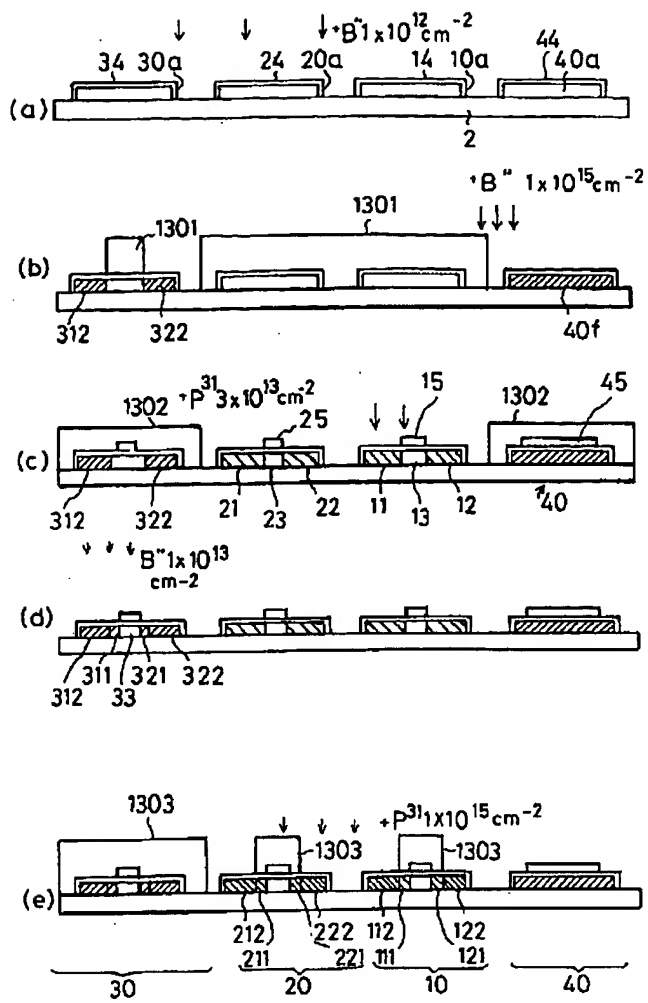
[Drawing 22]



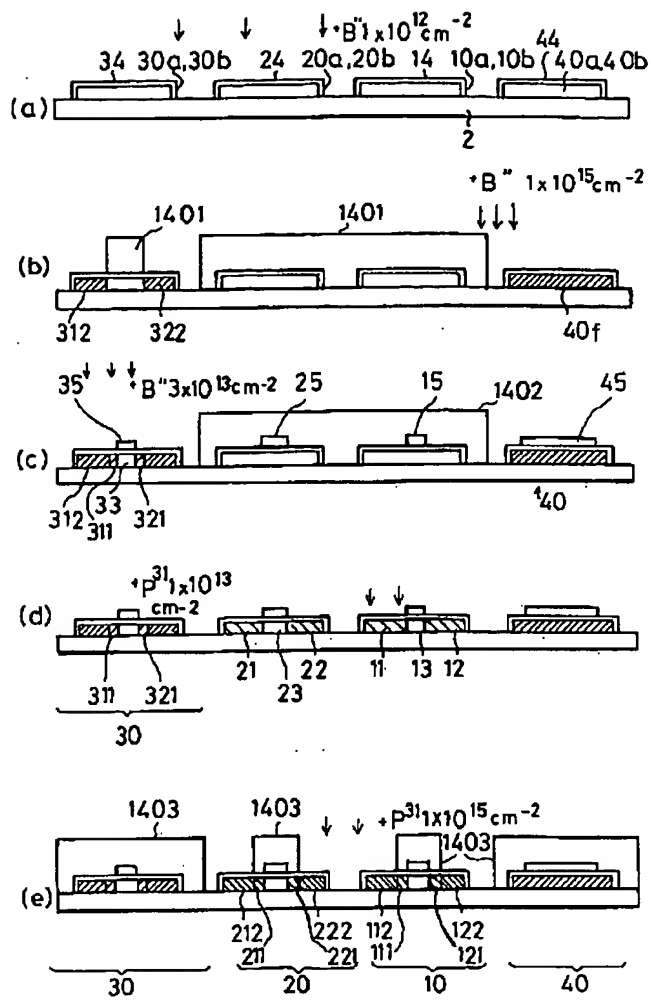
[Drawing 24]



[Drawing 25]

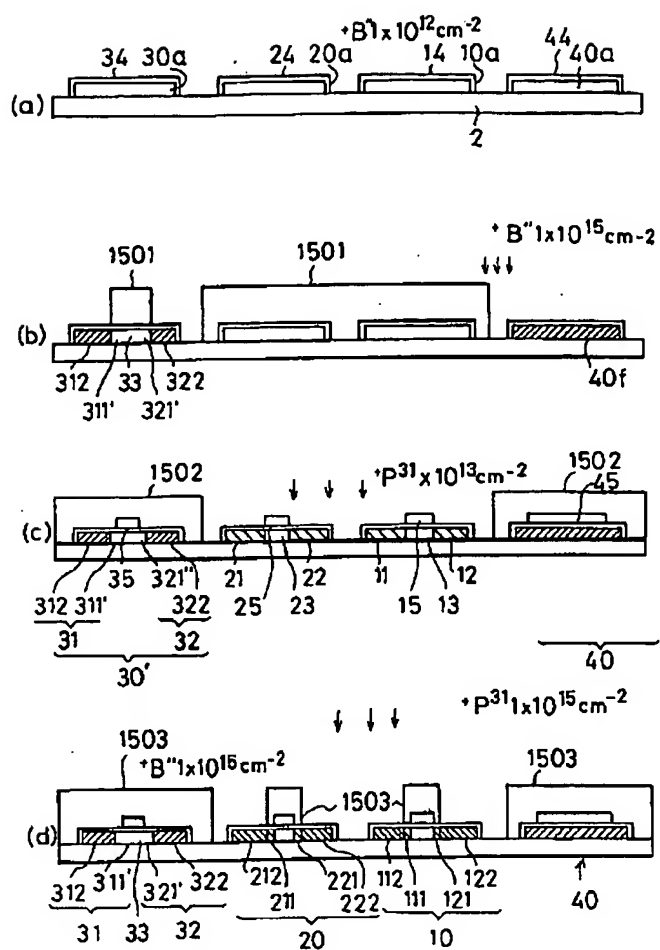


[Drawing 26]

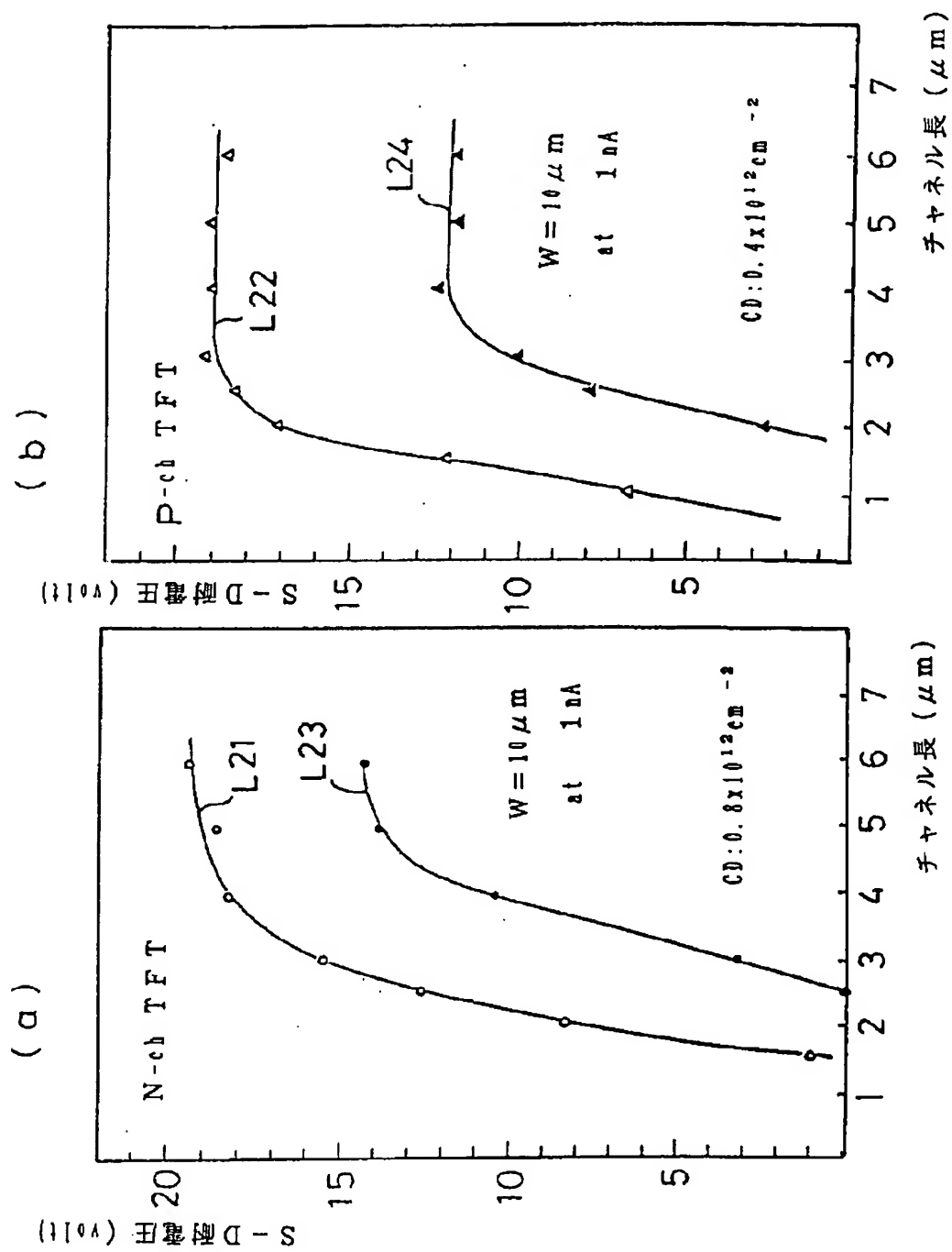


[Drawing 28]

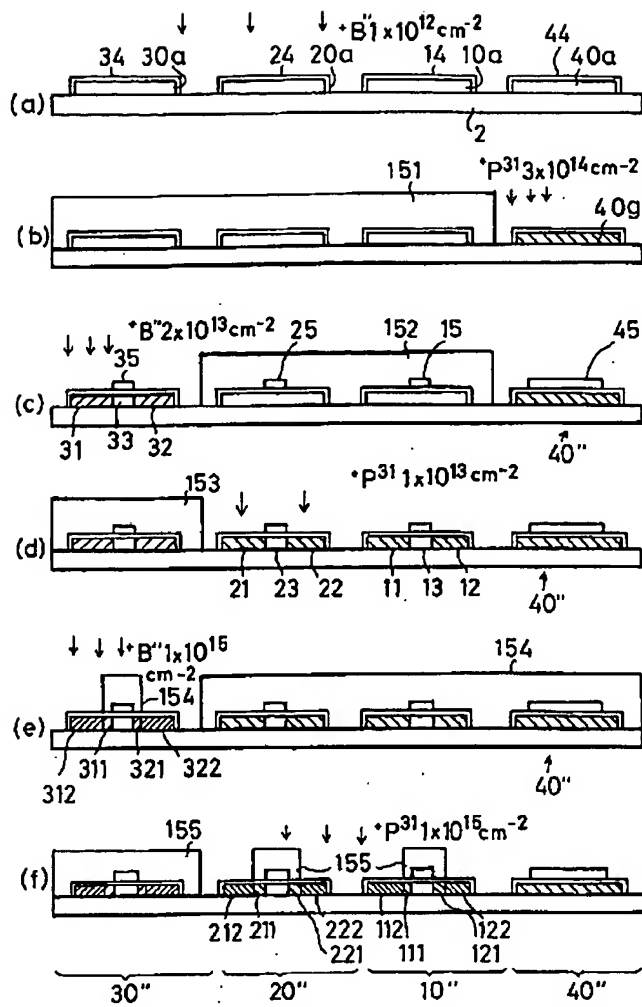




[Drawing 31]



[Drawing 33]



[Translation done.]

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-172183

(43)Date of publication of application : 30.06.1997

(51)Int.Cl.

H01L 29/786  
G02F 1/1343  
G02F 1/136  
H01L 21/336

(21)Application number : 08-237056

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 06.09.1996

(72)Inventor : MIYASAKA MITSUTOSHI

(30)Priority

Priority number : 07229541  
07270399Priority date : 06.09.1995  
18.10.1995

Priority country : JP

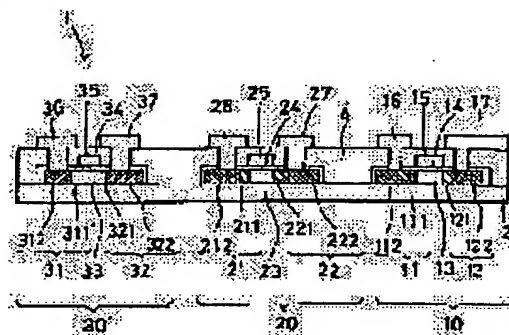
JP

## (54) SEMICONDUCTOR DEVICE, ITS FABRICATION AND ACTIVE MATRIX SUBSTRATE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which, like an active matrix substrate built in a drive circuit, at least comprises a thin film transistor (TFT), another TFT having a conductivity type different from that of the former TFT or a capacitive element, whose electrical characteristics are improved with use of a minimum number of fabricating steps, and also to provide a method for fabricating the semiconductor device.

SOLUTION: A TFT 10 of a first conductivity type for pixels and a TFT 20 of the first conductivity type for a drive circuit have a light doped drain(LDD) structure which includes low-concentration source/drain zones 111, 121, and 211, 221 of the first conductivity type in source/drain regions 11, 12, and 21, 22. Doped in channel regions 13 and 23 are a low concentration of impurities of a second conductivity type. A TFT 30 of the second conductivity type for the drive circuit has an offset gate structure. Since a low concentration of impurities of the second conductivity type are doped in the channel regions, offset regions 311' and 321' are also of the low concentration and of the second conductivity type.



## LEGAL STATUS

[Date of request for examination]

06.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-172183

(43) 公開日 平成9年(1997)6月30日

(51) Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 29/786			H 0 1 L 29/78	6 1 2 B
G 0 2 F 1/1343			G 0 2 F 1/1343	
1/136	5 0 0		1/136	5 0 0
H 0 1 L 21/336			H 0 1 L 29/78	6 1 3 A
				6 1 6 A
審査請求 未請求 請求項の数48 O L (全 61 頁) 最終頁に続く				

(21) 出願番号 特願平8-237056

(22) 出願日 平成8年(1996)9月6日

(31) 優先権主張番号 特願平7-229541

(32) 優先日 平7(1995)9月6日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平7-270399

(32) 優先日 平7(1995)10月18日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 宮坂 光敏

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

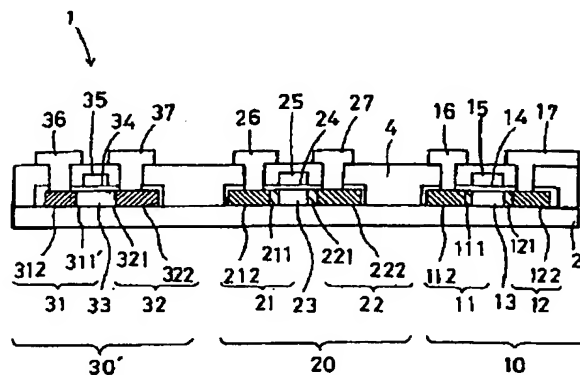
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 半導体装置とその製造方法、及びアクティブマトリクス基板

(57) 【要約】

【課題】 駆動回路内蔵のアクティブマトリクス基板の様に少なくともTFT、及びこのTFTと導電型の異なるTFT或いは容量素子を備えた半導体装置に於いて、最小限の製造工程数によって各TFTの電気的特性を向上させた半導体装置、及びその製造方法を提供する事に有る。

【解決手段】 第一導電型の画素用TFT10、第一導電型の駆動回路用TFT20は、ソース・ドレイン領域111、112、211、222に第一導電型の低濃度ソース・ドレイン領域111、121、211、221を備えるLDD構造を有する。チャネル領域113、213には、低濃度の第二導電型不純物がチャネルドーピングされて居る。第二導電型の駆動回路用TFT30は、オフセットゲート構造になって居る。チャネル領域313には、低濃度の第二導電型不純物がチャネルドーピングされている為、オフセット領域311'、321'も低濃度第二導電型領域で有る。



## 【特許請求の範囲】

【請求項1】 第一ゲート電極に第一ゲート絶縁膜を介して対峙する第一チャネル領域と第一導電型高濃度ソース・ドレイン領域を備える第一導電型薄膜トランジスタと、第二ゲート電極に第二ゲート絶縁膜を介して対峙する第二チャネル領域と第二導電型高濃度ソース・ドレイン領域を備える第二導電型薄膜トランジスタ、とを有する半導体装置に於いて、

該第一導電型薄膜トランジスタは該第一導電型高濃度ソース・ドレイン領域と該第一チャネル領域の間に第一導電型低濃度ソース・ドレイン領域を具備するLDD構造を成し、該第一チャネル領域は極低濃度の第二導電型不純物を含み、

該第二導電型薄膜トランジスタは該第二導電型高濃度ソース・ドレイン領域と該第二チャネル領域の間に該第二チャネル領域と同じ不純物濃度を有するオフセット領域を具備するオフセット構造を成し、該第二チャネル領域は極低濃度の第二導電型不純物を含んで居る事を特徴とする半導体装置。

【請求項2】 請求項1に於いて、前記第一導電型薄膜トランジスタのソース・ドレイン電圧を $V_{DS1}$ 、ゲート電圧を $V_{GS1}$ 、ソース・ドレイン電流を $I_{DS1}$ とし、前記第二導電型薄膜トランジスタのソース・ドレイン電圧を $V_{DS2}$ 、ゲート電圧を $V_{GS2}$ 、ソース・ドレイン電流を $I_{DS2}$ とした時に $|V_{DS1}| = |V_{DS2}|$ 、且つ $V_{GS1} = V_{GS2} = 0$ の条件下にて $I_{DS2} > I_{DS1}$ と成る様に、前記第二チャネル領域と前記オフセット領域の第二導電型不純物濃度が定められて居る事を特徴とする半導体装置。

【請求項3】 請求項1に於いて、前記第一導電型薄膜トランジスタのソース・ドレイン電圧を $V_{DS1}$ 、ゲート電圧を $V_{GS1}$ 、ソース・ドレイン電流を $I_{DS1}$ とし、前記第二導電型薄膜トランジスタのソース・ドレイン電圧を $V_{DS2}$ 、ゲート電圧を $V_{GS2}$ 、ソース・ドレイン電流を $I_{DS2}$ とした時に $|V_{DS1}| = |V_{DS2}|$ 、且つ $V_{GS1} = V_{GS2}$ の条件下にて $I_{DS2} = I_{DS1}$ と成る時のゲート電圧が0Vから前記第一導電型薄膜トランジスタがオン状態と成る方向にシフトして居る様に、前記第二チャネル領域と前記オフセット領域の第二導電型不純物濃度が定められて居る事を特徴とする半導体装置。

【請求項4】 請求項1乃至3のいずれかの項に於いて、前記第一チャネル領域が含有する第二導電型不純物濃度と、前記第二チャネル領域が含む第二導電型不純物濃度と、前記オフセット領域が含む第二導電型不純物濃度が総て等しい事を特徴とする半導体装置。

【請求項5】 請求項1乃至4のいずれかの項に於いて、前記第一導電型はN型で有り、前記第二導電型はP型で有る事を特徴とする半導体装置。

【請求項6】 請求項1乃至4のいずれかの項に於いて、前記第一導電型はP型で有り、前記第二導電型はN型で有る事を特徴とする半導体装置。

【請求項7】 請求項1乃至6のいずれかの項に規定する半導体装置を用いたアクティブマトリクス基板で有り、

前記第一導電型薄膜トランジスタ及び前記第二導電型薄膜トランジスタは駆動回路領域に於いてCMOS回路を構成し、

前記第一導電型薄膜トランジスタ又は第二導電型薄膜トランジスタの内の少なくとも一方の薄膜トランジスタは画素領域に於いて画素用薄膜トランジスタを成している事を特徴とするアクティブマトリクス基板。

【請求項8】 請求項1に記載する半導体装置の製造方法に於いて、

前記第一チャネル領域と前記第二チャネル領域と前記オフセット領域を形成する為に第二導電型不純物を極低濃度にて半導体膜に導入する極低濃度第二導電型不純物導入工程と、

前記第一ゲート電極と前記第二ゲート電極を形成するゲート電極形成工程と、

前記第一導電型低濃度ソース・ドレイン領域を形成する為に第一導電型不純物を低濃度にて半導体膜に導入する低濃度第一導電型不純物導入工程と、

前記第一導電型高濃度ソース・ドレイン領域を形成する為に第一導電型不純物を高濃度にて半導体膜に導入する高濃度第一導電型不純物導入工程と、

前記第二導電型高濃度ソース・ドレイン領域を形成する為に第二導電型不純物を高濃度にて半導体膜に導入する高濃度第二導電型不純物導入工程とを有し、

該極低濃度第二導電型不純物導入工程は該ゲート電極形成工程前に行われ、該低濃度第一導電型不純物導入工程は該ゲート電極形成後に行われる事を特徴とする半導体装置の製造方法。

【請求項9】 請求項8に於いて、前記極低濃度第二導電型不純物導入工程は第二導電型不純物を極低濃度を含むドーパント半導体膜を成膜する工程で有り、

該極低濃度第二導電型不純物導入工程後にゲート絶縁膜を形成する事を特徴とする半導体装置の製造方法。

【請求項10】 請求項8に於いて、前記極低濃度第二導電型不純物導入工程はこの工程以前に形成した半導体膜に対して第二導電型不純物を極低濃度にて導入する工程で有り、該極低濃度第二導電型不純物導入工程後にゲート絶縁膜を形成する事を特徴とする半導体装置の製造方法。

【請求項11】 請求項8に於いて、前記極低濃度第二導電型不純物導入工程はこの工程以前に形成した半導体膜に対してその表面に形成したゲート絶縁膜を介して第二導電型不純物を極低濃度にて導入する工程で有る事を特徴とする半導体装置の製造方法。

【請求項12】 第一ゲート電極に第一ゲート絶縁膜を介して対峙する第一チャネル領域と第一導電型高濃度ソース・ドレイン領域を備える第一導電型薄膜トランジスタと、第二ゲート電極に第二ゲート絶縁膜を介して対峙する第二チャネル領域と第二導電型高濃度ソース・ドレイン領域を備える第二導電型薄膜トランジスタ、とを有する半導体装置に於いて、



タと、第二ゲート電極に第二ゲート絶縁膜を介して対峙する第二チャネル領域と第二導電型高濃度ソース・ドレイン領域を備える第二導電型薄膜トランジスタ、とを有する半導体装置に於いて、

該第一導電型薄膜トランジスタは該第一導電型高濃度ソース・ドレイン領域と該第一チャネル領域の間に第一導電型低濃度ソース・ドレイン領域を具備するLDD構造を成し、該第一チャネル領域は極低濃度の第一導電型不純物を含み、

該第二導電型薄膜トランジスタは該第二導電型高濃度ソース・ドレイン領域と該第二チャネル領域の間に該第二チャネル領域と同じ不純物濃度を有するオフセット領域を具備するオフセット構造を成し、該第二チャネル領域は極低濃度の第一導電型不純物を含んで居る事を特徴とする半導体装置。

【請求項13】 請求項12に於いて、前記第一導電型薄膜トランジスタのソース・ドレイン電圧を $V_{DS1}$ 、ゲート電圧を $V_{GS1}$ 、ソース・ドレイン電流を $I_{DS1}$ とし、前記第二導電型薄膜トランジスタのソース・ドレイン電圧を $V_{DS2}$ 、ゲート電圧を $V_{GS2}$ 、ソース・ドレイン電流を $I_{DS2}$ とした時に $|V_{DS1}| = |V_{DS2}|$ 、且つ $V_{GS1} = V_{GS2} = 0$ の条件下にて $I_{DS2} > I_{DS1}$ と成る様に、前記第二チャネル領域と前記オフセット領域の第一導電型不純物濃度が定められて居る事を特徴とする半導体装置。

【請求項14】 請求項12に於いて、前記第一導電型薄膜トランジスタのソース・ドレイン電圧を $V_{DS1}$ 、ゲート電圧を $V_{GS1}$ 、ソース・ドレイン電流を $I_{DS1}$ とし、前記第二導電型薄膜トランジスタのソース・ドレイン電圧を $V_{DS2}$ 、ゲート電圧を $V_{GS2}$ 、ソース・ドレイン電流を $I_{DS2}$ とした時に $|V_{DS1}| = |V_{DS2}|$ 、且つ $V_{GS1} = V_{GS2}$ の条件下にて $I_{DS2} = I_{DS1}$ と成る時のゲート電圧が0Vから前記第一導電型薄膜トランジスタがオン状態と成る方向にシフトして居る様に、前記第二チャネル領域と前記オフセット領域の第一導電型不純物濃度が定められて居る事を特徴とする半導体装置。

【請求項15】 請求項12乃至14のいずれかの項に於いて、前記第一チャネル領域が含有する第一導電型不純物濃度と、前記第二チャネル領域が含む第一導電型不純物濃度と、前記オフセット領域が含む第一導電型不純物濃度が総て等しい事を特徴とする半導体装置。

【請求項16】 請求項12乃至15のいずれかの項に於いて、前記第一導電型はN型で有り、前記第二導電型はP型で有る事を特徴とする半導体装置。

【請求項17】 請求項12乃至15のいずれかの項に於いて、前記第一導電型はP型で有り、前記第二導電型はN型で有る事を特徴とする半導体装置。

【請求項18】 請求項12乃至17のいずれかの項に規定する半導体装置を用いたアクティブマトリクス基板で有り、

前記第一導電型薄膜トランジスタ及び前記第二導電型薄

膜トランジスタは駆動回路領域に於いてCMOS回路を構成し、

前記第一導電型薄膜トランジスタ又は第二導電型薄膜トランジスタの内の少なくとも一方の薄膜トランジスタは画素領域に於いて画素用薄膜トランジスタを成している事を特徴とするアクティブマトリクス基板。

【請求項19】 請求項12に記載する半導体装置の製造方法に於いて、

前記第一チャネル領域と前記第二チャネル領域と前記オフセット領域を形成する為に第一導電型不純物を極低濃度にて半導体膜に導入する極低濃度第一導電型不純物導入工程と、

前記第一ゲート電極と前記第二ゲート電極を形成するゲート電極形成工程と、

前記第一導電型低濃度ソース・ドレイン領域を形成する為に第一導電型不純物を低濃度にて半導体膜に導入する低濃度第一導電型不純物導入工程と、

前記第一導電型高濃度ソース・ドレイン領域を形成する為に第一導電型不純物を高濃度にて半導体膜に導入する高濃度第一導電型不純物導入工程と、

前記第二導電型高濃度ソース・ドレイン領域を形成する為に第二導電型不純物を高濃度にて半導体膜に導入する高濃度第二導電型不純物導入工程とを有し、

該極低濃度第一導電型不純物導入工程は該ゲート電極形成工程前に行われ、該低濃度第一導電型不純物導入工程は該ゲート電極形成後に行われる事を特徴とする半導体装置の製造方法。

【請求項20】 請求項19に於いて、前記極低濃度第一導電型不純物導入工程は第一導電型不純物を極低濃度に含むドーパント半導体膜を成膜する工程で有り、該極低濃度第一導電型不純物導入工程後にゲート絶縁膜を形成する事を特徴とする半導体装置の製造方法。

【請求項21】 請求項19に於いて、前記極低濃度第一導電型不純物導入工程はこの工程以前に形成した半導体膜に対して第一導電型不純物を極低濃度にて導入する工程で有り、該極低濃度第一導電型不純物導入工程後にゲート絶縁膜を形成する事を特徴とする半導体装置の製造方法。

【請求項22】 請求項19に於いて、前記極低濃度第一導電型不純物導入工程はこの工程以前に形成した半導体膜に対してその表面に形成したゲート絶縁膜を介して第一導電型不純物を極低濃度にて導入する工程で有る事を特徴とする半導体装置の製造方法。

【請求項23】 第一ゲート電極に第一ゲート絶縁膜を介して対峙する第一チャネル領域と第一導電型高濃度ソース・ドレイン領域を備える第一導電型薄膜トランジスタと、第二ゲート電極に第二ゲート絶縁膜を介して対峙する第二チャネル領域と第二導電型高濃度ソース・ドレイン領域を備える第二導電型薄膜トランジスタ、とを有する半導体装置に於いて、

該第一導電型薄膜トランジスタは該第一導電型高濃度ソース・ドレイン領域と該第一チャネル領域の間に第一導電型低濃度ソース・ドレイン領域を具備するLDD構造を成し、該第一チャネル領域は略真性で有り、

該第二導電型薄膜トランジスタは該第二導電型高濃度ソース・ドレイン領域と該第二チャネル領域の間に該第二チャネル領域と同じ不純物濃度を有するオフセット領域を具備するオフセット構造を成し、該第二チャネル領域は略真性で有る事を特徴とする半導体装置。

【請求項24】 請求項23に於いて、前記第一導電型はN型で有り、前記第二導電型はP型で有る事を特徴とする半導体装置。

【請求項25】 請求項23に於いて、前記第一導電型はP型で有り、前記第二導電型はN型で有る事を特徴とする半導体装置。

【請求項26】 請求項23乃至25のいずれかの項に規定する半導体装置を用いたアクティブマトリクス基板で有り、

前記第一導電型薄膜トランジスタ及び前記第二導電型薄膜トランジスタは駆動回路領域に於いてCMOS回路を構成し、

前記第一導電型薄膜トランジスタ又は第二導電型薄膜トランジスタの内の少なくとも一方の薄膜トランジスタは画素領域に於いて画素用薄膜トランジスタを成している事を特徴とするアクティブマトリクス基板。

【請求項27】 ゲート電極にゲート絶縁膜を介して対峙するチャネル領域と該チャネル領域に接続するソース・ドレイン領域を備える薄膜トランジスタ、及び誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子とを有する半導体装置に於いて、前記薄膜トランジスタはソース・ドレイン領域がゲート電極の端部にゲート絶縁膜を介して対峙する低濃度ソース・ドレイン領域及び該低濃度ソース・ドレイン領域に隣接する高濃度ソース・ドレイン領域を具備するLDD構造を成し、

前記第一電極部は前記低濃度ソース・ドレイン領域と導電型が同じで該導電型の不純物濃度が同等の同一の半導体膜から構成されている事を特徴とする半導体装置。

【請求項28】 ゲート電極にゲート絶縁膜を介して対峙するチャネル領域と該チャネル領域に接続するソース・ドレイン領域を備える薄膜トランジスタ、及び誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子とを有する半導体装置に於いて、前記薄膜トランジスタはソース・ドレイン領域がゲート電極の端部にゲート絶縁膜を介して対峙する低濃度ソース・ドレイン領域及び該低濃度ソース・ドレイン領域に隣接する高濃度ソース・ドレイン領域を具備するLDD構造を成し、

前記第一電極部は前記高濃度ソース・ドレイン領域と導電型が同じで該導電型の不純物濃度が同等の同一の半導

体膜から構成されている事を特徴とする半導体装置。

【請求項29】 ゲート電極にゲート絶縁膜を介して対峙するチャネル領域とドナー不純物又はアクセプター不純物を高濃度を含むソース・ドレイン領域を備える薄膜トランジスタ、及び誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子とを有する半導体装置に於いて、

前記薄膜トランジスタは該ソース・ドレイン領域端部と該チャネル領域端部の間に該チャネル領域と同等の不純物濃度を有するオフセット領域を備え、

前記第一電極部は前記高濃度ソース・ドレイン領域と導電型が同じで該導電型の不純物濃度が同等の同一の半導体膜から構成されている事を特徴とする半導体装置。

【請求項30】 ゲート電極にゲート絶縁膜を介して対峙するチャネル領域と該チャネル領域に接続するソース・ドレイン領域を備える第一導電型及び第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子とを有する半導体装置に於いて、

20 前記第一導電型及び第二導電型薄膜トランジスタはソース・ドレイン領域がゲート電極の端部にゲート絶縁膜を介して対峙する低濃度ソース・ドレイン領域と該低濃度ソース・ドレイン領域に隣接する高濃度ソース・ドレイン領域とを備えるLDD構造を成し、

前記第一電極部は前記第一導電型及び第二導電型薄膜トランジスタの前記低濃度ソース・ドレイン領域と導電型が同じで該導電型の不純物濃度が同等の同一の半導体膜から構成されている事を特徴とする半導体装置。

【請求項31】 ゲート電極にゲート絶縁膜を介して対峙するチャネル領域と該チャネル領域に接続するソース・ドレイン領域を備える第一導電型及び第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子とを有する半導体装置に於いて、

前記第一導電型及び第二導電型薄膜トランジスタはソース・ドレイン領域がゲート電極の端部にゲート絶縁膜を介して対峙する低濃度ソース・ドレイン領域と該低濃度ソース・ドレイン領域に隣接する高濃度ソース・ドレイン領域とを備えるLDD構造を成し、

40 前記第一電極部は前記第一導電型及び第二導電型薄膜トランジスタの前記高濃度ソース・ドレイン領域と導電型が同じで該導電型の不純物濃度が同等の同一の半導体膜から構成されている事を特徴とする半導体装置。

【請求項32】 請求項30に於いて、前記第一電極部は前記第一導電型薄膜トランジスタの低濃度ソース・ドレイン領域が有する第一導電型不純物と同量の第一導電型不純物を含有する半導体膜から構成され、

該第一導電型薄膜トランジスタの低濃度ソース・ドレイン領域は第一導電型不純物と共に該第一導電型不純物量よりも少なく、且つ前記第二導電型薄膜トランジスタの

低濃度ソース・ドレイン領域と同量の第二導電型不純物を含む事の特徴とする半導体装置。

【請求項 33】 請求項 30 に於いて、前記第一電極部は前記第二導電型薄膜トランジスタの低濃度ソース・ドレイン領域が有する第二導電型不純物と同量の第二導電型不純物を含有する半導体膜から構成され、前記第一導電型薄膜トランジスタの低濃度ソース・ドレイン領域は第一導電型不純物と共に該第一導電型不純物量よりも少なく、且つ前記第二導電型薄膜トランジスタの低濃度ソース・ドレイン領域と同量の第二導電型不純物を含む事の特徴とする半導体装置。

【請求項 34】 請求項 31 に於いて、前記第一電極部は前記第一導電型薄膜トランジスタの高濃度ソース・ドレイン領域が有する第一導電型不純物と同量の第一導電型不純物を含有する半導体膜から構成され、該第一導電型薄膜トランジスタの低濃度ソース・ドレイン領域は第一導電型不純物と共に該第一導電型不純物量よりも少なく、且つ前記第二導電型薄膜トランジスタの低濃度ソース・ドレイン領域と同量の第二導電型不純物を含む事の特徴とする半導体装置。

【請求項 35】 請求項 31 に於いて、前記第一電極部は前記第二導電型薄膜トランジスタの高濃度ソース・ドレイン領域が有する第二導電型不純物と同量の第二導電型不純物を含有する半導体膜から構成され、前記第一導電型薄膜トランジスタの低濃度ソース・ドレイン領域は第一導電型不純物と共に該第一導電型不純物量よりも少なく、且つ前記第二導電型薄膜トランジスタの低濃度ソース・ドレイン領域と同量の第二導電型不純物を含む事の特徴とする半導体装置。

【請求項 36】 ゲート電極にゲート絶縁膜を介して対峙するチャネル領域と第一導電型不純物を高濃度に含む高濃度第一導電型ソース・ドレイン領域を備える第一導電型薄膜トランジスタと、ゲート電極にゲート絶縁膜を介して対峙するチャネル領域と第二導電型不純物を高濃度に含む高濃度第二導電型ソース・ドレイン領域を備える第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子、とを有する半導体装置に於いて、前記第一導電型薄膜トランジスタは前記高濃度第一導電型ソース・ドレイン領域端部と前記チャネル領域端部の間に低濃度第一導電型ソース・ドレイン領域を具備する LDD 構造を成し、前記第二導電型薄膜トランジスタは前記高濃度第二導電型ソース・ドレイン領域端部と前記チャネル領域端部の間に該チャネル領域と同等の不純物濃度を有するオフセット領域を備え、前記第一電極部は前記第一導電型薄膜トランジスタの低濃度第一導電型ソース・ドレイン領域と同量の第一導電型不純物を含む半導体膜から構成されている事の特徴とする半導体装置。

【請求項 37】 ゲート電極にゲート絶縁膜を介して対峙するチャネル領域と第一導電型不純物を高濃度に含む高濃度第一導電型ソース・ドレイン領域を備える第一導電型薄膜トランジスタと、ゲート電極にゲート絶縁膜を介して対峙するチャネル領域と第二導電型不純物を高濃度に含む高濃度第二導電型ソース・ドレイン領域を備える第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子とを有する半導体装置に於いて、

- 10 前記第一導電型薄膜トランジスタは前記高濃度第一導電型ソース・ドレイン領域端部と前記チャネル領域端部の間に低濃度第一導電型ソース・ドレイン領域を具備する LDD 構造を成し、前記第二導電型薄膜トランジスタは前記高濃度第二導電型ソース・ドレイン領域端部と前記チャネル領域端部の間に該チャネル領域と同等の不純物濃度を有するオフセット領域を備え、前記第一電極部は前記第一導電型薄膜トランジスタの高濃度第一導電型ソース・ドレイン領域と同量の第一導電型不純物を含む半導体膜から構成されている事の特徴とする半導体装置。
- 20

【請求項 38】 ゲート電極にゲート絶縁膜を介して対峙するチャネル領域と第一導電型不純物を高濃度に含む高濃度第一導電型ソース・ドレイン領域を備える第一導電型薄膜トランジスタと、ゲート電極にゲート絶縁膜を介して対峙するチャネル領域と第二導電型不純物を高濃度に含む高濃度第二導電型ソース・ドレイン領域を備える第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子とを有する半導体装置に於いて、

- 30 前記第一導電型薄膜トランジスタは前記高濃度第一導電型ソース・ドレイン領域端部と前記チャネル領域端部の間に低濃度第一導電型ソース・ドレイン領域を具備する LDD 構造を成し、前記第二導電型薄膜トランジスタは前記高濃度第二導電型ソース・ドレイン領域端部と前記チャネル領域端部の間に該チャネル領域と同等の不純物濃度を有するオフセット領域を備え、前記第一電極部は前記第二導電型薄膜トランジスタの高濃度第二導電型ソース・ドレイン領域と同量の第二導電型不純物を含む半導体膜から構成されている事の特徴とする半導体装置。
- 40

【請求項 39】 請求項 27 乃至 38 のいずれかの項に規定する半導体装置を用いたアクティブマトリクス基板であって、

前記第一導電型及び前記第二導電型薄膜トランジスタは駆動回路部に於いて CMOS 回路を構成し、前記第一導電型及び第二導電型薄膜トランジスタの内の少なくとも一方の薄膜トランジスタは画素領域に於いて画素用薄膜トランジスタを構成し、

前記容量素子は前記画素領域に於いて液晶セルに対する保持容量を構成している事を特徴とするアクティブマトリクス基板。

【請求項40】 ゲート電極とゲート絶縁膜とチャネル領域と該チャネル領域に低濃度ソース・ドレイン領域を介して導電接続する高濃度ソース・ドレイン領域とを具備するLDD型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子を有する半導体装置の製造方法に於いて、  
少なくとも該チャネル領域と該低濃度ソース・ドレイン領域と該第一電極部を構成する半導体膜を形成する第一工程と、  
該半導体膜の一部に低濃度にてドナー又はアクセプターと成る不純物を導入して該低濃度ソース・ドレイン領域と該第一電極部を形成する第二工程と、  
該第二工程終了後にゲート電極と第二電極部を形成する第三工程とを含む事を特徴とする半導体装置の製造方法。

【請求項41】 ゲート電極とゲート絶縁膜とチャネル領域と該チャネル領域に低濃度ソース・ドレイン領域を介して導電接続する高濃度ソース・ドレイン領域とを具備するLDD型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子を有する半導体装置の製造方法に於いて、  
少なくとも該チャネル領域と該高濃度ソース・ドレイン領域と該第一電極部を構成する半導体膜を形成する第一工程と、  
該半導体膜の一部に高濃度にてドナー又はアクセプターと成る不純物を導入して該高濃度ソース・ドレイン領域と該第一電極部を形成する第二工程と、  
該第二工程終了後にゲート電極と第二電極部を形成する第三工程とを含む事を特徴とする半導体装置の製造方法。

【請求項42】 ゲート電極とゲート絶縁膜とチャネル領域と該チャネル領域と同量の不純物を含むオフセット領域と該オフセット領域を介して該チャネル領域に導電接続する高濃度ソース・ドレイン領域とを具備するオフセット型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子を有する半導体装置の製造方法に於いて、  
少なくとも該チャネル領域と該高濃度ソース・ドレイン領域と該第一電極部を構成する半導体膜を形成する第一工程と、  
該半導体膜の一部に高濃度にてドナー又はアクセプターと成る不純物を導入して該高濃度ソース・ドレイン領域と該第一電極部を形成する第二工程と、  
該第二工程終了後にゲート電極と第二電極部を形成する第三工程とを含む事を特徴とする半導体装置の製造方法。

【請求項43】 ゲート電極とゲート絶縁膜とチャネル

領域と該チャネル領域に低濃度第一導電型ソース・ドレイン領域を介して導電接続する高濃度第一導電型ソース・ドレイン領域とを具備するLDD型第一導電型薄膜トランジスタと、ゲート電極とゲート絶縁膜とチャネル領域と該チャネル領域に低濃度第二導電型ソース・ドレイン領域を介して導電接続する高濃度第二導電型ソース・ドレイン領域とを具備するLDD型第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子を有する半導体装置の製造方法に於いて、

少なくとも該LDD型第一導電型薄膜トランジスタのチャネル領域と低濃度第一導電型ソース・ドレイン領域と、該LDD型第二導電型薄膜トランジスタのチャネル領域と、該第一電極部を構成する半導体膜を形成する第一工程と、  
該半導体膜の一部に低濃度にて第一導電型不純物を導入して該低濃度第一導電型ソース・ドレイン領域と該第一電極部を形成する第二工程と、  
該第二工程終了後にゲート電極と第二電極部を形成する第三工程とを含む事を特徴とする半導体装置の製造方法。

【請求項44】 ゲート電極とゲート絶縁膜とチャネル領域と該チャネル領域に低濃度第一導電型ソース・ドレイン領域を介して導電接続する高濃度第一導電型ソース・ドレイン領域とを具備するLDD型第一導電型薄膜トランジスタと、ゲート電極とゲート絶縁膜とチャネル領域と該チャネル領域に低濃度第二導電型ソース・ドレイン領域を介して導電接続する高濃度第二導電型ソース・ドレイン領域とを具備するLDD型第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子を有する半導体装置の製造方法に於いて、

少なくとも該LDD型第一導電型薄膜トランジスタのチャネル領域と高濃度第一導電型ソース・ドレイン領域と、該LDD型第二導電型薄膜トランジスタのチャネル領域と、該第一電極部を構成する半導体膜を形成する第一工程と、  
該半導体膜の一部に高濃度にて第一導電型不純物を導入して該高濃度第一導電型ソース・ドレイン領域と該第一電極部を形成する第二工程と、  
該第二工程終了後にゲート電極と第二電極部を形成する第三工程とを含む事を特徴とする半導体装置の製造方法。

【請求項45】 請求項43乃至44に於いて、  
前記LDD型第一導電型薄膜トランジスタの低濃度第一導電型ソース・ドレイン領域を形成する為に第一導電型不純物を低濃度にて該半導体膜に導入する低濃度第一導電型不純物導入工程、又は前記LDD型第二導電型薄膜トランジスタの低濃度第二導電型ソース・ドレイン領域を形成する為に第二導電型不純物を低濃度にて該半導体

膜に導入する低濃度第二導電型不純物導入工程の一方の低濃度不純物導入工程をマスクを形成せずに行い、該第一導電型不純物と該第二導電型不純物の双方の不純物が導入される領域の導電型及び実質的な不純物濃度については、該第一導電型不純物と該第二導電型不純物の導入量の差によって規定する事を特徴とする半導体装置の製造方法。

【請求項 46】 ゲート電極とゲート絶縁膜と第一チャネル領域と該第一チャネル領域に低濃度第一導電型ソース・ドレイン領域を介して導電接続する高濃度第一導電型ソース・ドレイン領域とを具備する LDD 型第一導電型薄膜トランジスタと、ゲート電極とゲート絶縁膜と第二チャネル領域と高濃度第二導電型ソース・ドレイン領域、及び該第二チャネル領域端と該高濃度第二導電型ソース・ドレイン領域端との間に該第二チャネル領域と同じ不純物濃度を有するオフセット領域を具備するオフセット型第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子、とを有する半導体装置の製造方法に於いて、少なくとも該第一チャネル領域と該低濃度第一導電型ソース・ドレイン領域と該第二チャネル領域と該第一電極部を構成する半導体膜を形成する第一工程と、該半導体膜の一部に低濃度にて第一導電型不純物を導入して該低濃度第一導電型ソース・ドレイン領域と該第一電極部を形成する第二工程と、該第二工程終了後にゲート電極と第二電極部を形成する第三工程とを含む事を特徴とする半導体装置の製造方法。

【請求項 47】 ゲート電極とゲート絶縁膜と第一チャネル領域と該第一チャネル領域に低濃度第一導電型ソース・ドレイン領域を介して導電接続する高濃度第一導電型ソース・ドレイン領域とを具備する LDD 型第一導電型薄膜トランジスタと、ゲート電極とゲート絶縁膜と第二チャネル領域と高濃度第二導電型ソース・ドレイン領域、及び該第二チャネル領域端と該高濃度第二導電型ソース・ドレイン領域端との間に該第二チャネル領域と同じ不純物濃度を有するオフセット領域を具備するオフセット型第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子、とを有する半導体装置の製造方法に於いて、少なくとも該第一チャネル領域と該高濃度第一導電型ソース・ドレイン領域と該第二チャネル領域と該第一電極部を構成する半導体膜を形成する第一工程と、該半導体膜の一部に高濃度にて第一導電型不純物を導入して該高濃度第一導電型ソース・ドレイン領域と該第一電極部を形成する第二工程と、該第二工程終了後にゲート電極と第二電極部を形成する第三工程とを含む事を特徴とする半導体装置の製造方法。

【請求項 48】 ゲート電極とゲート絶縁膜と第一チャ

ネル領域と該第一チャネル領域に低濃度第一導電型ソース・ドレイン領域を介して導電接続する高濃度第一導電型ソース・ドレイン領域とを具備する LDD 型第一導電型薄膜トランジスタと、ゲート電極とゲート絶縁膜と第二チャネル領域と高濃度第二導電型ソース・ドレイン領域、及び該第二チャネル領域端と該高濃度第二導電型ソース・ドレイン領域端との間に該第二チャネル領域と同じ不純物濃度を有するオフセット領域を具備するオフセット型第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子、とを有する半導体装置の製造方法に於いて、少なくとも該第一チャネル領域と該第二チャネル領域と該高濃度第二導電型ソース・ドレイン領域と該第一電極部を構成する半導体膜を形成する第一工程と、該半導体膜の一部に高濃度にて第二導電型不純物を導入して該高濃度第二導電型ソース・ドレイン領域と該第一電極部を形成する第二工程と、該第二工程終了後にゲート電極と第二電極部を形成する第三工程とを含む事を特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は異なる導電型薄膜トランジスタ（以下 TFT と略省する。）や TFT と容量素子とを備えるアクティブマトリクス基板等の半導体装置、及びその製造方法に関するもので有る。更に詳しくはこれら半導体装置の製造工程を簡略化しながら、TFT の電気的特性を最適化する為の技術に関するもので有る。

【0002】

【従来の技術】 TFT を用いた半導体装置としては液晶表示装置の駆動回路内蔵型のアクティブマトリクス基板などが有る。アクティブマトリクス基板では、図 29 に、その左側領域から右側領域に向かって駆動回路部及び画素領域を模式的に示す様に、P 型の駆動回路用 TFT 30、N 型の駆動回路用 TFT 20、及び N 型の画素用 TFT 10 が同一の絶縁基板 2 の上に形成されて居る。ここで、各 TFT をセルフアライン構造で形成すると、図 30 に N 型の TFT のオン・オフリーク電流特性を実線 L1 で示し、P 型の TFT のオン・オフリーク電流特性を点線 L2 で示す様に、オフリーク電流が大きいと言う問題点が有る。この様にオフリーク電流の大きな TFT を画素用 TFT として用いると、表示むらなどの原因となりやすい。また駆動回路用 TFT でも、オフリーク電流が大きいと、無駄な電力消費や誤動作の原因となりやすい。さらにセルフアライン構造の TFT では、図 31 (a) に N 型の TFT に於ける耐電圧特性を実線 L23 で示し、図 31 (b) に P 型の TFT に於ける耐電圧特性を実線 L24 で示すとおり、TFT のソース・ドレイン間の耐電圧が十分でない為、チャネル長を



長めに設定せざるを得ない。

【0003】そこで図29に示すアクティブマトリクス基板では、各TFTをLDD構造にして有る。(本願ではこれをLDD TFTと略称する事も有る。)このアクティブマトリクス基板に構成されているTFTはいずれも、ソース・ドレイン領域11、12、21、22、31、32の内ゲート電極15、25、35の端部と対峙する部分が低濃度ソース・ドレイン領域111、121、211、221、311、321になって居る。この為、図32にN型のTFTのオン・オフリーク電流特性を実線L3で示し、P型のTFTのオン・オフリーク電流特性を点線L4で示す様に、オフリーク電流が小さい。従って、表示むらやフリッカなどの発生を防止すると共に、誤動作や無駄な電力消費を抑える事が出来る。又LDD構造のTFTは、図31(a)にN型のTFTに於ける耐電圧特性を実線L21で示し、図31(b)にP型のTFTに於ける耐電圧特性を実線L22で示す様に、ソース・ドレイン間耐電圧が高いので、チャンネル長を短く出来ると云う利点がある。

【0004】一方、アクティブマトリクス基板に上述した半導体装置を適用する場合、液晶セルに於ける電荷の保持特性を向上する為に、同一の絶縁基板2上に保持容量40''を形成する場合もある(図29参照)。従来この保持容量40''は、シリコン膜を導電化した低濃度N型シリコン膜を下層側電極部40gとして有して居る。ここで、下層側電極部40gの表面側には、TFTのゲート絶縁膜14、24、34と同時に形成されたシリコン酸化膜を誘電体膜44として形成して有る。誘電体膜44の表面側には、TFTのゲート電極15、25、35と同時に形成された専用の容量ラインの一部または前段の信号線の一部を上層側電極部45として形成して有る。

【0005】かかる構造のアクティブマトリクス基板1''は、従来、以下の方法で製造されて居る。

【0006】まず、図33(a)に示す様に、絶縁基板2の表面に形成した島状のシリコン膜10a、20a、30a、40aに対して、ゲート絶縁膜14、24、34、及び誘電体膜44を形成した後、約 $1 \times 10^{12} \text{ cm}^{-2}$ のドーズ量でボロンイオンを打ち込む。チャンネルドーピングを行なう為で有る(1回目の不純物導入工程)。その結果、各シリコン膜10a、20a、30a、40aは低濃度P型となる。これは薄膜トランジスタの閾値電圧( $V_{th}$ )を調整する為に行われる。(本願ではこれをチャンネル・ドーピング、C/Dと省略する事も有る。)

次に、図33(b)に示す様に、各TFTの形成領域をレジストマスク151で覆う(1回目のマスク形成工程)。続いて、約 $3 \times 10^{14} \text{ cm}^{-2}$ のドーズ量でリンイオンを打ち込んで、シリコン膜40aをN型に反転させて保持容量40''を形成する為の下層側電極部40gとする(2回目の不純物導入工程)。

【0007】次に、図33(c)に示す様に、ゲート電極15、25、35、及び上層側電極部45を形成し、保持容量40''を形成した後、N型の画素用TFT10''及びN型の駆動回路用TFT20''の形成領域をレジストマスク152で覆う(2回目のマスク形成工程)。続いて、約 $2 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でボロンイオンを打ち込んで、不純物濃度が約 $2.1 \times 10^{18} \text{ cm}^{-3}$ の低濃度P型のソース・ドレイン領域31、32を形成する(3回目の不純物導入工程)。尚不純物が導入されなかった部分がチャンネル領域33となる。

【0008】次に、図33(d)に示す様に、P型の駆動回路用TFT30''の形成領域をレジストマスク153で覆う(3回目のマスク形成工程)。続いて、約 $1 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でリンイオンを打ち込んで、不純物濃度が約 $0.9 \times 10^{18} \text{ cm}^{-3}$ の低濃度N型のソース・ドレイン領域11、12、21、22を形成する(4回目の不純物導入工程)。

【0009】次に、図33(e)に示す様に、N型の画素用TFT10''の形成領域、N型の駆動回路用TFT20''の形成領域、及び保持容量40''に加えて、ゲート電極35をも広めに覆うレジストマスク154を形成する(4回目のマスク形成工程)。続いて、約 $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でボロンイオンを打ち込んで、不純物濃度が約 $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域312、322を形成する(5回目の不純物導入工程)。この結果、低濃度P型のソース・ドレイン領域31、32の内、レジストマスク154で覆われていた部分はそのまま不純物濃度が約 $2.1 \times 10^{18} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域311、321となる。この様に、P型の駆動回路用TFT30''を形成する。

【0010】次に、図33(f)に示す様に、P型の駆動回路用TFT30''の形成領域に加えて、ゲート電極15、25をも広めに覆うレジストマスク155を形成する(5回目のマスク形成工程)。続いて、約 $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でリンイオンを打ち込んで、不純物濃度が約 $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域112、122、212、222を形成する(6回目の不純物導入工程)。低濃度N型のソース・ドレイン領域11、12、21、22の内、レジストマスク155で覆われていた部分はそのまま不純物濃度が約 $0.9 \times 10^{18} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域111、121、211、221となる。この様にN型の画素用TFT10''及びN型の駆動回路用TFT20''を形成する。

【0011】以降図29に示す様に層間絶縁膜4を形成した後、活性化の為にアニールを行い、しかる後にコンタクトホールを形成してソース・ドレイン電極16、17、26、27、36、37を形成すればアクティブマトリクス基板1''が完成する。斯様に従来はドナー又はアクセプター不純物を半導体膜に添加する為だけに5回

のマスク形成工程（レジストマスク 151～155 の形成）と 6 回の不純物導入工程とが行われて居た。但し保持容量 40" を形成しないのであれば、ドナー又はアクセプター不純物を半導体膜に添加する為だけに 4 回のマスク形成工程（レジストマスク 152～155 の形成）と、5 回の不純物導入工程が行われる事に成る。

#### 【0012】

【発明が解決しようとする課題】しかしながらアクティブマトリクス基板の製造コストはマスク形成工程の数と、不純物導入工程の数とに大きく支配される為、従来の様に TFT の最適化を図ろうとすると製造工程数が大幅に増えてしまうと云う問題点が有る。例えば図 3

(a)～(f) を参照して説明した製造方法の様に LDD TFT にて CMOS 構成を成し、保持容量 40" も形成する場合には、ドナー又はアクセプター不純物を半導体膜に添加する為だけに 5 回のマスク形成工程と 6 回の不純物導入工程とが必要に成って居る。これが故アクティブマトリクス基板の製造コストが著しく増大するとの問題点が認められる。この問題点はアクティブマトリクス基板に限らず、導電型の異なる TFT を有するその他の半導体装置や TFT と容量素子の双方を有するその他の半導体装置でも同様に存在する。

【0013】以上の問題点に鑑みて、本発明の課題は駆動回路内蔵のアクティブマトリクス基板の様に少なくとも TFT とこの TFT と導電型の異なる TFT、或いは容量素子を備えた半導体装置に於いて、最小限の製造工程数によって各 TFT の電気的特性を向上させた半導体装置とその製造方法、及びアクティブマトリクス基板を提供する事に有る。

#### 【0014】

【課題を解決する為の手段】上記課題を解決する為、本発明では半導体装置を以下の様に構成する。以下に説明する各発明はいずれも最小限の製造工程数によって、各 TFT の電気的特性を向上させた半導体装置やその製造方法を共通の目的と課題とするが、それらを更に分類すれば、請求項 1 乃至 26 に係る発明と請求項 27 乃至 48 に係る発明とに大別される。

【0015】請求項 1 乃至 26 に係る発明は同一基板上に第一導電型及び第二導電型の TFT を有する半導体装置、及びそれを適応した液晶表示装置用等のアクティブマトリクス基板に関する発明で有る。請求項 8 乃至 11 と請求項 19 乃至 22 はこれらの半導体装置の製造方法に関する発明で有る。

【0016】これに対して請求項 27 乃至 39 に係る発明は同一基板上に TFT と容量素子を有する半導体装置、及びそれを適応した液晶表示装置用等のアクティブマトリクス基板に関する発明で有る。請求項 40 乃至 48 に係る発明はこれらの半導体装置の製造方法に関する発明で有る。

【0017】〔請求項 1 に係る発明〕本発明は第一ゲー

ト電極に第一ゲート絶縁膜を介して対峙する第一チャネル領域と第一導電型高濃度ソース・ドレイン領域を備える第一導電型薄膜トランジスタと、第二ゲート電極に第二ゲート絶縁膜を介して対峙する第二チャネル領域と第二導電型高濃度ソース・ドレイン領域を備える第二導電型薄膜トランジスタ、とを有する半導体装置に於いて、該第一導電型薄膜トランジスタは該第一導電型高濃度ソース・ドレイン領域と該第一チャネル領域の間に第一導電型低濃度ソース・ドレイン領域を具備する LDD 構造を成し、該第一チャネル領域は極低濃度の第二導電型不純物を含み、該第二導電型薄膜トランジスタは該第二導電型高濃度ソース・ドレイン領域と該第二チャネル領域の間に該第二チャネル領域と同じ不純物濃度を有するオフセット領域を具備するオフセット構造を成し、該第二チャネル領域は極低濃度の第二導電型不純物を含んで居る事を特徴とする。

【0018】この様に構成すると、いずれの TFT もゲート電極の端部に対峙する部分が低濃度領域で有る為オフ電流が小さい。又 TFT のソース・ドレイン間に於ける耐電圧が高いためチャネル長を短く出来る。従ってオン電流が増加し、更にトランジスタ容量を低減出来るので、高速動作が可能になると云う利点も有る。更に第二導電型の駆動回路用 TFT に於いて、ゲート電極の端部に対峙する低濃度領域はチャネル領域と同じ不純物濃度を有するオフセット領域として形成して有る。従って総ての TFT を LDD 構造で製造する場合よりもマスク形成工程及び不純物導入工程を其々 1 回分ずつ少なくする事が出来る。又極低濃度で導入された第二導電型不純物はチャネル内では  $V_{th}$  を調整し、オフセット領域では低濃度多数キャリアーとして作用する。斯くして最小限の製造工程数にて各 TFT の電気的特性を最適化した半導体装置を実現されるので有る。

【0019】〔請求項 2 に係る発明〕本発明は請求項 1 に記載する半導体装置に於いて、前記第一導電型薄膜トランジスタのソース・ドレイン電圧を  $V_{DS1}$ 、ゲート電圧を  $V_{GS1}$ 、ソース・ドレイン電流を  $I_{DS1}$  とし、前記第二導電型薄膜トランジスタのソース・ドレイン電圧を  $V_{DS2}$ 、ゲート電圧を  $V_{GS2}$ 、ソース・ドレイン電流を  $I_{DS2}$  とした時に  $|V_{DS1}| = |V_{DS2}|$ 、且つ  $V_{GS1} = V_{GS2} = 0$  の条件下にて  $I_{DS2} > I_{DS1}$  と成る様に、前記第二チャネル領域と前記オフセット領域の第二導電型不純物濃度が定められて居る事を特徴とする。

【0020】この様に構成すると、オフセット領域の寄生抵抗に起因する第二導電型 TFT のオン電流の減少を最小とし、第一導電型 TFT と第二導電型 TFT のオン電流やトランジスタ容量を略同等とする事が可能と成る。従ってこうした TFT にて CMOS 回路を構成した場合、回路は高速で動作し、誤動作も生じにくい。又同時に回路の構成やレイアウトも簡略化される。（第一導電型 TFT と第二導電型 TFT のサイズやディメンジョ



ンを同一とし得る為。)

【請求項3に係る発明】本発明は請求項1に記載する半導体装置に於いて、前記第一導電型薄膜トランジスタのソース・ドレイン電圧を $V_{DS1}$ 、ゲート電圧を $V_{GS1}$ 、ソース・ドレイン電流を $I_{DS1}$ とし、前記第二導電型薄膜トランジスタのソース・ドレイン電圧を $V_{DS2}$ 、ゲート電圧を $V_{GS2}$ 、ソース・ドレイン電流を $I_{DS2}$ とした時に $|V_{DS1}| = |V_{DS2}|$ 、且つ $V_{GS1} = V_{GS2}$ の条件下にて $I_{DS2} = I_{DS1}$ と成る時のゲート電圧が0Vから前記第一導電型薄膜トランジスタがオン状態と成る方向にシフトして居る様に、前記第二チャネル領域と前記オフセット領域の第二導電型不純物濃度が定められて居る事の特徴とする。

【0021】この様に構成すると、第二導電型TFTのチャネル領域及びオフセット領域に於ける第二導電型の不純物濃度を最適化するだけで、オフセット構造である第二導電型のTFTを弱いデプレッション・モードとし、LDD構造で有る第一導電型のTFTを弱いエンハンス・モードとする事が出来る。こうしてオフセット領域の寄生抵抗に起因する第二導電型TFTのオン電流の減少を最小とし、第一導電型TFTと第二導電型TFTのオン電流やトランジスタ容量を略同等とする事が可能と成る。従ってこうしたTFTにてCMOS回路を構成した場合、回路は高速で動作し、誤動作も生じにくい。又同時に回路の構成やレイアウトも簡略化される。(第一導電型TFTと第二導電型TFTのサイズやディメンジョンを同一とし得る為。)

【請求項4に係る発明】本発明は請求項1乃至3に記載する半導体装置に於いて、前記第一チャネル領域が含有する第二導電型不純物濃度と、前記第二チャネル領域が含む第二導電型不純物濃度と、前記オフセット領域が含む第二導電型不純物濃度が総て等しい事の特徴とする。

【0022】即ち第二導電型TFTのチャネル領域に第二導電型不純物を導入する際に第一導電型のTFTのチャネル領域にも第二導電型不純物を導入し、同時にオフセット領域にも第二導電型不純物を導入出来る。それ故工程数を削減出来る。

【0023】【請求項5、6に係る発明】本願発明では第一導電型と第二導電型とは互いに逆導電型で有る事を意味し、第一導電型をN型とした場合には第二導電型はP型で有る。逆に第一導電型をP型として場合には第二導電型はN型で有る。

【0024】【請求項7に係る発明】斯様な半導体装置を適応した液晶表示装置用のアクティブマトリクス基板では、前記第一導電型及び前記第二導電型薄膜トランジスタは駆動回路に於いてCMOS回路を構成し、前記第一導電型及び第二導電型薄膜トランジスタの内の一方の薄膜トランジスタは画素領域に於いて画素用薄膜トランジスタを構成する。

【0025】【請求項8に係る発明】本発明は請求項1

に記載する半導体装置の製造方法に於いて、前記第一チャネル領域と前記第二チャネル領域と前記オフセット領域を形成する為に第二導電型不純物を極低濃度にて半導体膜に導入する極低濃度第二導電型不純物導入工程と、前記第一ゲート電極と前記第二ゲート電極を形成するゲート電極形成工程と、前記第一導電型低濃度ソース・ドレイン領域を形成する為に第一導電型不純物を低濃度にて半導体膜に導入する低濃度第一導電型不純物導入工程と、前記第一導電型高濃度ソース・ドレイン領域を形成する為に第一導電型不純物を高濃度にて半導体膜に導入する高濃度第一導電型不純物導入工程と、前記第二導電型高濃度ソース・ドレイン領域を形成する為に第二導電型不純物を高濃度にて半導体膜に導入する高濃度第二導電型不純物導入工程とを有し、該極低濃度第二導電型不純物導入工程は該ゲート電極形成工程前に行われ、該低濃度第一導電型不純物導入工程は該ゲート電極形成後に行われる事の特徴とする。

【0026】【請求項9に係る発明】本発明に於いて極低濃度第二導電型不純物導入工程は第二導電型不純物を極低濃度含むドーパント半導体膜を成膜する工程として行い、この工程を行なった後に半導体膜表面にゲート絶縁膜を形成する事が有る。

【0027】【請求項10に係る発明】本発明に於いて極低濃度第二導電型不純物導入工程はこの工程を行なう以前に形成した半導体膜に対して第二導電型不純物を低濃度にて導入する工程として行い、この工程を行なった後に半導体膜表面にゲート絶縁膜を形成する事が有る。

【0028】【請求項11に係る発明】本発明に於いて極低濃度第二導電型不純物導入工程はこの工程を行なう以前に形成した半導体膜に対してその表面に形成したゲート絶縁膜を介して第二導電型不純物を極低濃度にて導入する工程として行う事が有る。

【0029】【請求項12に係る発明】本発明は第一ゲート電極に第一ゲート絶縁膜を介して対峙する第一チャネル領域と第一導電型高濃度ソース・ドレイン領域を備える第一導電型薄膜トランジスタと、第二ゲート電極に第二ゲート絶縁膜を介して対峙する第二チャネル領域と第二導電型高濃度ソース・ドレイン領域を備える第二導電型薄膜トランジスタ、とを有する半導体装置に於いて、該第一導電型薄膜トランジスタは該第一導電型高濃度ソース・ドレイン領域と該第一チャネル領域の間に第一導電型低濃度ソース・ドレイン領域を具備するLDD構造を成し、該第一チャネル領域は極低濃度の第一導電型不純物を含み、該第二導電型薄膜トランジスタは該第二導電型高濃度ソース・ドレイン領域と該第二チャネル領域の間に該第二チャネル領域と同じ不純物濃度を有するオフセット領域を具備するオフセット構造を成し、該第二チャネル領域は極低濃度の第一導電型不純物を含んで居る事の特徴とする。

【0030】この様に構成すると、いずれのTFTもゲ

ート電極の端部に対峙する部分が低濃度領域で有る為オフ電流が小さい。又TFTのソース・ドレイン間に於ける耐電圧が高いのでチャンネル長を短く出来る。従ってオン電流が増加し、更にトランジスタ容量を低減出来るので、高速動作が可能になると云う利点も有る。更に第二導電型の駆動回路用TFTに於いて、ゲート電極の端部に対峙する低濃度領域はチャンネル領域と同じ不純物濃度を有するオフセット領域として形成して有る。従って総てのTFTをLDD構造で製造する場合よりもマスク形成工程及び不純物導入工程を其々1回分ずつ少なくする事が出来る。又極低濃度で導入された第一導電型不純物はチャンネル内では $V_{th}$ を調整し、オフセット領域では低濃度多数キャリアーとして作用する。斯くして最小限の製造工程数にて各TFTの電気的特性を最適化した半導体装置を実現されるので有る。

【0031】〔請求項13に係る発明〕本発明は請求項12に記載する半導体装置に於いて、前記第一導電型薄膜トランジスタのソース・ドレイン電圧を $V_{DS1}$ 、ゲート電圧を $V_{GS1}$ 、ソース・ドレイン電流を $I_{DS1}$ とし、前記第二導電型薄膜トランジスタのソース・ドレイン電圧を $V_{DS2}$ 、ゲート電圧を $V_{GS2}$ 、ソース・ドレイン電流を $I_{DS2}$ とした時に $|V_{DS1}| = |V_{DS2}|$ 、且つ $V_{GS1} = V_{GS2} = 0$ の条件下にて $I_{DS2} > I_{DS1}$ と成る様に、前記第二チャンネル領域と前記オフセット領域の第一導電型不純物濃度が定められて居る事を特徴とする。

【0032】この様に構成すると、オフセット領域の寄生抵抗に起因する第二導電型TFTのオン電流の減少を最小とし、第一導電型TFTと第二導電型TFTのオン電流やトランジスタ容量を略同等とする事が可能と成る。従ってこうしたTFTにてCMOS回路を構成した場合、回路は高速で動作し、誤動作も生じにくい。又同時に回路の構成やレイアウトも簡略化される。(第一導電型TFTと第二導電型TFTのサイズやディメンジョンを同一とし得る為。)

〔請求項14に係る発明〕本発明は請求項12に記載する半導体装置に於いて、前記第一導電型薄膜トランジスタのソース・ドレイン電圧を $V_{DS1}$ 、ゲート電圧を $V_{GS1}$ 、ソース・ドレイン電流を $I_{DS1}$ とし、前記第二導電型薄膜トランジスタのソース・ドレイン電圧を $V_{DS2}$ 、ゲート電圧を $V_{GS2}$ 、ソース・ドレイン電流を $I_{DS2}$ とした時に $|V_{DS1}| = |V_{DS2}|$ 、且つ $V_{GS1} = V_{GS2}$ の条件下にて $I_{DS2} = I_{DS1}$ と成る時のゲート電圧が0Vから前記第一導電型薄膜トランジスタがオン状態と成る方向にシフトして居る様に、前記第二チャンネル領域と前記オフセット領域の第一導電型不純物濃度が定められて居る事を特徴とする。

【0033】この様に構成すると、第二導電型TFTのチャンネル領域及びオフセット領域に於ける第一導電型の不純物濃度を最適化するだけで、オフセット構造である第二導電型のTFTを弱いデプレッション・モードと

し、LDD構造で有る第一導電型のTFTを弱いエンハンス・モードとする事が出来る。こうしてオフセット領域の寄生抵抗に起因する第二導電型TFTのオン電流の減少を最小とし、第一導電型TFTと第二導電型TFTのオン電流やトランジスタ容量を略同等とする事が可能と成る。従ってこうしたTFTにてCMOS回路を構成した場合、回路は高速で動作し、誤動作も生じにくい。又同時に回路の構成やレイアウトも簡略化される。(第一導電型TFTと第二導電型TFTのサイズやディメンジョンを同一とし得る為。)

〔請求項15に係る発明〕本発明は請求項12乃至14に記載する半導体装置に於いて、前記第一チャンネル領域が含有する第一導電型不純物濃度と、前記第二チャンネル領域が含む第一導電型不純物濃度と、前記オフセット領域が含む第一導電型不純物濃度が総て等しい事を特徴とする。

【0034】即ち第二導電型TFTのチャンネル領域に第一導電型不純物を導入する際に第一導電型のTFTのチャンネル領域にも第一導電型不純物を導入し、同時にオフセット領域にも第一導電型不純物を導入出来る。それ故工程数を削減出来る。

【0035】〔請求項16、17に係る発明〕本願発明では第一導電型と第二導電型とは互いに逆導電型で有る事を意味し、第一導電型をN型とした場合には第二導電型はP型で有る。逆に第一導電型をP型として場合には第二導電型はN型で有る。

【0036】〔請求項18に係る発明〕斯様な半導体装置を適応した液晶表示装置用のアクティブマトリクス基板では、前記第一導電型及び前記第二導電型薄膜トランジスタは駆動回路に於いてCMOS回路を構成し、前記第一導電型及び第二導電型薄膜トランジスタの内の一方の薄膜トランジスタは画素領域に於いて画素用薄膜トランジスタを構成する。

【0037】〔請求項19に係る発明〕本発明は請求項12に記載する半導体装置の製造方法に於いて、前記第一チャンネル領域と前記第二チャンネル領域と前記オフセット領域を形成する為に第一導電型不純物を極低濃度にて半導体膜に導入する極低濃度第一導電型不純物導入工程と、前記第一ゲート電極と前記第二ゲート電極を形成するゲート電極形成工程と、前記第一導電型低濃度ソース・ドレイン領域を形成する為に第一導電型不純物を低濃度にて半導体膜に導入する低濃度第一導電型不純物導入工程と、前記第一導電型高濃度ソース・ドレイン領域を形成する為に第一導電型不純物を高濃度にて半導体膜に導入する高濃度第一導電型不純物導入工程と、前記第二導電型高濃度ソース・ドレイン領域を形成する為に第二導電型不純物を高濃度にて半導体膜に導入する高濃度第二導電型不純物導入工程とを有し、該極低濃度第一導電型不純物導入工程は該ゲート電極形成工程前に行われ、該低濃度第一導電型不純物導入工程は該ゲート電極形成

後に行われる事の特徴とする。

【0038】〔請求項20に係る発明〕本発明に於いて極低濃度第一導電型不純物導入工程は第一導電型不純物を極低濃度含むドーブト半導体膜を成膜する工程として行い、この工程を行なった後に半導体膜表面にゲート絶縁膜を形成する事が有る。

【0039】〔請求項21に係る発明〕本発明に於いて極低濃度第一導電型不純物導入工程はこの工程を行なう以前に形成した半導体膜に対して第一導電型不純物を低濃度にて導入する工程として行い、この工程を行なった後に半導体膜表面にゲート絶縁膜を形成する事が有る。

【0040】〔請求項22に係る発明〕本発明に於いて極低濃度第一導電型不純物導入工程はこの工程を行なう以前に形成した半導体膜に対してその表面に形成したゲート絶縁膜を介して第一導電型不純物を極低濃度にて導入する工程として行う事が有る。

【0041】〔請求項23に係る発明〕本発明は第一ゲート電極に第一ゲート絶縁膜を介して対峙する第一チャネル領域と第一導電型高濃度ソース・ドレイン領域を備える第一導電型薄膜トランジスタと、第二ゲート電極に第二ゲート絶縁膜を介して対峙する第二チャネル領域と第二導電型高濃度ソース・ドレイン領域を備える第二導電型薄膜トランジスタ、とを有する半導体装置に於いて、該第一導電型薄膜トランジスタは該第一導電型高濃度ソース・ドレイン領域と該第一チャネル領域の間に第一導電型低濃度ソース・ドレイン領域を具備するLDD構造を成し、該第一チャネル領域は略真性で有り、該第二導電型薄膜トランジスタは該第二導電型高濃度ソース・ドレイン領域と該第二チャネル領域の間に該第二チャネル領域と同じ不純物濃度を有するオフセット領域を具備するオフセット構造を成し、該第二チャネル領域は略真性で有る事の特徴とする。

【0042】この様に構成すると、いずれのTFETもゲート電極の端部に対峙する部分が低濃度領域で有る為オフ電流が小さい。又TFETのソース・ドレイン間に於ける耐電圧が高いのでチャネル長を短く出来る。従ってオン電流が増加し、更にトランジスタ容量を低減出来るので、高速動作が可能になると云う利点も有る。更に第二導電型の駆動回路用TFETに於いて、ゲート電極の端部に対峙する半導体はチャネル領域と同じ不純物濃度を有するオフセット領域として形成して有る。従って総てのTFETをLDD構造で製造する場合よりもマスク形成工程を一回、不純物導入工程を2回少なくする事が出来る。斯くして最小限の製造工程数にて各TFETの電気的特性を最適化した半導体装置を実現されるので有る。

【0043】〔請求項24、25に係る発明〕本願発明では第一導電型と第二導電型とは互いに逆導電型で有る事を意味し、第一導電型をN型とした場合には第二導電型はP型で有る。逆に第一導電型をP型とした場合には第二導電型はN型で有る。

【0044】〔請求項26に係る発明〕斯様な半導体装置を適応した液晶表示装置用のアクティブマトリクス基板では、前記第一導電型及び前記第二導電型薄膜トランジスタは駆動回路に於いてCMOS回路を構成し、前記第一導電型及び第二導電型薄膜トランジスタの内の一方の薄膜トランジスタは画素領域に於いて画素用薄膜トランジスタを構成する。

【0045】〔請求項27に係る発明〕本発明はゲート電極にゲート絶縁膜を介して対峙するチャネル領域と該チャネル領域に接続するソース・ドレイン領域を備える薄膜トランジスタ、及び誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子とを有する半導体装置に於いて、前記薄膜トランジスタはソース・ドレイン領域がゲート電極の端部にゲート絶縁膜を介して対峙する低濃度ソース・ドレイン領域及び該低濃度ソース・ドレイン領域に隣接する高濃度ソース・ドレイン領域を具備するLDD構造を成し、前記第一電極部は前記低濃度ソース・ドレイン領域と導電型が同じで該導電型の不純物濃度が同等の同一の半導体膜から構成されている事の特徴とする。

【0046】この様な構成にすると、低濃度ソース・ドレイン領域と第一電極部を同時に作成する事が可能と化し、LDD TFETの利点を活かして尚、少ない工程数で斯様な半導体装置が製造される。

【0047】〔請求項28に係る発明〕本発明はゲート電極にゲート絶縁膜を介して対峙するチャネル領域と該チャネル領域に接続するソース・ドレイン領域を備える薄膜トランジスタ、及び誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子とを有する半導体装置に於いて、前記薄膜トランジスタはソース・ドレイン領域がゲート電極の端部にゲート絶縁膜を介して対峙する低濃度ソース・ドレイン領域及び該低濃度ソース・ドレイン領域に隣接する高濃度ソース・ドレイン領域を具備するLDD構造を成し、前記第一電極部は前記高濃度ソース・ドレイン領域と導電型が同じで該導電型の不純物濃度が同等の同一の半導体膜から構成されている事の特徴とする。

【0048】この様な構成にすると、高濃度ソース・ドレイン領域と第一電極部を同時に作成する事が可能と化し、LDD TFETの利点を活かして尚、少ない工程数で斯様な半導体装置が製造される。更に低濃度ソース・ドレイン領域をゲート電極に対して自己整合的に作成する事が可能と成り、寄生容量の少ない良好なTFETが得られる。

【0049】〔請求項29に係る発明〕本発明はゲート電極にゲート絶縁膜を介して対峙するチャネル領域とドナー不純物又はアクセプター不純物を高濃度に含むソース・ドレイン領域を備える薄膜トランジスタ、及び誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子とを有する半導体装置に於いて、前記薄膜トラ

ンジスタは該ソース・ドレイン領域端部と該チャンネル領域端部の間に該チャンネル領域と同等の不純物濃度を有するオフセット領域を備え、前記第一電極部は前記高濃度ソース・ドレイン領域と導電型が同じで該導電型の不純物濃度が同等の同一の半導体膜から構成されている事の特徴とする。

【0050】この様な構成にすると、高濃度ソース・ドレイン領域と第一電極部を同時に作成する事が可能と化し、オフセット TFT の利点を活かして尚、少ない工程数で斯様な半導体装置が製造される。更に低濃度ソース・ドレイン領域をゲート電極に対して自己整合的に作成する事が可能と成り、寄生容量の少ない良好な TFT が得られる。

【0051】〔請求項 30 に係る発明〕本発明はゲート電極にゲート絶縁膜を介して対峙するチャンネル領域と該チャンネル領域に接続するソース・ドレイン領域を備える第一導電型及び第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子とを有する半導体装置に於いて、前記第一導電型及び第二導電型薄膜トランジスタはソース・ドレイン領域がゲート電極の端部にゲート絶縁膜を介して対峙する低濃度ソース・ドレイン領域と該低濃度ソース・ドレイン領域に隣接する高濃度ソース・ドレイン領域とを備える LDD 構造を成し、前記第一電極部は前記第一導電型及び第二導電型薄膜トランジスタの前記低濃度ソース・ドレイン領域と導電型が同じで該導電型の不純物濃度が同等の同一の半導体膜から構成されている事の特徴とする。

【0052】この様な構成にすると、低濃度ソース・ドレイン領域と第一電極部を同時に作成する事が可能と化し、LDD CMOS TFT の利点を活かして尚、少ない工程数で斯様な半導体装置が製造される。

【0053】〔請求項 31 に係る発明〕本発明はゲート電極にゲート絶縁膜を介して対峙するチャンネル領域と該チャンネル領域に接続するソース・ドレイン領域を備える第一導電型及び第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子とを有する半導体装置に於いて、前記第一導電型及び第二導電型薄膜トランジスタはソース・ドレイン領域がゲート電極の端部にゲート絶縁膜を介して対峙する低濃度ソース・ドレイン領域と該低濃度ソース・ドレイン領域に隣接する高濃度ソース・ドレイン領域とを備える LDD 構造を成し、前記第一電極部は前記第一導電型及び第二導電型薄膜トランジスタの前記高濃度ソース・ドレイン領域と導電型が同じで該導電型の不純物濃度が同等の同一の半導体膜から構成されている事の特徴とする。

【0054】この様な構成にすると、高濃度ソース・ドレイン領域と第一電極部を同時に作成する事が可能と化し、LDD CMOS TFT の利点を活かして尚、少

ない工程数で斯様な半導体装置が製造される。更に低濃度ソース・ドレイン領域をゲート電極に対して自己整合的に作成する事が可能と成り、寄生容量の少ない良好な TFT が得られる。

【0055】〔請求項 32 に係る発明〕本発明は請求項 30 に記載に半導体装置に於いて、前記第一電極部は前記第一導電型薄膜トランジスタの低濃度ソース・ドレイン領域が有する第一導電型不純物と同量の第一導電型不純物を含有する半導体膜から構成され、該第一導電型薄膜トランジスタの低濃度ソース・ドレイン領域は第一導電型不純物と共に該第一導電型不純物量よりも少なく、且つ前記第二導電型薄膜トランジスタの低濃度ソース・ドレイン領域と同量の第二導電型不純物を含む事の特徴とする。

【0056】この様な構成にすると、LDD CMOS TFT の利点を活かして尚、フォト工程をさらに一工程減らす事が出来、より少ない工程数で斯様な半導体装置が製造される。

【0057】〔請求項 33 に係る発明〕本発明は請求項 30 に記載の半導体装置に於いて、前記第一電極部は前記第二導電型薄膜トランジスタの低濃度ソース・ドレイン領域が有する第二導電型不純物と同量の第二導電型不純物を含有する半導体膜から構成され、前記第一導電型薄膜トランジスタの低濃度ソース・ドレイン領域は第一導電型不純物と共に該第一導電型不純物量よりも少なく、且つ前記第二導電型薄膜トランジスタの低濃度ソース・ドレイン領域と同量の第二導電型不純物を含む事の特徴とする。

【0058】この様な構成にすると、LDD CMOS TFT の利点を活かして尚、フォト工程をさらに一工程減らす事が出来、より少ない工程数で斯様な半導体装置が製造される。

【0059】〔請求項 34 に係る発明〕本発明は請求項 31 に記載する半導体装置に於いて、前記第一電極部は前記第一導電型薄膜トランジスタの高濃度ソース・ドレイン領域が有する第一導電型不純物と同量の第一導電型不純物を含有する半導体膜から構成され、該第一導電型薄膜トランジスタの低濃度ソース・ドレイン領域は第一導電型不純物と共に該第一導電型不純物量よりも少なく、且つ前記第二導電型薄膜トランジスタの低濃度ソース・ドレイン領域と同量の第二導電型不純物を含む事の特徴とする。

【0060】この様な構成にすると、LDD CMOS TFT の利点を活かして尚、フォト工程をさらに一工程減らす事が出来、より少ない工程数で斯様な半導体装置が製造される。

【0061】〔請求項 35 に係る発明〕本発明は請求項 31 に記載する半導体装置に於いて、前記第一電極部は前記第二導電型薄膜トランジスタの高濃度ソース・ドレイン領域が有する第二導電型不純物と同量の第二導電型

不純物を含有する半導体膜から構成され、前記第一導電型薄膜トランジスタの低濃度ソース・ドレイン領域は第一導電型不純物と共に該第一導電型不純物量よりも少なく、且つ前記第二導電型薄膜トランジスタの低濃度ソース・ドレイン領域と同量の第二導電型不純物を含有する事を特徴とする。

【0062】この様な構成にすると、LDD CMOS TFTの利点を活かして尚、フォトリソ工程をさらに一工程減らす事が出来、より少ない工程数で斯様な半導体装置が製造される。

【0063】〔請求項36に係る発明〕本発明はゲート電極にゲート絶縁膜を介して対峙するチャネル領域と第一導電型不純物を高濃度に含む高濃度第一導電型ソース・ドレイン領域を備える第一導電型薄膜トランジスタと、ゲート電極にゲート絶縁膜を介して対峙するチャネル領域と第二導電型不純物を高濃度に含む高濃度第二導電型ソース・ドレイン領域を備える第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子とを有する半導体装置に於いて、前記第一導電型薄膜トランジスタは前記高濃度第一導電型ソース・ドレイン領域端部と前記チャネル領域端部の間に低濃度第一導電型ソース・ドレイン領域を具備するLDD構造を成し、前記第二導電型薄膜トランジスタは前記高濃度第二導電型ソース・ドレイン領域端部と前記チャネル領域端部の間に該チャネル領域と同等の不純物濃度を有するオフセット領域を備え、前記第一電極部は前記第一導電型薄膜トランジスタの低濃度第一導電型ソース・ドレイン領域と同量の第一導電型不純物を含む半導体膜から構成されている事を特徴とする。

【0064】この様な構成にすると、LDD TFTとオフセットTFTの利点を活かして尚、フォトリソ工程をさらに一工程減らす事が出来、より少ない工程数で斯様な半導体装置が製造される。

【0065】〔請求項37に係る発明〕本発明はゲート電極にゲート絶縁膜を介して対峙するチャネル領域と第一導電型不純物を高濃度に含む高濃度第一導電型ソース・ドレイン領域を備える第一導電型薄膜トランジスタと、ゲート電極にゲート絶縁膜を介して対峙するチャネル領域と第二導電型不純物を高濃度に含む高濃度第二導電型ソース・ドレイン領域を備える第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子とを有する半導体装置に於いて、前記第一導電型薄膜トランジスタは前記高濃度第一導電型ソース・ドレイン領域端部と前記チャネル領域端部の間に低濃度第一導電型ソース・ドレイン領域を具備するLDD構造を成し、前記第二導電型薄膜トランジスタは前記高濃度第二導電型ソース・ドレイン領域端部と前記チャネル領域端部の間に該チャネル領域と同等の不純物濃度を有するオフセット領域を備え、前記第

一電極部は前記第一導電型薄膜トランジスタの高濃度第一導電型ソース・ドレイン領域と同量の第一導電型不純物を含む半導体膜から構成されている事を特徴とする。

【0066】この様な構成にすると、LDD TFTとオフセットTFTの利点を活かして尚、フォトリソ工程をさらに一工程減らす事が出来、より少ない工程数で斯様な半導体装置が製造される。

【0067】〔請求項38に係る発明〕本発明はゲート電極にゲート絶縁膜を介して対峙するチャネル領域と第一導電型不純物を高濃度に含む高濃度第一導電型ソース・ドレイン領域を備える第一導電型薄膜トランジスタと、ゲート電極にゲート絶縁膜を介して対峙するチャネル領域と第二導電型不純物を高濃度に含む高濃度第二導電型ソース・ドレイン領域を備える第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子とを有する半導体装置に於いて、前記第一導電型薄膜トランジスタは前記高濃度第一導電型ソース・ドレイン領域端部と前記チャネル領域端部の間に低濃度第一導電型ソース・ドレイン領域を具備するLDD構造を成し、前記第二導電型薄膜トランジスタは前記高濃度第二導電型ソース・ドレイン領域端部と前記チャネル領域端部の間に該チャネル領域と同等の不純物濃度を有するオフセット領域を備え、前記第一電極部は前記第二導電型薄膜トランジスタの高濃度第二導電型ソース・ドレイン領域と同量の第二導電型不純物を含む半導体膜から構成されている事を特徴とする。

【0068】この様な構成にすると、LDD TFTとオフセットTFTの利点を活かして尚、フォトリソ工程をさらに一工程減らす事が出来、より少ない工程数で斯様な半導体装置が製造される。

【0069】〔請求項39に係る発明〕本発明は請求項27乃至38のいずれかの項に規定する半導体装置を用いたアクティブマトリクス基板であって、前記第一導電型及び前記第二導電型薄膜トランジスタは駆動回路部に於いてCMOS回路を構成し、前記第一導電型及び第二導電型薄膜トランジスタの内の少なくとも一方の薄膜トランジスタは画素領域に於いて画素用薄膜トランジスタを構成し、前記容量素子は前記画素領域に於いて液晶セルに対する保持容量を構成している事を特徴とする。

【0070】〔請求項40に係る発明〕本発明はゲート電極とゲート絶縁膜とチャネル領域と該チャネル領域に低濃度ソース・ドレイン領域を介して導電接続する高濃度ソース・ドレイン領域とを具備するLDD型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子を有する半導体装置の製造方法に於いて、少なくとも該チャネル領域と該低濃度ソース・ドレイン領域と該第一電極部を構成する半導体膜を形成する第一工程と、該半導体膜の一部に低濃度にてドナー又はアクセプターと成る不純物を導入して該低濃度ソース・ドレイン領域と該第一電極部を形成する第二



工程と、該第二工程終了後にゲート電極と第二電極部を形成する第三工程とを含む事の特徴とする。

【0071】[請求項41に係る発明] 本発明はゲート電極とゲート絶縁膜とチャネル領域と該チャネル領域に低濃度ソース・ドレイン領域を介して導電接続する高濃度ソース・ドレイン領域とを具備するLDD型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子を有する半導体装置の製造方法に於いて、少なくとも該チャネル領域と該高濃度ソース・ドレイン領域と該第一電極部を構成する半導体膜を形成する第一工程と、該半導体膜の一部に高濃度にてドナー又はアクセプターと成る不純物を導入して該高濃度ソース・ドレイン領域と該第一電極部を形成する第二工程と、該第二工程終了後にゲート電極と第二電極部を形成する第三工程とを含む事の特徴とする。

【0072】[請求項42に係る発明] 本発明はゲート電極とゲート絶縁膜とチャネル領域と該チャネル領域と同量の不純物を含むオフセット領域と該オフセット領域を介して該チャネル領域に導電接続する高濃度ソース・ドレイン領域とを具備するオフセット型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子を有する半導体装置の製造方法に於いて、少なくとも該チャネル領域と該高濃度ソース・ドレイン領域と該第一電極部を構成する半導体膜を形成する第一工程と、該半導体膜の一部に高濃度にてドナー又はアクセプターと成る不純物を導入して該高濃度ソース・ドレイン領域と該第一電極部を形成する第二工程と、該第二工程終了後にゲート電極と第二電極部を形成する第三工程とを含む事の特徴とする。

【0073】[請求項43に係る発明] 本発明はゲート電極とゲート絶縁膜とチャネル領域と該チャネル領域に低濃度第一導電型ソース・ドレイン領域を介して導電接続する高濃度第一導電型ソース・ドレイン領域とを具備するLDD型第一導電型薄膜トランジスタと、ゲート電極とゲート絶縁膜とチャネル領域と該チャネル領域に低濃度第二導電型ソース・ドレイン領域を介して導電接続する高濃度第二導電型ソース・ドレイン領域とを具備するLDD型第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子を有する半導体装置の製造方法に於いて、少なくとも該LDD型第一導電型薄膜トランジスタのチャネル領域と低濃度第一導電型ソース・ドレイン領域と、該LDD型第二導電型薄膜トランジスタのチャネル領域と、該第一電極部を構成する半導体膜を形成する第一工程と、該半導体膜の一部に低濃度にて第一導電型不純物を導入して該低濃度第一導電型ソース・ドレイン領域と該第一電極部を形成する第二工程と、該第二工程終了後にゲート電極と第二電極部を形成する第三工程とを含む事の特徴とする。

【0074】[請求項44に係る発明] 本発明はゲート

電極とゲート絶縁膜とチャネル領域と該チャネル領域に低濃度第一導電型ソース・ドレイン領域を介して導電接続する高濃度第一導電型ソース・ドレイン領域とを具備するLDD型第一導電型薄膜トランジスタと、ゲート電極とゲート絶縁膜とチャネル領域と該チャネル領域に低濃度第二導電型ソース・ドレイン領域を介して導電接続する高濃度第二導電型ソース・ドレイン領域とを具備するLDD型第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子を有する半導体装置の製造方法に於いて、少なくとも該LDD型第一導電型薄膜トランジスタのチャネル領域と高濃度第一導電型ソース・ドレイン領域と、該LDD型第二導電型薄膜トランジスタのチャネル領域と、該第一電極部を構成する半導体膜を形成する第一工程と、該半導体膜の一部に高濃度にて第一導電型不純物を導入して該高濃度第一導電型ソース・ドレイン領域と該第一電極部を形成する第二工程と、該第二工程終了後にゲート電極と第二電極部を形成する第三工程とを含む事の特徴とする。

【0075】[請求項45に係る発明] 本発明は請求項43乃至44に記載した半導体装置の製造方法に於いて、前記LDD型第一導電型薄膜トランジスタの低濃度第一導電型ソース・ドレイン領域を形成する為に第一導電型不純物を低濃度にて該半導体膜に導入する低濃度第一導電型不純物導入工程、又は前記LDD型第二導電型薄膜トランジスタの低濃度第二導電型ソース・ドレイン領域を形成する為に第二導電型不純物を低濃度にて該半導体膜に導入する低濃度第二導電型不純物導入工程の一方の低濃度不純物導入工程をマスクを形成せずに、該第一導電型不純物と該第二導電型不純物の双方の不純物が導入される領域の導電型及び実質的な不純物濃度については、該第一導電型不純物と該第二導電型不純物の導入量の差によって規定する事の特徴とする。

【0076】[請求項46に係る発明] 本発明はゲート電極とゲート絶縁膜と第一チャネル領域と該第一チャネル領域に低濃度第一導電型ソース・ドレイン領域を介して導電接続する高濃度第一導電型ソース・ドレイン領域とを具備するLDD型第一導電型薄膜トランジスタと、ゲート電極とゲート絶縁膜と第二チャネル領域と高濃度第二導電型ソース・ドレイン領域、及び該第二チャネル領域端と該高濃度第二導電型ソース・ドレイン領域端との間に該第二チャネル領域と同じ不純物濃度を有するオフセット領域を具備するオフセット型第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子、とを有する半導体装置の製造方法に於いて、少なくとも該第一チャネル領域と該低濃度第一導電型ソース・ドレイン領域と該第二チャネル領域と該第一電極部を構成する半導体膜を形成する第一工程と、該半導体膜の一部に低濃度にて第一導電型不純物を導入して該低濃度第一導電型ソース・ドレ

ン領域と該第一電極部を形成する第二工程と、該第二工程終了後にゲート電極と第二電極部を形成する第三工程とを含む事の特徴とする。

【0077】〔請求項47に係る発明〕本発明はゲート電極とゲート絶縁膜と第一チャネル領域と該第一チャネル領域に低濃度第一導電型ソース・ドレイン領域を介して導電接続する高濃度第一導電型ソース・ドレイン領域とを具備するLDD型第一導電型薄膜トランジスタと、ゲート電極とゲート絶縁膜と第二チャネル領域と高濃度第二導電型ソース・ドレイン領域、及び該第二チャネル領域端と該高濃度第二導電型ソース・ドレイン領域端との間に該第二チャネル領域と同じ不純物濃度を有するオフセット領域を具備するオフセット型第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子、とを有する半導体装置の製造方法に於いて、少なくとも該第一チャネル領域と該高濃度第一導電型ソース・ドレイン領域と該第二チャネル領域と該第一電極部を構成する半導体膜を形成する第一工程と、該半導体膜の一部に高濃度にて第一導電型不純物を導入して該高濃度第一導電型ソース・ドレイン領域と該第一電極部を形成する第二工程と、該第二工程終了後にゲート電極と第二電極部を形成する第三工程とを含む事の特徴とする。

【0078】〔請求項48に係る発明〕本発明はゲート電極とゲート絶縁膜と第一チャネル領域と該第一チャネル領域に低濃度第一導電型ソース・ドレイン領域を介して導電接続する高濃度第一導電型ソース・ドレイン領域とを具備するLDD型第一導電型薄膜トランジスタと、ゲート電極とゲート絶縁膜と第二チャネル領域と高濃度第二導電型ソース・ドレイン領域、及び該第二チャネル領域端と該高濃度第二導電型ソース・ドレイン領域端との間に該第二チャネル領域と同じ不純物濃度を有するオフセット領域を具備するオフセット型第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子、とを有する半導体装置の製造方法に於いて、少なくとも該第一チャネル領域と該第二チャネル領域と該高濃度第二導電型ソース・ドレイン領域と該第一電極部を構成する半導体膜を形成する第一工程と、該半導体膜の一部に高濃度にて第二導電型不純物を導入して該高濃度第二導電型ソース・ドレイン領域と該第一電極部を形成する第二工程と、該第二工程終了後にゲート電極と第二電極部を形成する第三工程とを含む事の特徴とする。

【0079】

【発明の実施の形態】図面を参照して本発明の実施例を説明する。尚以下に説明するいずれの実施例も本発明に係る半導体装置を液晶表示装置に於ける駆動回路内蔵型のアクティブマトリクス基板に適用した例で説明する。但し本発明の半導体装置はアクティブマトリクス基板の他にもLSIやセラミック基板上に構成された半導体装

置にも適用出来る。又以下に説明するいずれのアクティブマトリクス基板もTFT等の基本的な構造が図29に示したアクティブマトリクス基板と略同じで有る為、以下の説明では対応する機能を有する部分には同じ符号を付して有る。又本例では第一導電型をN型とし、第二導電型をP型として説明して有るが、無論第一導電型をP型とし、第二導電型をN型としても良い。

【0080】各実施例はいずれも最小限の製造工程数によって、各TFTの電気的特性を向上させた半導体装置とその製造方法を開示するもので有るが、それらを分類するとすると、実施例1乃至2のグループと実施例3乃至16のグループに大別出来る。

【0081】実施例1乃至2は、請求項1乃至26に係る発明に対応する。即ち同一基板上に第一導電型及び第二導電型のTFTを有する構成をベースとして居る。これに対して実施例3乃至16は請求項27乃至48に係る発明に対応する。即ち同一基板上にTFTと容量素子とを有する構成をベースとして居る。

【0082】〔実施例1〕

(アクティブマトリクス基板の構成) 図1は、本発明に係る半導体装置を液晶表示装置に於ける駆動回路内蔵型のアクティブマトリクス基板に適用した時の構造を模式的に示す断面図で有る。

【0083】図1に於いて、アクティブマトリクス基板1の基体たる絶縁基板2の表面側には3つタイプのTFTが形成され、その内、右側に表されているのは第一導電型の画素用TFT10（第一導電型TFT）で有り、中央に表されているのは第一導電型の駆動回路用TFT20（第一導電型TFT）で有り、左側に表されているのは第二導電型の駆動回路用TFT30'（第二導電型TFT）で有る。これらのTFTの内、第一導電型の駆動回路用TFT20と第二導電型の駆動回路用TFT30'は、CMOS回路として駆動回路のインバータなどを構成して居る。即ち図1に示すアクティブマトリクス基板1は、第一導電型のTFTと第二導電型のTFTとを有する半導体装置となって居る。

【0084】図2(a)に示す様に、液晶表示装置は、そのアクティブマトリクス基板上に信号線90及び走査線91で区画形成された画素領域を有し、そこには、画素用TFT92を介して画像信号が入力される液晶セルの液晶容量94が存在する。又信号線90に対しては、シフトレジスタ84、レベルシフト85、ビデオライン87、アナログスイッチ86を備えるデータドライバ部82がアクティブマトリクス基板上に形成されて居る。走査線91に対しては、シフトレジスタ88及びレベルシフト89を備える走査ドライバ部83がアクティブマトリクス基板上に形成されて居る。尚画素領域には前段の走査線との間に保持容量40も形成されて居る。ここで、駆動回路用のTFTは、シフトレジスタをはじめ、レベルシフトやアナログスイッチなどに用いられている

が、シフトレジスタを例に説明する。シフトレジスタ84、88では、図2(b)に2段のインバータを示す様に、第一導電型のTFT<sub>n1</sub>、<sub>n2</sub>と、第二導電型のTFT<sub>p1</sub>、<sub>p2</sub>とによって其々CMOS回路が構成されて居る。これらのTFTの内、第一導電型のTFT<sub>n1</sub>、<sub>n2</sub>は、図1に示す第一導電型の駆動回路用TFT20に対応し、第二導電型のTFT<sub>p1</sub>、<sub>p2</sub>は、図1に示す第二導電型の駆動回路用TFT30'に対応し、画素用TFT92は、図1に示す第一導電型の画素用TFT10に対応する。

【0085】再び、図1に於いて、第一導電型の画素用TFT10、及び第一導電型の駆動回路用TFT20は、ソース・ドレイン領域11、12、21、22の間にチャンネルを形成する為のチャンネル領域13、23を有し、これらのチャンネル領域13、23は、低濃度の第二導電型不純物（本例では、P型導電性を示すホウ素

(B)、アルミニウム(A1)、ガリウム(Ga)、インジウム(In)などのアクセプター不純物)を含んで居る。又第一導電型の画素用TFT10、及び第一導電型の駆動回路用TFT20は、ゲート電極15、25の端部に対してゲート絶縁膜14、24を介して対峙する第一導電型の低濃度ソース・ドレイン領域111、121、211、221と、ソース・ドレイン電極16、17、26、27が電気的に接続された第一導電型の高濃度ソース・ドレイン領域112、122、212、222とを有して居る。本例では、第一導電型TFTとして、N型TFTを用いて説明している為、ソース・ドレイン領域に含まれるN型不純物は、N型導電性を示すリン(P)、ヒ素(As)、アンチモン(Sb)等である。

【0086】一方、第二導電型の駆動回路用TFT30'は、低濃度の第二導電型不純物を含むチャンネル領域33と、このチャンネル領域と同じ不純物濃度をもってゲート電極35の端部に対してゲート絶縁膜34を介して対峙するオフセット領域311'、321'と、ソース・ドレイン電極36、37が電気的に接続された第二導電型の高濃度ソース・ドレイン領域312、322とを有して居る。

【0087】両導電型のTFTのチャンネル領域13、23、33、及びソース・ドレイン領域11、12、21、22、31、32は、シリコン(Si)、ゲルマニウム(Ge)等の半導体膜からなる。半導体膜の種類としては、これら四族元素単体からなっている膜の他に、シリコン・ゲルマニウム( $Si_x Ge_{1-x}$ ;  $0 < x < 1$ )、シリコン・カーバイド( $Si_x C_{1-x}$ ;  $0 < x < 1$ )、ゲルマニウム・カーバイド( $Ge_x C_{1-x}$ ;  $0 < x < 1$ )等の四族元素複合体やガリウム・ヒ素(GaAs)、インジウム・アンチモン(InSb)等の三族元素と五族元素との複合体、さらには、カドミウム・セレン(CdSe)等の二族元素と五族元素との複合体

も可能である。又これら半導体の物理的状態は、単結晶状態、多結晶状態、微結晶状態、混晶状態、非晶質状態などが可能である。本例では、多結晶状態にあるシリコン膜(poly-Si膜)を半導体膜として用いて居る。

【0088】この様に構成したアクティブマトリクス基板1に於いて、チャンネル領域13、23、33は、いずれも低濃度のボロンイオンによってチャンネルドーピングされている為、不純物濃度が約 $1 \times 10^{16} \text{ cm}^{-3}$ から約 $5 \times 10^{17} \text{ cm}^{-3}$ 程度の低濃度第二導電型領域である。

【0089】本発明の駆動回路部に於いては、CMOS回路を多数段に接続した場合でも、オフセット型またはLDD構造のTFTを採用している為、ゲート電極ソース・ドレイン領域間に於ける寄生容量が小さくなり、それ故、高速動作が可能である。更にトランジスタサイズを小さくする事(チャンネル長を短くする事)により、オン電流は増大する。これに伴い、ゲートチャンネル間のトランジスタ容量も小さくなり、きわめて高速な動作が実現される。しかも、後述するとおり、チャンネルドーピングと同じ工程に於いて、ソース・ドレイン領域に低濃度領域を形成する為の不純物を導入するので、アクティブマトリクス基板1の製造工程数を減らす事が出来ると云う利点もある。

【0090】尚本例では、第二導電型の不純物によってチャンネルドーピングしたが、第一導電型の不純物をチャンネルドーピングした場合でも、高速動作と製造工程数の削減とを図る事が出来る。

【0091】又第一導電型の画素用TFT10、第一導電型の駆動回路用TFT20、及び第二導電型の駆動回路用TFT30'は、チャンネル領域13、23、33の表面側に対して、ゲート絶縁膜14、24、34(厚さが約1200オングストロームのシリコン酸化膜)を介して対峙するゲート電極15、25、35を有し、各TFT間では、チャンネル領域13、23、33の長さや幅などを同一寸法にして、トランジスタ容量のバランスなどを確保してもよい。

【0092】アクティブマトリクス基板1に於いて、ソース・ドレイン領域11、12、21、22は、ゲート電極15、25の端部に対してゲート絶縁膜14、24を介して対峙する部分に第一導電型の低濃度ソース・ドレイン領域111、121、211、221を備えており、第一導電型の画素用TFT10、及び第一導電型の駆動回路用TFT20は、LDD構造になって居る。

【0093】これに対して、ソース・ドレイン領域31、32は、ゲート電極35の端部に対してゲート絶縁膜34を介して対峙する部分がオフセット領域311'、321'で有り、このオフセット領域311'、321'は、チャンネル領域33と同じく不純物濃度が約 $1 \times 10^{16} \text{ cm}^{-3}$ から約 $5 \times 10^{17} \text{ cm}^{-3}$ 程度の低濃度第二導電型領域である。



【0094】尚第一導電型の画素用TFT10、及び第一導電型の駆動回路用TFT20のソース・ドレイン領域11、12、21、22に於いて、第一導電型の低濃度ソース・ドレイン領域111、121、211、221を除く領域は不純物濃度が約 $5 \times 10^{19} \text{ cm}^{-3}$ から約 $5 \times 10^{20} \text{ cm}^{-3}$ 程度の第一導電型の高濃度ソース・ドレイン領域112、122、212、222で有り、これらの高濃度領域に対して、各TFTに対する信号線や画素電極などのソース・ドレイン電極16、17、26、27が、層間絶縁膜4のコンタクトホールを介して電氣的に接続して居る。

【0095】又第二導電型の駆動回路用TFT30'のソース・ドレイン領域31、32において、オフセット領域311'、321'に隣接する部分は不純物濃度が約 $5 \times 10^{19} \text{ cm}^{-3}$ から約 $5 \times 10^{20} \text{ cm}^{-3}$ 程度の第二導電型の高濃度ソース・ドレイン領域312、322で有り、これらの高濃度領域に対して、信号線や画素電極などのソース・ドレイン電極36、37が層間絶縁膜4のコンタクトホールを介して電氣的に接続して居る。

【0096】尚本発明では、第二導電型TFTは、ソース・ドレイン領域、オフセット領域、チャネル領域の総てが同一の導電性（P型導電性）を有しており、第一導電型のTFTは、ソース・ドレイン領域とLDD領域（N型導電性）に対して、チャネル領域が逆の導電性（P型導電性）となって居る。これに対して、この反対に、第二導電型TFTでは、ソース・ドレイン領域（P型導電性）に対してオフセット領域とチャネル領域を逆の導電性（N型導電性）とし、第一導電型TFTを、ソース・ドレイン領域、LDD領域、チャネル領域の総てが同一の導電性（N型導電性）とする事も可能で有る。但し、この場合、トランジスタのオン時に第二導電型TFTのチャネル（反転して第二導電性／P型導電性）と、オフセット領域とソース・ドレイン領域（第一導電性／N型導電性）との間に弱いPN接合が出来、オフ電流を制限する事となる。

【0097】（TFTのオン・オフ電流特性）この様に構成したTFTのオン・オフ電流特性では、いずれのTFTにおいても、ゲート電極15、25、35の端部に対峙する部分が低濃度領域（第一導電型の低濃度ソース・ドレイン領域111、121、211、221、またはオフセット領域311'、321'）になっているので、ドレイン端に於ける電界強度が緩和されて居る。それ故、図3にLDD構造の第一導電型のTFT（第一導電型の画素用TFT10、及び第一導電型の駆動回路用TFT20）のドレイン電流－ゲート電圧特性を実線L3で示し、それと比較する様に、オフセットゲート構造の第二導電型のTFT（第二導電型の駆動回路用TFT30'）のドレイン電流－ゲート電圧特性を点線L4'で示す様に、いずれのTFTも、まず、TFTのオフ電流が著しく小さい。

【0098】又図31（a）にLDD構造の第一導電型のTFT（第一導電型の画素用TFT10、及び第一導電型の駆動回路用TFT20）に於ける耐電圧特性を実線L21で示し、図31（b）にLDD構造の第二導電型のTFTに於ける耐電圧特性を実線L22で示した様に、LDD構造のTFTは、セルフアライン構造のTFTと比較して耐電圧が高いので、チャネル長を短くする事が出来る事は勿論の事、オフセットゲート構造のTFT（第二導電型の駆動回路用TFT30'）に於ける耐電圧特性は、LDD構造のTFTに於ける耐電圧特性よりさらに優れて居る。従って、第二導電型の駆動回路用TFT30'も、セルフアライン構造のTFTと比較して耐電圧が著しく高いので、チャネル長をより短くする事が出来る。それ故、トランジスタ容量を低減する事により、高速動作を実現出来る。

【0099】尚本例では、第一導電型を第一導電型とし、第二導電型を第二導電型としたが、逆にしてもよい。即ち画素用TFTを第二導電型で構成してもよい。又第二導電型の駆動回路用TFT30'のオフセット領域311'、321'、及びチャネル領域33の不純物濃度を約 $1 \times 10^{16} \text{ cm}^{-3}$ から約 $5 \times 10^{17} \text{ cm}^{-3}$ 程度としたが、かかる濃度についても、アクティブマトリクス基板1の仕様やチャネル長の寸法などに応じて最適な値に設定されるべき性質のもので有り、上記の数値に限らない。

【0100】（TFTの製造方法）斯様な構造のアクティブマトリクス基板1は、例えば以下の方法により製造出来る。尚以下の説明に於いて、不純物濃度はいずれも活性化アニール後の不純物濃度で表して有る。

【0101】図4（a）に示す様に、石英基板などの絶縁基板2の表面の内、第一導電型の画素用TFT10、第一導電型の駆動回路用TFT20、及び第二導電型の駆動回路用TFT30'の形成領域に低濃度第二導電型のシリコン膜10a、20a、30a及びゲート絶縁膜14、24、34を形成する。

【0102】それには、まず、ガラス基板や石英基板などの絶縁基板2の表面に、LPCVD法またはプラズマCVD法などを用いて真性のポリシリコン膜を形成した後、ポリシリコン膜をフォトリソグラフィ法によってパターンニングして、それを島状のシリコン膜10a、20a、30aにする（シリコン膜形成工程）。尚ポリシリコン膜は、アモルファスシリコン膜を形成した後、レーザアニール法または固相成長法により結晶粒を成長させて形成する場合も有る。

【0103】次に、島状のシリコン膜10a、20a、30aに対して、熱酸化法、TEOS-CVD法、LPCVD法、プラズマCVD法、HTO法などにより、厚さが約200オングストローム程度から約1500オングストローム程度、一例として約1200オングストロームのシリコン酸化膜からなるゲート絶縁膜14、2

4、34を形成する（ゲート絶縁膜形成工程）。

【0104】しかる後に、例えば、ゲート絶縁膜14、24、34の厚さが約1200オングストロームで、 $1 \times 10^{17} \text{ cm}^{-3}$ 程度の不純物とする場合には、 $1 \times 10^{12} \text{ cm}^{-2}$ のドーザ量でボロンイオン（第二導電型不純物）を打ち込んでチャネルドーピングを行なう（チャネルドーピング工程／低濃度第二導電型不純物導入工程／1回目の不純物導入工程）。

【0105】その結果、島状のシリコン膜10a、20a、30aは、いずれも低濃度第二導電型のシリコン膜10a、20a、30aとなる。

【0106】次に、図4（b）に示す様に、ゲート絶縁膜14、24、34の表面に、ドーパドシリコン、シリサイド膜、或いは金属薄膜などからなるゲート電極15、25、35を形成する（ゲート電極形成工程）。

【0107】次に、第二導電型の画素用TFT30'の形成領域をレジストマスク61で覆う一方、第一導電型の画素用TFT10、及び第一導電型の駆動回路用TFT20の形成領域については開放状態とする（1回目のマスク形成工程）

この状態で、第一導電型の画素用TFT10、及び第一導電型の駆動回路用TFT20の形成領域に対して、第一導電型不純物、例えばリンイオンを約 $1.0 \times 10^{13} \text{ cm}^{-2}$ のドーザ量でイオン注入し、ゲート電極15、25に対して自己整合的に不純物濃度が約 $1.0 \times 10^{18} \text{ cm}^{-3}$ の低濃度のソース・ドレイン領域11、12、21、22を形成する（低濃度第一導電型不純物導入工程／2回目の不純物導入工程）。尚不純物が導入されなかった部分がチャネル領域13、23となる。

【0108】しかる後に、レジストマスク61を除去する。

【0109】次に、図4（c）に示す様に、第一導電型の画素用TFT10及び第一導電型の駆動回路用TFT20に加えて、第二導電型の駆動回路用TFT30'のゲート電極35をも広めに覆うレジストマスク62を形成する（2回目のマスク形成工程）。ここで、レジストマスク62の端部と、ゲート電極35の端部との距離は、 $0.5 \mu\text{m} \sim 2.0 \mu\text{m}$ 程度が適して居る。

【0110】この状態で、第二導電型の不純物、例えばボロンイオンを $1.0 \times 10^{15} \text{ cm}^{-2}$ のドーザ量でイオン注入する（高濃度第二導電型不純物導入工程／3回目の不純物導入工程）。

【0111】その結果、低濃度第二導電型のシリコン膜30aには、第二導電型不純物濃度が $1.0 \times 10^{20} \text{ cm}^{-3}$ の第二導電型の高濃度ソース・ドレイン領域312、322が形成される。一方、低濃度第二導電型のシリコン膜30aの内、レジストマスク62で覆われていた部分はそのまま第二導電型不純物濃度が約 $1.0 \times 10^{17} \text{ cm}^{-3}$ のオフセット領域311'、321'となる。勿論、チャネル領域33は第二導電型不純物濃度が

約 $1.0 \times 10^{17} \text{ cm}^{-3}$ の低濃度第二導電型領域のまま有る。

【0112】この様に、第二導電型の駆動回路用TFT30'を形成する。しかる後に、レジストマスク62を除去する。

【0113】次に、図4（d）に示す様に、第二導電型の駆動回路用TFT30'の形成領域に加えて、第一導電型の画素用TFT10及び第一導電型の駆動回路用TFT20のゲート電極15、25をも広めに覆うレジストマスク63を形成する（3回目のマスク形成工程）。ここでも、レジストマスク63の端部とゲート電極15、25の端部との距離は、 $0.5 \mu\text{m} \sim 2.0 \mu\text{m}$ 程度が適して居る。

【0114】この状態で、第一導電型の不純物、例えばリンイオンを $1.0 \times 10^{15} \text{ cm}^{-2}$ のドーザ量でイオン注入する（高濃度第一導電型不純物導入工程／4回目の不純物導入工程）。

【0115】その結果、低濃度のソース・ドレイン領域11、12、21、22には、第一導電型不純物濃度が $1.0 \times 10^{20} \text{ cm}^{-3}$ の第一導電型の高濃度ソース・ドレイン領域112、122、212、222が形成される。一方、低濃度のソース・ドレイン領域11、12、21、22の内、レジストマスク63で覆われていた部分は、そのまま第一導電型不純物濃度が約 $1.0 \times 10^{18} \text{ cm}^{-3}$ の第一導電型の低濃度ソース・ドレイン領域111、121、211、222となる。勿論、チャネル領域13、23は、第二導電型不純物濃度が約 $1.0 \times 10^{17} \text{ cm}^{-3}$ の低濃度第二導電型領域のままで有る。

【0116】この様に、第一導電型の画素用TFT10及び第一導電型の駆動回路用TFT20を形成する。しかる後に、レジストマスク63を除去する。

【0117】以降、図1に示す様に、層間絶縁膜4を形成した後、活性化の為にアニールを行い、しかる後に、コンタクトホールを形成してソース・ドレイン電極16、17、26、27、36、37を形成すれば、レジストマスク61～63を形成する為の3回のマスク形成工程と、4回の不純物導入工程によって、CMOS構造をとるTFTのソース・ドレイン領域とチャネル領域とを形成でき、アクティブマトリクス基板1を製造出来る。

【0118】この様に、本例のアクティブマトリクス基板1の製造方法では、第二導電型の駆動回路用TFT30'に於いて、ゲート電極35に対峙する部分を低濃度領域とするにあたって、LDD構造ではなく、チャネルと同一導電型で同一濃度を有するオフセットゲート構造にして居る。この為、図33（a）～（e）を参照して説明した従来の製造方法に比較して、マスク形成工程及び不純物導入工程のいずれについても1回ずつ少ない。即ち本例では、低濃度第二導電型不純物導入工程を、ゲート電極形成工程を行なう以前に、各TFTのチャネル

領域に対するチャネルドーピングと同時に行なう為、総てのTFTをLDD構造で製造する場合よりも不純物導入工程を1回分少なくする事が出来る。又低濃度第二導電型不純物導入工程は、あくまでチャネルドーピングと同時に行ない、この工程で形成した低濃度第二導電型領域の内、第一導電型のソース・ドレイン領域となるべき領域には、より高濃度の第一導電型の不純物を導入する。従って、低濃度第二導電型不純物導入工程では、マスクを必要としないので、総てのTFTをLDD構造で製造する場合よりもマスク形成工程も1回分少なくする事が出来る。それ故、最小限の製造工程数によって、画素領域及び駆動回路部のTFTの電気的特性を向上する事が出来る。

【0119】(TFTの別の製造方法) 又本例のアクティブマトリクス基板1は、以下に説明する方法でも製造出来る。

【0120】図5(a)に示す様に、ガラス基板や石英基板などの絶縁基板2の表面のうち、画素用TFT10、第一導電型の駆動回路用TFT20、及び第二導電型の駆動回路用TFT30'の形成領域に低濃度第二導電型のシリコン膜10a、20a、30aおよびゲート絶縁膜14、24、34を形成する。

【0121】それには、まず、石英基板などの絶縁基板2の表面に、LPCVD法またはプラズマCVD法などを用いて真性のポリシリコン膜を形成した後、ポリシリコン膜をフォトリソグラフィ法によってパターニングして、それを島状のシリコン膜10a、20a、30aにする(シリコン膜形成工程)。

【0122】次に、島状のシリコン膜10a、20a、30aに対して、熱酸化法、TEOS-CVD法、LPCVD法、プラズマCVD法、HTO法などにより、厚さが200オングストローム程度から約1500オングストローム程度、一例として約1200オングストロームのシリコン酸化膜からなるゲート絶縁膜14、24、34を形成する(ゲート絶縁膜形成工程)。

【0123】しかる後に、 $1 \times 10^{12} \text{ cm}^{-2}$ のドーズ量でボロンイオン(第二導電型不純物)を打ち込んで、チャネルドーピングを行なう(チャネルドーピング工程/低濃度第二導電型不純物導入工程/1回目の不純物導入工程)。

【0124】その結果、島状のシリコン膜10a、20a、30aは、いずれも低濃度第二導電型のシリコン膜10a、20a、30aとなる。

【0125】次に、図5(b)に示す様に、ゲート絶縁膜14、24、34の表面に、ドーパドシリコン、シリサイド膜、或いは金属薄膜などからなるゲート電極15、25、35を形成する(ゲート電極形成工程)。

【0126】以上の工程は、図4(a)~(d)を参照して説明した製造方法と同様で有る。

【0127】次に、第二導電型の駆動回路用TFT30'の形成領域に加えて、第一導電型の画素用TFT10

0及び第一導電型の駆動回路用TFT20のゲート電極15、25をも広めに覆うレジストマスク71を形成する(1回目のマスク形成工程)。ここでも、レジストマスク71の端部と、ゲート電極15、25の端部との距離は、 $0.5 \mu\text{m} \sim 2.0 \mu\text{m}$ 程度が適して居る。

【0128】この状態で、第一導電型の不純物、例えばリンイオンを $1.0 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する(高濃度第一導電型不純物導入工程/2回目の不純物導入工程)。

【0129】その結果、低濃度第二導電型のシリコン膜10a、20aには、第一導電型不純物濃度が $1.0 \times 10^{20} \text{ cm}^{-3}$ の第一導電型の高濃度ソース・ドレイン領域112、122、212、222が形成される。一方、低濃度第二導電型のシリコン膜10a、20aのうち、レジストマスク71で覆われていた部分は、第二導電型不純物濃度が約 $1.0 \times 10^{17} \text{ cm}^{-3}$ の低濃度第二導電型領域のままで有る。

【0130】しかる後に、レジストマスク71を除去する。

【0131】次に、図5(c)に示す様に、第一導電型の画素用TFT10及び第一導電型の駆動回路用TFT20に加えて、第二導電型の駆動回路用TFT30'のゲート電極35をも広めに覆うレジストマスク72を形成する(2回目のマスク形成工程)。ここで、レジストマスク72の端部と、ゲート電極35の端部との距離は、 $0.5 \mu\text{m} \sim 2.0 \mu\text{m}$ 程度が適して居る。

【0132】この状態で、例えばボロンイオンを $1.0 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する(高濃度第二導電型不純物導入工程/3回目の不純物導入工程)。その結果、低濃度第二導電型のシリコン膜30aには、第二導電型不純物濃度が $1.0 \times 10^{20} \text{ cm}^{-3}$ の第二導電型の高濃度ソース・ドレイン領域312、322が形成される。一方、低濃度第二導電型のシリコン膜30aの内、レジストマスク72で覆われていた部分は、そのまま第二導電型不純物濃度が約 $1.0 \times 10^{17} \text{ cm}^{-3}$ のオフセット領域311'、321'となる。勿論、チャネル領域33は、第二導電型不純物濃度が約 $1.0 \times 10^{17} \text{ cm}^{-3}$ の低濃度第二導電型領域のままで有る。

【0133】この様にして、第二導電型の駆動回路用TFT30'を形成する。しかる後に、レジストマスク72を除去する。

【0134】次に、第二導電型の画素用TFT30'の形成領域をレジストマスク73で覆う一方、第一導電型の画素用TFT10、及び第一導電型の駆動回路用TFT20の形成領域については開放状態とする(3回目のマスク形成工程)。この状態で、第一導電型の画素用TFT10、及び第一導電型の駆動回路用TFT20の形成領域に対して、例えばリンイオンを約 $1.0 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入する(低濃度第一導電型不純物導入工程/4回目の不純物導入工程)。

【0135】その結果、ソース・ドレイン領域10、20には、ゲート電極15、25に対して自己整合的に第一導電型不純物濃度が約 $1.0 \times 10^{18} \text{ cm}^{-3}$ の第一導電型の低濃度ソース・ドレイン領域111、121、211、221が形成される。尚不純物が導入されなかった部分がチャンネル領域13、23となる。

【0136】この様にして、第一導電型の画素用TFT10、及び第一導電型の駆動回路用TFT20を形成する。しかる後に、レジストマスク73を除去する。

【0137】以降、図1に示す様に、層間絶縁膜4を形成した後、活性化の為にアニールを行い、しかる後に、コンタクトホールを形成してソース・ドレイン電極16、17、26、27、36、37を形成すれば、レジストマスク71~73を形成する為の3回のマスク形成工程と、4回の不純物導入工程によって、CMOS構造をとるTFTのソース・ドレイン領域とチャンネル領域とを形成でき、アクティブマトリクス基板1を製造出来る。

【0138】斯様な製造方法でも、第二導電型の駆動回路用TFT30'に於いて、ゲート電極35に対峙する部分を低濃度領域とするにあたり、LDD構造ではなく、チャンネルと同一導電型で同一濃度を有するオフセットゲート構造にして居る。この為、図33(a)~(e)を参照して説明した従来の製造方法に比較して、マスク形成工程及び不純物導入工程のいずれについても1回ずつ少ない。それ故、最小限の製造工程数によって、画素領域及び駆動回路部のTFTの電気的特性を向上する事が出来る。

【0139】【実施例2】本例では、各TFTへのチャネルドープ条件を最適化する事によって、第一導電型のTFTと第二導電型のTFTとの間に於けるオン電流バランスを向上する発明に関するもので有り、その基本的な構造及び製造方法は、実施例1と概ね同様で有る為、基本的な構造については図1を参照して簡単に説明すると共に、その製造方法については説明を省略する。

【0140】本例に於いても、図1に示す様に、第一導電型の画素用TFT10、及び第一導電型の駆動回路用TFT20は、ソース・ドレイン領域11、12、21、22の間にチャンネルを形成する為のチャンネル領域13、23を有し、これらのチャンネル領域13、23は、低濃度の第二導電型不純物（本例では、P型導電性を示すホウ素(B)、アルミニウム(Al)、ガリウム(Ga)、インジウム(In)などのアクセプター不純物)を含んで居る。第一導電型の画素用TFT10、及び第一導電型の駆動回路用TFT20は、ゲート電極15、25の端部に対してゲート絶縁膜14、24を介して対峙する第一導電型の低濃度ソース・ドレイン領域111、121、121、122と、ソース・ドレイン電極16、17、26、27が電気的に接続された第一導電型の高濃度ソース・ドレイン領域112、122、21

2、222とを有して居る。本例では、第一導電型TFTとして、N型TFTを用いて説明している為、ソース・ドレイン領域に含まれる第一導電型不純物は、N型導電性を示すリン(P)、ヒ素(As)、アンチモン(Sb)等である。

【0141】一方、第二導電型の駆動回路用TFT30'は、低濃度の第二導電型不純物を含むチャンネル領域33と、このチャンネル領域と同じ不純物濃度をもってゲート電極35の端部に対してゲート絶縁膜34を介して対峙するオフセット領域311'、321'と、ソース・ドレイン電極36、37が電気的に接続された第二導電型の高濃度ソース・ドレイン領域312、322とを有して居る。

【0142】この様に構成したアクティブマトリクス基板1に於いて、チャンネル領域13、23、33は、実施例1と同様、いずれも低濃度のボロイオンによってチャネルドープされ、低濃度第二導電型領域で有るが、その不純物濃度は、以下の説明する条件を満たす様に設定され、例えば、約 $5 \times 10^{16} \text{ cm}^{-3}$ ~約 $1 \times 10^{18} \text{ cm}^{-3}$ で有る。通常、オフセット構造を有する第二導電型の駆動回路用TFT30'は、LDD構造を有する第一導電型の駆動回路用TFT20に比較してオン電流がやや小さくなる傾向に有る。その主なる理由は、オフセット構造とLDD構造の比抵抗の相違にあり、しかも、第二導電型を第二導電型、第一導電型を第一導電型とした場合には、更に正孔の移動度が電子の移動度に比して小さい事も起因して居る。

【0143】そこで、本例では、チャネルドープされる不純物量を多めに設定する事によって、第二導電型（第二導電型で有る）の駆動回路用TFT30'を弱いデプレッション・モードとし、第一導電型（第一導電型で有る）の駆動回路用TFT20を弱いエンハンス・モードとする。それにより、第二導電型の駆動回路用TFT30'のオフセット領域311'、312'は、実質的には抵抗の小さなLDD領域となる。しかも、オン状態（例えば、第二導電型の駆動回路用TFT30'では、ソース・ドレイン電圧 $V_{DS} = -5 \text{ V}$ 、ゲート電圧 $V_{GS} = -10 \text{ V}$ 、第一導電型の駆動回路用TFT20では、ソース・ドレイン電圧 $V_{DS} = +5 \text{ V}$ 、ゲート電圧 $V_{GS} = +10 \text{ V}$ の状態）に於けるオン電流のレベルを両導電型のTFTの間でそろえる事が可能となる。

【0144】即ち図6に示す様に、第一導電型のTFT（第一導電型の画素用TFT10、および第一導電型の駆動回路用TFT20）のドレイン電流-ゲート電圧特性を実線L5で示し、第二導電型のTFT（第二導電型の駆動回路用TFT30'）のドレイン電流-ゲート電圧特性を点線L6で示し、第一導電型のTFT（第一導電型の駆動回路用TFT20）のソース・ドレイン電圧を $V_{DS1}$ 、ゲート電圧を $V_{GS1}$ 、ソース・ドレイン電流を $I_{DS1}$ とし、第二導電型のTFT（第二導

電型の駆動回路用TFT30')のソース・ドレイン電圧を $V_{DS2}$ 、ゲート電圧を $V_{GS2}$ 、ソース・ドレイン電流を $I_{DS2}$ とした時、 $|V_{DS1}| = |V_{DS2}|$ 、 $V_{GS1} = V_{GS2} = 0$ の条件下で、 $I_{DS2} > I_{DS1}$ と成る様に、第二導電型のTFT(第二導電型の駆動回路用TFT30')のオフセット領域311'、321'、及び各TFTのチャンネル領域13、23、33に於ける第二導電型不純物濃度を設定して有る。

【0145】言い換えれば、 $|V_{DS1}| = |V_{DS2}|$ の条件下で、第一導電型のTFTのソース・ドレイン電流 $I_{DS1}$ を表す実線L5と、第二導電型のTFTのソース・ドレイン電流 $I_{DS2}$ を表す点線L6との交点R( $V_{GS1} = V_{GS2}$ で $I_{DS1} = I_{DS2}$ )に対応するゲート電圧の値は、第一導電型の駆動回路用TFT20に於いて、ソース・ドレイン電流 $I_{DS1}$ のオン領域側に相当するゲート電圧領域(第二導電型の駆動回路用TFT30'に於いて、ソース・ドレイン電流 $I_{DS2}$ のオフ領域側に相当するゲート電圧領域)、即ち正のゲート電圧領域に有る。

【0146】尚図6には、参考までに、図3に示した実施例1に係る第一導電型のTFT(第一導電型の画素用TFT10、及び第一導電型の駆動回路用TFT20)のドレイン電流-ゲート電圧特性を一点鎖線L3で示し、実施例1に第二導電型のTFT(第二導電型の駆動回路用TFT30')のドレイン電流-ゲート電圧特性を一点鎖線L4'で示して有る。

【0147】この様に、本例では、第二導電型の駆動回路用TFT30'のオフセット領域311'、312'を、実質的に抵抗の小さなLDD領域とする事によって、この部分に起因する寄生抵抗を低減して有る。又オフセット領域とLDD領域とを比較すると、LDD領域の方が抵抗値が小さい一般的で有るが、本例では、オフセット構造の第二導電型の駆動回路用TFT30'については、弱いデプレッション・モードとし、LDD構造の第一導電型の駆動回路用TFT20については、弱いエンハンス・モードとしてある為、オフセット構造の第二導電型の駆動回路用TFT30'のオン状態に於けるゲート・バイアス値をLDD構造の第一導電型の駆動回路用TFT20のオン状態に於けるゲート・バイアス値よりも大きくとり得る。図6に示す例で説明すると、例えば、交点Rの位置を $V_{GS} = +2V$ とし、オン状態を $|V_{GS}| = 10V$ とする。こうすると、オフセット構造の第二導電型の駆動回路用TFT30'のオン状態に於けるゲート・バイアス値は、一点鎖線L4'で表す特性では約 $-12V$ に相当し、LDD構造の第一導電型の駆動回路用TFT20のオン状態に於けるゲート・バイアス値は、一点鎖線L3で表す特性では約 $+8V$ に相当するので、オン電流のバランスをとる事が可能となる。又この手法では、オフセット構造の第二導電型の駆動回路用TFT30'と、LDD構造の第一導電型の駆動回路

用TFT20との間に於いて、トランジスタ容量を同等にする事も可能で有る。即ち第二導電型の駆動回路用TFT30'と、第一導電型の駆動回路用TFT20との間に於けるオン電流のバランスは、チャネルドープ(オフセット領域311'、321'に於けるドープ量)によって確保している為、両TFTの間でチャネル長/チャネル幅を同等とする事によって、両TFTの間でのトランジスタ容量のバランスを確保する事が出来る。それ故、トランジスタ容量が同等で、且つ、オン電流が同等で有る為、安定に高速動作するCMOS回路を得る事が出来る。

【0148】斯様な構成のTFTの製造方法は、実施例1と概ね同様で有る為、製造方法の説明を省略するが、各領域への不純物の導入量については、チャネルドープ量に対応して最適な値に設定される。又最適チャネルドープ量は、ゲート絶縁膜質や下地保護膜(半導体層と基板との間の保護膜)の質などにより異なる。

【0149】[実施例1、2の変形例]尚本例の様に、オフセット領域311'、321'を形成する事により、ゲート電極35に対峙する部分を低濃度領域とする方法であれば、シリコン膜10a、20a、30aにゲート絶縁膜14、24、34を形成した後、低濃度第二導電型シリコン膜形成工程に於いてボロンイオン(低濃度第二導電型の不純物)を打ち込む方法に代えて、シリコン膜10a、20a、30aに対してゲート絶縁膜14、24、34を形成する前に、低濃度第二導電型シリコン膜形成工程に於いてボロンイオンを打ち込み、その後、ゲート絶縁膜14、24、34を形成してもよい。

【0150】又真性のシリコン膜10a、20a、30aを形成した後、低濃度第二導電型シリコン膜形成工程に於いて低濃度第二導電型の不純物を打ち込む方法に代えて、 $B_2H_6$ と $SiH_6$ との混合ガスを用いて低濃度のボロンをドープしたシリコン膜(ドープトシリコン膜/ドープト半導体膜)を低濃度第二導電型のシリコン膜10a、20a、30aとしてCVD法により形成した後、それにゲート絶縁膜14、24、34を形成し、しかる後に、図4(b)~(d)に示す工程、または図5(b)~(d)に示す工程を行なってもよい。

【0151】更に本例のアクティブマトリクス基板の製造方法では、いずれの場合にも、少なくとも、低濃度第二導電型不純物導入工程、ゲート電極形成工程、低濃度第一導電型不純物導入工程、高濃度第一導電型不純物導入工程、及び高濃度第二導電型不純物導入工程を行なうが、これらの工程間に於いて、その順序については、低濃度第二導電型不純物導入工程を、ゲート電極形成工程を行なう以前に各TFTのチャンネル領域に対するチャネルドープと同時に、低濃度第一導電型不純物導入工程を、ゲート電極形成工程を行なった後にゲート電極をマスクとして行うのであれば、表1に示す条件A~条件

Tのいずれの工程順序を用いてもよい。

\*【表1】

【0152】

\*

条件	工 程 順 序				
	1	2	3	4	5
A	C/D(P <sup>-</sup> )	Gate	N <sup>-</sup>	P <sup>+</sup>	N <sup>+</sup>
B	C/D(P <sup>-</sup> )	Gate	N <sup>+</sup>	N <sup>-</sup>	P <sup>+</sup>
C	C/D(P <sup>-</sup> )	Gate	N <sup>+</sup>	P <sup>+</sup>	N <sup>-</sup>
D	C/D(P <sup>-</sup> )	Gate	N <sup>-</sup>	N <sup>+</sup>	P <sup>+</sup>
E	C/D(P <sup>-</sup> )	Gate	P <sup>+</sup>	N <sup>-</sup>	N <sup>+</sup>
F	C/D(P <sup>-</sup> )	Gate	P <sup>+</sup>	N <sup>+</sup>	N <sup>-</sup>
G	C/D(P <sup>-</sup> )	P <sup>+</sup>	Gate	N <sup>+</sup>	N <sup>-</sup>
H	C/D(P <sup>-</sup> )	P <sup>+</sup>	Gate	N <sup>-</sup>	N <sup>+</sup>
I	C/D(P <sup>-</sup> )	P <sup>+</sup>	N <sup>+</sup>	Gate	N <sup>-</sup>
J	C/D(P <sup>-</sup> )	N <sup>+</sup>	Gate	P <sup>+</sup>	N <sup>-</sup>
K	C/D(P <sup>-</sup> )	N <sup>+</sup>	Gate	N <sup>-</sup>	P <sup>+</sup>
L	C/D(P <sup>-</sup> )	N <sup>+</sup>	P <sup>+</sup>	Gate	N <sup>-</sup>
M	P <sup>+</sup>	C/D(P <sup>-</sup> )	Gate	N <sup>+</sup>	N <sup>-</sup>
N	P <sup>+</sup>	C/D(P <sup>-</sup> )	Gate	N <sup>-</sup>	N <sup>+</sup>
O	P <sup>+</sup>	C/D(P <sup>-</sup> )	N <sup>+</sup>	Gate	N <sup>-</sup>
P	P <sup>+</sup>	N <sup>+</sup>	C/D(P <sup>-</sup> )	Gate	N <sup>-</sup>
Q	N <sup>+</sup>	C/D(P <sup>-</sup> )	Gate	P <sup>+</sup>	N <sup>-</sup>
R	N <sup>+</sup>	C/D(P <sup>-</sup> )	Gate	N <sup>-</sup>	P <sup>+</sup>
S	N <sup>+</sup>	C/D(P <sup>-</sup> )	P <sup>+</sup>	Gate	N <sup>-</sup>
T	N <sup>+</sup>	P <sup>+</sup>	C/D(P <sup>-</sup> )	Gate	N <sup>-</sup>

【0153】即ち表1には、低濃度第二導電型不純物導入工程をC/D(P<sup>-</sup>)、ゲート電極形成工程をGate、低濃度第一導電型不純物導入工程をN<sup>-</sup>、高濃度第一導電型不純物導入工程をN<sup>+</sup>、及び高濃度第二導電型不純物導入工程をP<sup>+</sup>で示してあり、その内の条件Aは、図4を参照して説明した工程順序で有り、その内の条件Cは、図5を参照して説明した工程順序で有る。

【0154】低濃度第二導電型不純物導入工程は、低濃度第二導電型不純物を含むドーフト半導体膜を成膜する工程で作成してもよい。例えば、ボロンをドーフトするとき、CVD炉にモノシラン(SiH<sub>4</sub>)やジシラン(Si<sub>2</sub>H<sub>6</sub>)と同時にジボラン(B<sub>2</sub>H<sub>6</sub>)を導入する事によって得られる。LPCPD法でこれらドーフト半導体膜を堆積する場合、ジボラン等の添加物の濃度は、0.1ppmから100ppm程度が好ましく、希釈ガスは水素、ヘリウム、窒素が適して居る。一方、PECVD法で堆積する場合は、濃度は先と同じで有るが、希釈ガスは、ヘリウム、アルゴンなどが適して居る。こうして、ドーフト半導体膜を堆積した後、パターニングを施し、さらにゲート絶縁膜を半導体膜の表面に形成してもよい。

【0155】又不純物導入方法としては、例えば、ドーパントガスから発生した全てのイオンを質量分離せずに打ち込む方法、いわゆるイオンドーピング法を用いてもよい。この方法で、例えば、第一導電型の不純物を高濃度に打ち込む場合には、PH<sub>3</sub>を約1%～約10%含み、残部が水素ガスやヘリウムガスからなる混合ガスを用い、この混合ガスから発生する全てのイオンを質量分離せずに打ち込む。これに対して、第一導電型の不純物を低濃度に打ち込む場合には、PH<sub>3</sub>を約0.01%～約1%含み、残部が水素ガス等からなる混合ガスから発生する全てのイオンを質量分離せずに打ち込んだ後、純水素ガスから発生するイオンを質量分離せずに打ち込んで、シリコン膜中の不整合結合を終端化する事が好ましい。更に不純物の導入方法については、イオン注入法やイオンドーピング法の他にも、プラズマドーピング法、レーザドーピング法などを用いてもよい。

【0156】本例のアクティブマトリクス基板1では、第一導電型の画素用TFT10及び第一導電型の駆動回路用TFT20の第一導電型の低濃度ソース・ドレイン領域111、121、211、221の不純物濃度を約1.0×10<sup>18</sup>cm<sup>-3</sup>とし、第一導電型の高濃度ソース



・ドレイン領域112、122、212、222の不純物濃度を約 $1.0 \times 10^{20} \text{ cm}^{-3}$ としたが、かかる濃度については、アクティブマトリクス基板1の仕様などに応じて最適な値に設定されるべき性質のものであり、上記の数値に限らない。さらに又マスクの材質についてもレジストマスクに限らない。

#### 【0157】〔実施例3〕

（アクティブマトリクス基板の構成）図7は、本例の液晶表示装置に於ける駆動回路内蔵型のアクティブマトリクス基板の構造を模式的に示す断面図、図8は、液晶表示装置の構成を模式的に示すブロック図で有る。

【0158】図7に於いて、本例の液晶表示装置の駆動回路内蔵型のアクティブマトリクス基板では、その左側領域から右側領域に向かって駆動回路部、画素領域、及びこの画素領域内の保持容量形成領域を模式的に示す様に、第二導電型の駆動回路用TFT30、第一導電型の駆動回路用TFT20、第一導電型の画素用TFT10、及び保持容量40が同一の絶縁基板2の上に形成されて居る。

【0159】本例では、図8に示す様に、画素領域には前段の走査線91との間に保持容量40が形成され、この保持容量40は液晶セル（液晶容量94）での電荷の保持特性を高める機能を有して居る。この保持容量40は、画素用TFT10を形成する為のシリコン膜S1と同時に形成されたシリコン膜S2を導電化したものを下層側電極部40c（第一の電極部）とし、この下層側電極部40cに対して前段の走査線91から張り出した上層側電極部45（第二の電極部）が重なった状態に有る。尚保持容量40は、各画素領域に於いて前段の走査線91との間に構成されているが、専用の容量線との間に構成される場合も有る。

【0160】再び、図7に於いて、第一導電型の画素用TFT10、第一導電型の駆動回路用TFT20、及び第二導電型の駆動回路用TFT30は、いずれも、ソース・ドレイン領域11、12、21、22、31、32の間にチャンネルを形成する為のチャンネル領域13、23、33を有して居る。これらのチャンネル領域13、23、33は、低濃度のボロイオンによってチャンネルドープしてある為、不純物濃度が約 $1 \times 10^{17} \text{ cm}^{-3}$ の低濃度第二導電型領域で有る。従って、第一導電型の駆動回路用TFT20および第二導電型の駆動回路用TFT30のスレッシュホールド電圧（ $V_{th}$ ）を所定の値に設定して有る。一般に、正孔の移動度は電子の移動度に比して小さい為、従来は、第二導電型の駆動回路用TFTのオン電流が第一導電型の駆動回路用TFTのオン電流に比して著しく小さい傾向にあった。かかる問題点は、本例では、 $V_{th}$ を調整する事により、ほぼ解消できて居る。それ故、本例のアクティブマトリクス基板1では、CMOS回路を構成するTFT間に於けるオン電流のバランスがよい。

【0161】第一導電型の画素用TFT10、第一導電型の駆動回路用TFT20、及び第二導電型の駆動回路用TFT30は、チャンネル領域13、23、33の表面側に対して、ゲート絶縁膜14、24、34（厚さが約1200オングストロームのシリコン酸化膜）を介して対峙するゲート電極15、25、35を有する。

【0162】この様に構成したアクティブマトリクス基板1に於いて、ソース・ドレイン領域11、12、21、22、31、32は、ゲート電極15、25、35の端部に対してゲート絶縁膜14、24、34を介して対峙する部分に低濃度ソース・ドレイン領域111、121、211、221、311、321を有しており、いずれのTFTもLDD構造になって居る。

【0163】尚第一導電型の画素用TFT10、第一導電型の駆動回路用TFT20、及び第二導電型の駆動回路用TFT30のソース・ドレイン領域11、12、21、22、31、32の内、低濃度ソース・ドレイン領域111、121、211、221、311、321を除く領域は、不純物濃度が約 $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域112、122、212、222、312、322で有る。これらの高濃度領域に対して、各TFTに対する信号線や画素電極などのソース・ドレイン電極16、17、26、27、36、37が層間絶縁膜4のコンタクトホールを介して電気的に接続して居る。

【0164】（TFTのオン・オフリーク電流特性）この様に構成したTFTは、ゲート電極15、25、35の端部に対峙する部分が低濃度領域（低濃度ソース・ドレイン領域111、121、211、221）で有る。それ故、図32に第一導電型のTFT（第一導電型の画素用TFT10、及び第一導電型の駆動回路用TFT20）のドレイン電流－ゲート電圧特性を実線L3で示し、第二導電型のTFT（第二導電型の駆動回路用TFT30）のドレイン電流－ゲート電圧特性を点線L4で示す様に、TFTのオフリーク電流が著しく小さい。

【0165】又図31（a）にLDD構造の第一導電型のTFT（第一導電型の画素用TFT10、及び第一導電型の駆動回路用TFT20）に於ける耐電圧特性を実線L21で示し、図31（b）にLDD構造の第二導電型のTFTに於ける耐電圧特性を実線L22で示す様に、LDD構造のTFTは、セルフアライン構造のTFTに比較して、ソース・ドレイン間の耐電圧が高いので、チャンネル長を短くする事が出来る。

【0166】（TFTの製造方法）斯様な構造のアクティブマトリクス基板1は、例えば以下の方法により製造出来る。尚以下の説明に於いて、不純物濃度はいずれも活性化アニール後の不純物濃度で表して有る。

【0167】まず、TFTの $V_{th}$ を調整する為に、半導体膜に低濃度で不純物を導入する。即ち図9（a）に

示す様に、石英基板などの絶縁基板 2 の表面の内、画素用 TFT 10、第一導電型の駆動回路用 TFT 20、第二導電型の駆動回路用 TFT 30、及び保持容量 40 の形成領域に、例えば、不純物濃度が  $1 \times 10^{17} \text{ cm}^{-3}$  の低濃度第二導電型のシリコン膜 10a、20a、30a、40a、ゲート絶縁膜 14、24、34、及び誘電体膜 44 を同時に形成する（低濃度第二導電型シリコン膜形成工程）。

【0168】それには、絶縁基板 2 の表面に、LPCVD 法またはプラズマ CVD 法などを用いて真性のポリシリコン膜を形成した後、ポリシリコン膜をフォトリソグラフィ法によってパターニングして、それを島状のシリコン膜 10a、20a、30a、40a にする（シリコン膜形成工程）。

【0169】尚ポリシリコン膜は、アモルファスシリコン膜を形成した後、レーザアニール法または固相成長法により結晶粒を成長させて形成する場合も有る。次に、島状のシリコン膜 10a、20a、30a、40a に対して、熱酸化法、TEOS-CVD 法、LPCVD 法、プラズマ CVD 法、HTO 法などにより、厚さが約 1200 Å のシリコン酸化膜からなるゲート絶縁膜 14、24、34、及び誘電体膜 44 を同時に形成する（ゲート絶縁膜形成工程）。

【0170】しかる後に、約  $1 \times 10^{12} \text{ cm}^{-2}$  のドーズ量でボロンイオン（第二導電型不純物／第二導電型不純物）を打ち込んでチャネルドーピングを行なう（チャネルドーピング工程／1 回目の不純物導入工程）。その結果、シリコン膜 10a、20a、30a、40a は、不純物濃度が約  $1 \times 10^{17} \text{ cm}^{-3}$  の低濃度第二導電型のシリコン膜 10a、20a、30a、40a となる。

【0171】次に、図 9 (b) に示す様に、第二導電型の駆動回路用 TFT 30 の形成領域を覆うと共に、ゲート電極 15、25 の形成予定領域をわずかに広めに覆うレジストマスク 101 を形成する（1 回目のマスク形成工程）。

【0172】続いて、例えば、リンイオン（第一導電型不純物／第一導電型不純物）を約  $1 \times 10^{14} \text{ cm}^{-2}$  のドーズ量でイオン注入する（2 回目の不純物導入工程／低濃度第一導電型不純物導入工程）。

【0173】その結果、低濃度第二導電型のシリコン膜 10a、20a の内、リンイオンが打ち込まれた領域は、導電型が反転して不純物濃度が約  $1 \times 10^{19} \text{ cm}^{-3}$  の低濃度第一導電型のソース・ドレイン領域 11、12、21、22 となる。又低濃度第二導電型のシリコン膜 40a は、導電型が反転して不純物濃度が約  $1 \times 10^{19} \text{ cm}^{-3}$  の低濃度第一導電型の下層側電極部 40c（第一の電極部）となる。又不純物が導入されなかった部分がチャネル領域 13、23 となる。しかる後に、レジストマスク 101 を除去する。

【0174】次に、図 9 (c) に示す様に、ゲート絶縁

膜 14、24、34 の表面にドーパドシリコンやシリサイド膜などからなるゲート電極 15、25、35 を形成する。同時に、誘電体膜 44 の表面には上層側電極部 45（第二の電極部）を形成する（ゲート電極形成工程）。この上層側電極部 45 は前段の信号線の一部であってもよい。この様にして、下層側電極部 40c と上層側電極部 45 とが誘電体膜 44 を介して対向する保持容量 40 を形成する。

【0175】次に、第一導電型の画素用 TFT 10 の形成領域、第一導電型の駆動回路用 TFT 20 の形成領域、及び保持容量 40 を覆うレジストマスク 102 を形成する（2 回目のマスク形成工程）。

【0176】続いて、ボロンイオンを約  $1 \times 10^{13} \text{ cm}^{-2}$  のドーズ量でイオン注入する（3 回目の不純物導入工程／低濃度第二導電型不純物導入工程）。

【0177】その結果、低濃度第二導電型のシリコン膜 30a には、ゲート電極 35 に対して自己整合的に不純物濃度が約  $1.1 \times 10^{18} \text{ cm}^{-3}$  の低濃度第二導電型のソース・ドレイン領域 31、32 が形成される。尚不純物が導入されなかった部分がチャネル領域 33 となる。しかる後に、レジストマスク 102 を除去する。

【0178】次に、図 9 (d) に示す様に、第一導電型の画素用 TFT 10 の形成領域、第一導電型の駆動回路用 TFT 20 の形成領域、及び保持容量 40 を覆うと共に、ゲート電極 35 を広めに覆うレジストマスク 103 を形成する（3 回目のマスク形成工程）。

【0179】続いて、ボロンイオンを約  $1 \times 10^{15} \text{ cm}^{-2}$  のドーズ量でイオン注入する（4 回目の不純物導入工程／高濃度第二導電型不純物導入工程）。

【0180】その結果、低濃度第二導電型のソース・ドレイン領域 31、32 には不純物濃度が  $1 \times 10^{20} \text{ cm}^{-3}$  の高濃度ソース・ドレイン領域 312、322 が形成される。又低濃度第二導電型のソース・ドレイン領域 31、32 の内、レジストマスク 103 で覆われていた部分はそのまま不純物濃度が約  $1.1 \times 10^{18} \text{ cm}^{-3}$  の低濃度ソース・ドレイン領域 311、321 となる。

【0181】この様にして、第二導電型の駆動回路用 TFT 30 を形成する。しかる後に、レジストマスク 103 を除去する。

【0182】次に、図 9 (e) に示す様に、第二導電型の駆動回路用 TFT 30 に加えて、ゲート電極 15、25 をも広めに覆うレジストマスク 104 を形成する（4 回目のマスク形成工程）。

【0183】続いて、リンイオンを  $1 \times 10^{15} \text{ cm}^{-2}$  のドーズ量でイオン注入する（5 回目の不純物導入工程／高濃度第一導電型不純物導入工程）。

【0184】その結果、低濃度第一導電型のソース・ドレイン領域 11、12、21、22 には、不純物濃度が  $1 \times 10^{20} \text{ cm}^{-3}$  の高濃度ソース・ドレイン領域 112、122、221、222 が形成される。又低濃度第



一導電型のソース・ドレイン領域 11、12、21、22の内、レジストマスク 104で覆われていた部分はそのまま不純物濃度が約  $1 \times 10^{19} \text{ cm}^{-3}$  の低濃度ソース・ドレイン領域 111、121、211、221となる。

【0185】この様にして、第一導電型の画素用 TFT 10、及び第一導電型の駆動回路用 TFT 20を形成する。しかる後に、レジストマスク 104を除去する。

【0186】以降、図 7に示す様に、層間絶縁膜 4を形成した後、活性化の為にアニールを行い、しかる後に、10 コンタクトホールを形成してソース・ドレイン電極 16、17、26、27、36、37を形成すれば、レジストマスク 101~104を形成する為の 4回のマスク形成工程と、5回の不純物導入工程によってアクティブマトリクス基板 1等の半導体装置を製造出来る。

【0187】この様に、本例のアクティブマトリクス基板 1の製造方法では、図 9(b)に示した様に、ゲート電極 15、25、35、及び上層側電極 45を形成する前に、低濃度ソース・ドレイン領域 111、121、211、221を形成する為の低濃度第一導電型不純物導入工程を行い、この工程を援用して、下層側電極部 40cを形成して居る。従って、従来の製造方法に比較して

マスク形成工程の数及び不純物導入工程の数を 1回ずつ減らす事が可能である。それ故、少ない製造工程数によって TFT と容量素子（保持容量 40）を形成しながら、各 TFT の電気的特性を向上する事が出来る。

【0188】尚表 2乃至表 4に於いて、チャネルドープ工程を「C/D」、低濃度第一導電型不純物導入工程を「N<sup>-</sup>」、高濃度第一導電型不純物導入工程を「N<sup>+</sup>」、低濃度第二導電型不純物導入工程を「P<sup>-</sup>」、高濃度第二導電型不純物導入工程を「P<sup>+</sup>」、ゲート電極形成工程を「G」で略しながら工程順序を示す様に、図 9(c)に示す低濃度第二導電型不純物導入工程、図 9(d)に示す高濃度第二導電型不純物導入工程、及び図 9(e)に示す高濃度第一導電型不純物導入工程の間でその順序を入れ換えるなど、ゲート電極 15、25、35、および上層側電極 45を形成する前に、低濃度ソース・ドレイン領域 111、121、211、221を形成する為の低濃度第一導電型不純物導入工程を行い、この工程を援用して、下層側電極部 40cを形成するのであれば、いずれの工程順序であってもよい。

20 【0189】

【表 2】

工程順序	1	2	3	4	5	6
1-01	C/D	N <sup>-</sup>	G	P <sup>-</sup>	P <sup>+</sup>	N <sup>+</sup>
1-02	C/D	N <sup>-</sup>	G	P <sup>-</sup>	N <sup>+</sup>	P <sup>+</sup>
1-03	C/D	N <sup>-</sup>	G	N <sup>+</sup>	P <sup>-</sup>	P <sup>+</sup>
1-04	C/D	N <sup>-</sup>	N <sup>+</sup>	G	P <sup>-</sup>	P <sup>+</sup>
1-05	C/D	N <sup>+</sup>	N <sup>-</sup>	G	P <sup>-</sup>	P <sup>+</sup>
1-06	N <sup>+</sup>	C/D	N <sup>-</sup>	G	P <sup>+</sup>	P <sup>-</sup>
1-07	C/D	N <sup>-</sup>	G	P <sup>+</sup>	P <sup>-</sup>	N <sup>+</sup>
1-08	C/D	N <sup>-</sup>	G	P <sup>+</sup>	N <sup>+</sup>	P <sup>-</sup>
1-09	C/D	N <sup>-</sup>	G	N <sup>+</sup>	P <sup>+</sup>	P <sup>-</sup>
1-10	C/D	N <sup>-</sup>	N <sup>+</sup>	G	P <sup>+</sup>	P <sup>-</sup>
1-11	C/D	N <sup>+</sup>	N <sup>-</sup>	G	P <sup>+</sup>	P <sup>-</sup>
1-12	N <sup>+</sup>	C/D	N <sup>-</sup>	G	P <sup>+</sup>	P <sup>-</sup>
1-13	C/D	N <sup>-</sup>	P <sup>+</sup>	G	P <sup>-</sup>	N <sup>+</sup>
1-14	C/D	N <sup>-</sup>	P <sup>+</sup>	G	N <sup>+</sup>	P <sup>-</sup>
1-15	C/D	N <sup>-</sup>	P <sup>+</sup>	N <sup>+</sup>	G	P <sup>-</sup>
1-16	C/D	N <sup>-</sup>	N <sup>+</sup>	P <sup>+</sup>	G	P <sup>-</sup>
1-17	C/D	N <sup>+</sup>	N <sup>-</sup>	P <sup>+</sup>	G	P <sup>-</sup>
1-18	N <sup>+</sup>	C/D	N <sup>-</sup>	P <sup>+</sup>	G	P <sup>-</sup>
1-19	C/D	P <sup>+</sup>	N <sup>-</sup>	G	P <sup>-</sup>	N <sup>+</sup>
1-20	C/D	P <sup>+</sup>	N <sup>-</sup>	G	N <sup>+</sup>	P <sup>-</sup>
1-21	C/D	P <sup>+</sup>	N <sup>-</sup>	N <sup>+</sup>	G	P <sup>-</sup>
1-22	C/D	P <sup>+</sup>	N <sup>+</sup>	N <sup>-</sup>	G	P <sup>-</sup>
1-23	C/D	N <sup>+</sup>	P <sup>+</sup>	N <sup>-</sup>	G	P <sup>-</sup>
1-24	N <sup>+</sup>	C/D	P <sup>+</sup>	N <sup>-</sup>	G	P <sup>-</sup>
1-25	P <sup>+</sup>	C/D	N <sup>-</sup>	G	P <sup>-</sup>	N <sup>+</sup>
1-26	P <sup>+</sup>	C/D	N <sup>-</sup>	G	N <sup>+</sup>	P <sup>-</sup>
1-27	P <sup>+</sup>	C/D	N <sup>-</sup>	N <sup>+</sup>	G	P <sup>-</sup>

【0190】

【表3】

工程順序	1	2	3	4	5	6
1-28	P <sup>+</sup>	C/D	N <sup>+</sup>	N <sup>-</sup>	G	P <sup>-</sup>
1-29	P <sup>+</sup>	N <sup>+</sup>	C/D	N <sup>-</sup>	G	P <sup>-</sup>
1-30	N <sup>+</sup>	P <sup>+</sup>	C/D	N <sup>-</sup>	G	P <sup>-</sup>
1-31	N <sup>-</sup>	C/D	G	P <sup>-</sup>	P <sup>+</sup>	N <sup>+</sup>
1-32	N <sup>-</sup>	C/D	G	P <sup>-</sup>	N <sup>+</sup>	P <sup>+</sup>
1-33	N <sup>-</sup>	C/D	G	N <sup>+</sup>	P <sup>-</sup>	P <sup>+</sup>
1-34	N <sup>-</sup>	C/D	N <sup>+</sup>	G	P <sup>-</sup>	P <sup>+</sup>
1-35	N <sup>-</sup>	N <sup>+</sup>	C/D	G	P <sup>-</sup>	P <sup>+</sup>
1-36	N <sup>+</sup>	N <sup>-</sup>	C/D	G	P <sup>+</sup>	P <sup>-</sup>
1-37	N <sup>-</sup>	C/D	G	P <sup>+</sup>	P <sup>-</sup>	N <sup>+</sup>
1-38	N <sup>-</sup>	C/D	G	P <sup>+</sup>	N <sup>+</sup>	P <sup>-</sup>
1-39	N <sup>-</sup>	C/D	G	N <sup>+</sup>	P <sup>+</sup>	P <sup>-</sup>
1-40	N <sup>-</sup>	C/D	N <sup>+</sup>	G	P <sup>+</sup>	P <sup>-</sup>
1-41	N <sup>-</sup>	N <sup>+</sup>	C/D	G	P <sup>+</sup>	P <sup>-</sup>
1-42	N <sup>+</sup>	N <sup>-</sup>	C/D	G	P <sup>+</sup>	P <sup>-</sup>
1-43	N <sup>-</sup>	C/D	P <sup>+</sup>	G	P <sup>-</sup>	N <sup>+</sup>
1-44	N <sup>-</sup>	C/D	P <sup>+</sup>	G	N <sup>+</sup>	P <sup>-</sup>
1-45	N <sup>-</sup>	C/D	P <sup>+</sup>	N <sup>+</sup>	G	P <sup>-</sup>
1-46	N <sup>-</sup>	C/D	N <sup>+</sup>	P <sup>+</sup>	G	P <sup>-</sup>
1-47	N <sup>-</sup>	N <sup>+</sup>	C/D	P <sup>+</sup>	G	P <sup>-</sup>
1-48	N <sup>+</sup>	N <sup>-</sup>	C/D	P <sup>+</sup>	G	P <sup>-</sup>
1-49	N <sup>-</sup>	P <sup>+</sup>	C/D	G	P <sup>-</sup>	N <sup>+</sup>
1-50	N <sup>-</sup>	P <sup>+</sup>	C/D	G	N <sup>+</sup>	P <sup>-</sup>
1-51	N <sup>-</sup>	P <sup>+</sup>	C/D	N <sup>+</sup>	G	P <sup>-</sup>
1-52	N <sup>-</sup>	P <sup>+</sup>	N <sup>+</sup>	C/D	G	P <sup>-</sup>
1-53	N <sup>-</sup>	N <sup>+</sup>	P <sup>+</sup>	C/D	G	P <sup>-</sup>
1-54	N <sup>+</sup>	N <sup>-</sup>	P <sup>+</sup>	C/D	G	P <sup>-</sup>

【0191】

\* \* 【表4】

工程順序	1	2	3	4	5	6
1-55	P <sup>+</sup>	N <sup>-</sup>	C/D	G	P <sup>-</sup>	N <sup>+</sup>
1-56	P <sup>+</sup>	N <sup>-</sup>	C/D	G	N <sup>+</sup>	P <sup>-</sup>
1-57	P <sup>+</sup>	N <sup>-</sup>	C/D	N <sup>+</sup>	G	P <sup>-</sup>
1-58	P <sup>+</sup>	N <sup>-</sup>	N <sup>+</sup>	C/D	G	P <sup>-</sup>
1-59	P <sup>+</sup>	N <sup>+</sup>	N <sup>-</sup>	C/D	G	P <sup>-</sup>
1-60	N <sup>+</sup>	P <sup>+</sup>	N <sup>-</sup>	C/D	G	P <sup>-</sup>

【0192】【実施例4】本例のアクティブマトリクス基板の構造については、実施例3と同じく図7を参照して説明する。

【0193】図7に於いて、本例のアクティブマトリクス基板1の特徴点は、実施例3に係る製造方法と同じ工程数で製造しながら、第一導電型の画素用TFT10及び第一導電型の駆動回路用TFT20の低濃度ソース・ドレイン領域111、121、211、221を保持容

量40の下層側電極部40cよりも低濃度化した点に有る。

【0194】即ち保持容量40の下層側電極部40cは、実施例3と同様、不純物濃度が約 $1 \times 10^{19} \text{ cm}^{-3}$ の低濃度第一導電型領域で有るが、第一導電型の画素用TFT10、及び第一導電型の駆動回路用TFT20の低濃度ソース・ドレイン領域111、121、211、221は、保持容量40の下層側電極部40cと同

等量のリンイオン（不純物濃度で約 $1 \times 10^{19} \text{ cm}^{-3}$ のリンイオン）で有ると共に、第二導電型の駆動回路用TFT30の低濃度領域311、321と同等量のボロンイオン（不純物濃度で約 $1.1 \times 10^{18} \text{ cm}^{-3}$ のボロンイオン）が導入された低濃度第一導電型領域で有る。従って、低濃度ソース・ドレイン領域111、121、211、221の不純物濃度は、約 $9 \times 10^{18} \text{ cm}^{-3}$ で有る。

【0195】斯様な構成のアクティブマトリクス基板1は、以下に説明する製造方法により製造する事が出来る。尚以下に説明する製造方法は、実施例3と共通する工程を有するので、かかる工程については簡単に説明する。

【0196】まず、図10(a)に示す様に、絶縁基板2の表面に島状のシリコン膜10a、20a、30a、40aを形成した後（シリコン膜形成工程）、ゲート絶縁膜14、24、34、及び誘電体膜44を形成する（ゲート絶縁膜形成工程）。

【0197】次に、 $1 \times 10^{12} \text{ cm}^{-2}$ のドーズ量でボロンイオンを打ち込んでチャネルドープを行なう（チャネルドープ工程／1回目の不純物導入工程）。

【0198】次に、図10(b)に示す様に、第二導電型の駆動回路用TFT30の形成領域を覆うと共に、第一導電型の画素用TFT10及び第一導電型の駆動回路用TFT20のゲート電極15、25の形成領域をわずかに広めに覆うレジストマスク201を形成する（1回目のマスク形成工程）。

【0199】続いて、リンイオンを約 $1 \times 10^{14} \text{ cm}^{-2}$ のドーズ量でイオン注入し（2回目の不純物導入工程／低濃度第一導電型不純物導入工程）、不純物濃度が約 $1 \times 10^{19} \text{ cm}^{-3}$ の低濃度第一導電型のソース・ドレイン領域11、12、21、22、および低濃度第一導電型の下層側電極部40cを形成する。

【0200】次に、図10(c)に示す様に、ゲート電極15、25、35及び上層側電極部45を形成する（ゲート電極形成工程）。この様にして保持容量40を形成する。

【0201】以上の各工程は、実施例3に係る製造方法と同じで有る。

【0202】次に、保持容量40の形成領域を覆うと共に、レジストマスク201と同様、ゲート電極15、25をもわずかに広めに覆うレジストマスク202を形成する（2回目のマスク形成工程）。

【0203】続いて、ボロンイオンを約 $1 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入する（3回目の不純物導入工程／低濃度第二導電型不純物導入工程）。

【0204】その結果、シリコン膜30aには、ゲート電極35に対して自己整合的に不純物濃度が約 $1.1 \times 10^{18} \text{ cm}^{-3}$ の低濃度第二導電型のソース・ドレイン領域31、32が形成される。

【0205】一方、低濃度第一導電型のソース・ドレイン領域11、12、21、22は、そこに打ち込まれたボロンイオンによって実質的に低濃度化し、低濃度第一導電型のソース・ドレイン領域11、12、11、12の不純物濃度は、約 $9 \times 10^{18} \text{ cm}^{-3}$ となる。しかる後に、レジストマスク202を除去する。

【0206】以降は、実施例3と同様、図10(d)に示す様に、第一導電型の画素用TFT10の形成領域、第一導電型の駆動回路用TFT20の形成領域、及び保持容量40を覆うと共に、ゲート電極35を広めに覆うレジストマスク203を形成する（3回目のマスク形成工程）。

【0207】続いて、ボロンイオン（第二導電型不純物）を約 $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する（4回目の不純物導入工程／高濃度第二導電型不純物導入工程）。その結果、低濃度第二導電型のソース・ドレイン領域31、32は、不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域312、322、及び不純物濃度が約 $1.1 \times 10^{18} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域311、321となる。この様にして第二導電型の駆動回路用TFT30を形成する。しかる後に、レジストマスク203を除去する。

【0208】次に、図10(e)に示す様に、第二導電型の駆動回路用TFT30に加えて、ゲート電極15、25をも広めに覆うレジストマスク204を形成する（4回目のマスク形成工程）。

【0209】続いて、リンイオン（第一導電型不純物）を $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する（5回目の不純物導入工程／高濃度第一導電型不純物導入工程）。

【0210】その結果、低濃度第一導電型のソース・ドレイン領域11、12、21、22は、不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域112、122、212、222、及び不純物濃度が約 $9 \times 10^{18} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域111、121、211、221となる。この様にして第一導電型の画素用TFT10及び第一導電型の駆動回路用TFT20を形成する。しかる後に、レジストマスク204を除去する。

【0211】その結果、レジストマスク201～204を形成する為の4回のマスク形成工程と、5回の不純物導入工程によって、アクティブマトリクス基板1等の半導体装置を製造出来る。

【0212】この様に、本例のアクティブマトリクス基板1の製造方法では、図10(b)に示した様に、ゲート電極15、25、35、及び上層側電極45を形成する前に、低濃度ソース・ドレイン領域111、121、211、221を形成する為の低濃度第一導電型不純物導入工程を行い、この工程を援用して、下層側電極部40cを形成して居る。従って、従来の製造方法に比較し

て、マスク形成工程の数及び不純物導入工程の数を1回ずつ減らす事が可能で有るなど、実施例3と同様な効果を奏する。

【0213】又図10(c)に示す様に、低濃度ソース・ドレイン領域311、321を形成する為の低濃度第二導電型不純物導入工程に於いて、このとき打ち込むボロンイオンを第一導電型の画素用TFT10及び第一導電型の駆動回路用TFT20の形成領域にも打ち込んで居る。即ち低濃度ソース・ドレイン領域311、321を形成する為の低濃度第二導電型不純物導入工程を援用して、低濃度第一導電型のソース・ドレイン領域11、12、21、22の不純物濃度を変えて居る。この為、実施例3に比較して工程数を増やす事なく、保持容量40の下層側電極部40cよりも低濃度化した低濃度ソース・ドレイン領域111、121、211、221を形成出来る。それ故、少ない工程数で、各TFTの電気的特性をさらに向上する事が出来る。

【0214】尚実施例3と同様、表2乃至表4に示す様に、図10(c)に示す低濃度第二導電型不純物導入工程、図10(d)に示す高濃度第二導電型不純物導入工程、及び図10(e)に示す高濃度第一導電型不純物導入工程の間でその順序を入れ換えるなど、ゲート電極15、25、35、及び上層側電極45を形成する前に、低濃度ソース・ドレイン領域111、121、211、221を形成する為の低濃度第一導電型不純物導入工程を行い、この工程を援用して下層側電極部40cを形成するのであれば、いずれの工程順序であってもよい。

【0215】[実施例5] 図10(c)に於いて、低濃度ソース・ドレイン領域311、321を形成する為の低濃度第二導電型不純物導入工程を援用して、低濃度第一導電型のソース・ドレイン領域11、12、21、22の内的一方だけの不純物濃度を変えてもよい。

【0216】例えば、本例では、実施例3、4に係る製造方法と同じ工程数で製造しながら、図7に示す第一導電型の画素用TFT10の低濃度ソース・ドレイン領域111、121の不純物濃度を第一導電型の駆動回路用TFTの低濃度ソース・ドレイン領域211、221よりも低濃度化して居る。即ち本例のアクティブマトリクス基板1に於いて、保持容量40の下層側電極部40c、及び第一導電型の駆動回路用TFTの低濃度ソース・ドレイン領域211、221は、実施例3と同様、不純物濃度が約 $1 \times 10^{19} \text{ cm}^{-3}$ の低濃度第一導電型領域で有るが、第一導電型の画素用TFTの低濃度ソース・ドレイン領域111、121は、保持容量40の下層側電極部40cと同等量のリンイオン（不純物濃度が約 $1 \times 10^{19} \text{ cm}^{-3}$ のリンイオン）とともに、第二導電型の駆動回路用TFT30の低濃度領域311、321と同等量のボロンイオン（不純物濃度が約 $1 \times 10^{18} \text{ cm}^{-3}$ のボロンイオン）が導入された低濃度第一導電型領域で有る。従って、低濃度ソース・ドレイン領域11

1、121の不純物濃度は、約 $9 \times 10^{18} \text{ cm}^{-3}$ で有る。

【0217】斯様な構成のアクティブマトリクス基板1を製造するにあたって、本例では、以下の製造方法を用いて居る。

【0218】まず、図11(a)に示す様に、絶縁基板2の表面に島状のシリコン膜10a、20a、30a、40aを形成した後（シリコン膜形成工程）、ゲート絶縁膜14、24、34及び、誘電体膜44を形成する（ゲート絶縁膜形成工程）。

【0219】しかる後に、 $1 \times 10^{12} \text{ cm}^{-2}$ のドーズ量でボロンイオンを打ち込んでチャネルドープを行なう（1回目の不純物導入工程）。

【0220】次に、図11(b)に示す様に、第二導電型の駆動回路用TFT30の形成領域を覆うと共に、第一導電型の画素用TFT10及び第一導電型の駆動回路用TFT20のゲート電極15、25の形成領域を広めに覆うレジストマスク301を形成する（1回目のマスク形成工程）。

【0221】続いて、リンイオンを約 $1 \times 10^{14} \text{ cm}^{-2}$ のドーズ量でイオン注入し（2回目の不純物導入工程／低濃度第一導電型不純物導入工程）、不純物濃度が約 $1 \times 10^{19} \text{ cm}^{-3}$ の低濃度第一導電型のソース・ドレイン領域11、12、21、22、および下層側電極部40cを形成する。

【0222】次に、図11(c)に示す様に、ゲート電極15、25、35、及び上層側電極部45を形成する。この様にして保持容量40を形成する。

【0223】以上の各工程は、実施例3、4に係る製造方法と同じで有る。

【0224】次に、第一導電型の駆動回路用TFT20、及び保持容量40の形成領域を覆うとともに、レジストマスク301と同様、ゲート電極15をもわずかに広めに覆うレジストマスク302を形成する（2回目のマスク形成工程）。

【0225】続いて、ボロンイオンを約 $1 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入する（3回目の不純物導入工程／低濃度第二導電型不純物導入工程）。

【0226】その結果、シリコン膜30aには、ゲート電極35に対して自己整合的に不純物濃度が約 $1 \times 10^{18} \text{ cm}^{-3}$ の低濃度第二導電型のソース・ドレイン領域31、32が形成される。又低濃度第一導電型のソース・ドレイン領域11、12は、そこに打ち込まれたボロンイオンによって実質的に低濃度化し、低濃度第一導電型のソース・ドレイン領域11、12の不純物濃度は、約 $9 \times 10^{18} \text{ cm}^{-3}$ となる。しかる後に、レジストマスク302を除去する。

【0227】以降は、実施例3と同様、図11(d)に示す様に、第一導電型の画素用TFT10の形成領域、第一導電型の駆動回路用TFT20の形成領域、及び保

持容量40を覆うと共に、ゲート電極35を広めに覆うレジストマスク303を形成する(3回目のマスク形成工程)。

【0228】続いて、ボロイオンを約 $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する(4回目の不純物導入工程/高濃度第二導電型不純物導入工程)。

【0229】その結果、低濃度第二導電型のソース・ドレイン領域31、32は、不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域312、322、及び不純物濃度が約 $1.1 \times 10^{18} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域311、321となる。この様にして、第二導電型の駆動回路用TFT30を形成する。しかる後に、レジストマスク303を除去する。

【0230】次に、図11(e)に示す様に、第二導電型の駆動回路用TFT30に加えて、ゲート電極15、25をも広めに覆うレジストマスク304を形成する(4回目のマスク形成工程)。

【0231】続いて、リンイオン(第一導電型不純物)を $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する(5回目の不純物導入工程/高濃度第一導電型不純物導入工程)。

【0232】その結果、低濃度第一導電型のソース・ドレイン領域11、12、21、22は、不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域112、122、212、222、不純物濃度が約 $9 \times 10^{18} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域111、121、及び不純物濃度が約 $1 \times 10^{19} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域211、221となる。この様にして、第一導電型の画素用TFT10および第一導電型の駆動回路用TFT20を形成する。しかる後に、レジストマスク304を除去する。

【0233】従って、レジストマスク301~304を形成する為の4回のマスク形成工程と、5回の不純物導入工程によって、アクティブマトリクス基板1等の半導体装置を製造出来る。

【0234】この様に、本例のアクティブマトリクス基板1の製造方法では実施例3、4と同様な効果を奏するのに加えて、図11(c)に示した様に、低濃度ソース・ドレイン領域311、321を形成する為の低濃度第二導電型不純物導入工程を援用して低濃度第一導電型のソース・ドレイン領域11、12の不純物濃度を変えて居る。この為、実施例3、4に比較して工程数を増やす事なく、保持容量40の下層側電極部40c、及び低濃度ソース・ドレイン領域211、221よりも低濃度化した低濃度ソース・ドレイン領域111、121を形成出来る。それ故、第一導電型の駆動回路用TFT20の低濃度ソース・ドレイン領域211、221、及び下層側電極部40cの不純物濃度をそのままにして画素用TFT10の低濃度ソース・ドレイン領域111、121を低濃度化し、駆動回路に於ける動作速度を犠牲にする

事なく、画素用TFT10のオフリーク電流をさらに低減するなど、少ない工程数で、各TFTの電気的特性を領域毎に最適化する事が出来る。

【0235】尚図11(c)に示す低濃度第二導電型不純物導入工程、図11(d)に示す高濃度第二導電型不純物導入工程、及び図11(e)に示す高濃度第一導電型不純物導入工程の間では、順序を入れ替えてもよい事は勿論で有る。

【0236】[実施例6] 図12は、本例の液晶表示装置に於ける駆動回路内蔵型のアクティブマトリクス基板の構造を模式的に示す断面図で有る。

【0237】図12に於いて、本例の液晶表示装置の駆動回路内蔵型のアクティブマトリクス基板1では、第一導電型の画素用TFT10、第一導電型の駆動回路用TFT20、及び第二導電型の駆動回路用TFT30'のチャネル領域13、23、33は、低濃度のボロイオンによってチャネルドーピングしてある為、不純物濃度が約 $1 \times 10^{17} \text{ cm}^{-3}$ の低濃度第二導電型領域で有る。従って、第一導電型の画素用TFT10、第一導電型の駆動回路用TFT20、及び第二導電型の駆動回路用TFT30'のスレッシュホールド電圧を所定の値に設定して有る。

【0238】この様に構成したアクティブマトリクス基板1に於いて、ソース・ドレイン領域11、12、21、22は、ゲート電極15、25の端部に対してゲート絶縁膜14、24を介して対峙する部分に低濃度ソース・ドレイン領域111、121、211、221を備えており、第一導電型の画素用TFT10、及び第一導電型の駆動回路用TFT20は、LDD構造になって居る。

【0239】これに対して、第二導電型の駆動回路用TFT30'は、オフセットゲート構造を有しており、ソース・ドレイン領域31、32に於いて、ゲート電極35の端部に対してゲート絶縁膜34を介して対峙する部分はオフセット領域311'、321'で有る。このオフセット領域311'、321'は、チャネル領域33と同じく、不純物濃度が約 $1 \times 10^{17} \text{ cm}^{-3}$ の低濃度第二導電型領域で有る。

【0240】又保持容量40に於いて、その下層側電極部40cは、低濃度ソース・ドレイン領域111、121、211、221と同時に形成された低濃度第一導電型領域で有る。

【0241】尚第一導電型の画素用TFT10、及び第一導電型の駆動回路用TFT20のソース領域11、21、及びドレイン領域12、22の内、低濃度ソース領域111、211、及び低濃度ドレイン領域121、221を除く領域は、不純物濃度が約 $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域112、122、212、222で有る。これらの高濃度領域に対して、各TFTに対する信号線や画素電極などのソース・ドレイン

電極16、17、26、27が、層間絶縁膜4のコンタクトホールを介して電気的に接続して居る。又第二導電型の駆動回路用TFT30'のソース・ドレイン領域31、32では、オフセット領域311'、321'に隣接する不純物濃度が約 $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域312、322に対して、信号線などのソース・ドレイン電極36、37が層間絶縁膜4のコンタクトホールを介して電気的に接続して居る。

【0242】(TFTのオン・オフリーク電流特性)この様に構成したアクティブマトリクス基板1に於いて、オフセットゲート構造のTFTはLDD構造のTFTと同等のオン・オフリーク電流特性を有するので、いずれのTFTもオフリーク電流が著しく小さい。又オフセットゲート構造のTFTは、耐電圧特性に於いてもLDD構造のTFTと同等の特性を示す。従って、いずれのTFTもセルフアライン構造のTFTに比較して耐電圧が高いので、チャネル長を短くする事が出来る。

【0243】(TFTの製造方法) 斯様な構造のアクティブマトリクス基板1は、以下の方法により製造出来る。

【0244】まず、実施例3と同様、図13(a)に示す様に、絶縁基板2の表面に島状のシリコン膜10a、20a、30a、40aを形成した後(シリコン膜形成工程)、ゲート絶縁膜14、24、34、及び誘電体膜44を形成する(ゲート絶縁膜形成工程)。

【0245】次に、 $1 \times 10^{12} \text{ cm}^{-2}$ のドーズ量でボロンイオンを打ち込んでチャネルドーピングを行なう(チャネルドーピング工程/1回目の不純物導入工程)。

【0246】次に、図13(b)に示す様に、第二導電型の駆動回路用TFT30'の形成領域を覆うと共に、第一導電型の画素用TFT10及び第一導電型の駆動回路用TFT20のゲート電極15、25の形成領域をわずかに広めに覆うレジストマスク401を形成する(1回目のマスク形成工程)。

【0247】続いて、リンイオンを約 $1 \times 10^{14} \text{ cm}^{-2}$ のドーズ量でイオン注入し(2回目の不純物導入工程/低濃度第一導電型不純物導入工程)、不純物濃度が約 $1 \times 10^{19} \text{ cm}^{-3}$ の低濃度第一導電型のソース・ドレイン領域11、12、21、22、および下層側電極部40cを形成する。

【0248】次に、図13(c)に示す様に、ゲート電極15、25、35、及び上層側電極部45を形成する。この様にして保持容量40を形成する。

【0249】次に、第一導電型の画素用TFT10、第一導電型の駆動回路用TFT20、及び保持容量40の形成領域を覆うと共に、ゲート電極35をも広めに覆うレジストマスク402を形成する(2回目のマスク形成工程)。

【0250】この状態で、ボロンイオンを $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する(高濃度第二導電型不

純物導入工程/3回目の不純物導入工程)。

【0251】その結果、低濃度第二導電型のシリコン膜30aには、不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域312、322が形成される。一方、低濃度第二導電型のシリコン膜30aの内、レジストマスク402で覆われていた部分はそのまま不純物濃度が約 $1 \times 10^{17} \text{ cm}^{-3}$ のオフセット領域311'、321'となる。勿論、チャネル領域33は不純物濃度が約 $1 \times 10^{17} \text{ cm}^{-3}$ の低濃度第二導電型領域のままで有る。

【0252】この様にして、第二導電型の駆動回路用TFT30'を形成する。しかる後に、レジストマスク402を除去する。

【0253】次に、図13(d)に示す様に、第二導電型の駆動回路用TFT30'の形成領域に加えて、ゲート電極15、25をも広めに覆うレジストマスク403を形成する(3回目のマスク形成工程)。

【0254】続いて、リンイオン(第一導電型不純物)を $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する(4回目の不純物導入工程/高濃度第一導電型不純物導入工程)。

【0255】その結果、低濃度第一導電型のソース・ドレイン領域11、12、21、22は、不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域112、122、212、222、及び不純物濃度が約 $1 \times 10^{19} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域111、121、211、221となる。この様にして、第一導電型の画素用TFT10及び第一導電型の駆動回路用TFT20を形成する。しかる後に、レジストマスク403を除去する。

【0256】従って、レジストマスク401~403を形成する為の3回のマスク形成工程と、4回の不純物導入工程によって、アクティブマトリクス基板1等の半導体装置を製造出来る。

【0257】この様に、本例のアクティブマトリクス基板1の製造方法では、図13(b)に示す様に、ゲート電極15、25、35、及び上層側電極45を形成する前に、低濃度ソース・ドレイン領域111、121、211、221を形成する為の低濃度第一導電型不純物導入工程を行い、この工程を援用して下層側電極部40cを形成して居る。従って、従来の製造方法に比較してマスク形成工程の数及び不純物導入工程の数を減らす事が可能で有る。

【0258】更に本例では、図13(c)に示す様に、第二導電型の駆動回路用TFT30'に於いて、ゲート電極35に対峙する部分を低濃度領域とするにあたって、LDD構造ではなく、オフセットゲート構造として居る。この為、実施例3に比較してマスク形成工程及び不純物導入工程のいずれについても1回ずつ少ない。即ち従来の製造方法に比較してマスク形成工程及び不純物

導入工程のいずれについても2回ずつ少ない。それ故、最も少ない製造工程数によって、画素領域及び駆動回路部のTFTの電気的特性を向上する事が出来る。

【0259】尚表5及び表6に於いて、チャンネルドープ工程を「C/D」、低濃度第1導電型不純物導入工程を「N<sup>-</sup>」、高濃度第1導電型不純物導入工程を「N<sup>+</sup>」、高濃度第2導電型不純物導入工程を「P<sup>+</sup>」、ゲート電極形成工程を「G」で略しながら工程順序を示す\*

\*様に、ゲート電極15、25、35、及び上層側電極45を形成する前に、低濃度ソース・ドレイン領域111、121、211、221を形成する為の低濃度第1導電型不純物導入工程を行い、この工程を援用して、下層側電極部40cを形成するのであれば、いずれの工程順序であってもよい。

【0260】

【表5】

工程順序	1	2	3	4	5
4-01	C/D	N <sup>-</sup>	G	P <sup>+</sup>	N <sup>+</sup>
4-02	C/D	N <sup>-</sup>	G	N <sup>+</sup>	P <sup>+</sup>
4-03	C/D	N <sup>-</sup>	N <sup>+</sup>	G	P <sup>+</sup>
4-04	C/D	N <sup>+</sup>	N <sup>-</sup>	G	P <sup>+</sup>
4-05	N <sup>+</sup>	C/D	N <sup>-</sup>	G	P <sup>+</sup>
4-06	C/D	N <sup>-</sup>	P <sup>+</sup>	G	N <sup>+</sup>
4-07	C/D	N <sup>-</sup>	P <sup>+</sup>	N <sup>+</sup>	G
4-08	C/D	N <sup>-</sup>	N <sup>+</sup>	P <sup>+</sup>	G
4-09	C/D	N <sup>+</sup>	N <sup>-</sup>	P <sup>+</sup>	G
4-10	N <sup>+</sup>	C/D	N <sup>-</sup>	P <sup>+</sup>	G
4-11	C/D	P <sup>+</sup>	N <sup>-</sup>	G	N <sup>+</sup>
4-12	C/D	P <sup>+</sup>	N <sup>-</sup>	N <sup>+</sup>	G
4-13	C/D	P <sup>+</sup>	N <sup>+</sup>	N <sup>-</sup>	G
4-14	C/D	N <sup>+</sup>	P <sup>+</sup>	N <sup>-</sup>	G
4-15	N <sup>+</sup>	N <sup>-</sup>	P <sup>+</sup>	C/D	G
4-16	P <sup>+</sup>	C/D	N <sup>-</sup>	G	N <sup>+</sup>
4-17	P <sup>+</sup>	C/D	N <sup>-</sup>	N <sup>+</sup>	G
4-18	P <sup>+</sup>	C/D	N <sup>+</sup>	N <sup>-</sup>	G
4-19	P <sup>+</sup>	N <sup>+</sup>	C/D	N <sup>-</sup>	G
4-20	N <sup>+</sup>	P <sup>+</sup>	C/D	N <sup>-</sup>	G
4-21	N <sup>-</sup>	C/D	G	P <sup>+</sup>	N <sup>+</sup>
4-22	N <sup>-</sup>	C/D	G	N <sup>+</sup>	P <sup>+</sup>
4-23	N <sup>-</sup>	C/D	N <sup>+</sup>	G	P <sup>+</sup>
4-24	N <sup>-</sup>	N <sup>+</sup>	C/D	G	P <sup>+</sup>
4-25	N <sup>+</sup>	N <sup>-</sup>	C/D	G	P <sup>+</sup>
4-26	N <sup>-</sup>	C/D	P <sup>+</sup>	G	N <sup>+</sup>
4-27	N <sup>-</sup>	C/D	P <sup>+</sup>	N <sup>+</sup>	G

【0261】

【表6】



工程順序	1	2	3	4	5
4-28	N <sup>-</sup>	C/D	N <sup>+</sup>	P <sup>+</sup>	G
4-29	N <sup>-</sup>	N <sup>+</sup>	C/D	P <sup>+</sup>	G
4-30	N <sup>+</sup>	N <sup>-</sup>	C/D	P <sup>+</sup>	G
4-31	N <sup>-</sup>	P <sup>+</sup>	C/D	G	N <sup>+</sup>
4-32	N <sup>-</sup>	P <sup>+</sup>	C/D	N <sup>+</sup>	G
4-33	N <sup>-</sup>	P <sup>+</sup>	N <sup>+</sup>	C/D	G
4-34	N <sup>-</sup>	N <sup>+</sup>	P <sup>+</sup>	C/D	G
4-35	N <sup>+</sup>	C/D	P <sup>+</sup>	N <sup>-</sup>	G
4-36	P <sup>+</sup>	N <sup>-</sup>	C/D	G	N <sup>+</sup>
4-37	P <sup>+</sup>	N <sup>-</sup>	C/D	N <sup>+</sup>	G
4-38	P <sup>+</sup>	N <sup>-</sup>	N <sup>+</sup>	C/D	G
4-39	P <sup>+</sup>	N <sup>+</sup>	N <sup>-</sup>	C/D	G
1-40	N <sup>+</sup>	P <sup>+</sup>	N <sup>-</sup>	C/D	G

【0262】〔実施例7〕図14は、本例の液晶表示装置に於ける駆動回路内蔵型のアクティブマトリクス基板の構造を模式的に示す断面図で有る。

【0263】図14に於いて、本例の液晶表示装置の駆動回路内蔵型のアクティブマトリクス基板1では、第一導電型の画素用TFT10、第一導電型の駆動回路用TFT20、及び第二導電型の駆動回路用TFT30は、いずれもLDD構造を有し、いずれのTFTに於いても、チャネル領域13、23、33は、低濃度のボロンイオンによってチャネルドープしてある為、不純物濃度が約 $1 \times 10^{17} \text{ cm}^{-3}$ の低濃度第二導電型領域で有る。

【0264】本例では、保持容量40の下層側電極部40d（第一の電極部）は、第一導電型の画素用TFT10、及び第一導電型の駆動回路用TFT20の高濃度ソース・ドレイン領域112、122、212、222と同時形成された不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度第一導電型領域で有る。

【0265】斯様な構造のアクティブマトリクス基板1は、例えば以下の方法により製造出来る。

【0266】まず、図15(a)に示す様に、絶縁基板2の表面に島状のシリコン膜10a、20a、30a、40aを形成した後（シリコン膜形成工程）、ゲート絶縁膜14、24、34、及び誘電体膜44を形成する（ゲート絶縁膜形成工程）。

【0267】次に、約 $1 \times 10^{12} \text{ cm}^{-2}$ のドーズ量でボロンイオン（第二導電型不純物／第二導電型不純物）を打ち込んでチャネルドープを行ない（チャネルドープ工程／1回目の不純物導入工程）。

【0268】次に、図15(b)に示す様に、第二導電型の駆動回路用TFT30の形成領域を覆うと共に、後に形成するゲート電極15、25の形成予定領域を広めに覆うレジストマスク501を形成する（1回目のマスク形成工程）。

【0269】続いて、例えば、リンイオン（第一導電型不純物／第一導電型不純物）を約 $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する（2回目の不純物導入工程／高濃度第一導電型不純物導入工程）。

【0270】その結果、低濃度第二導電型のシリコン膜10a、20aの内、リンイオンが打ち込まれた領域は、導電型が反転して不純物濃度が約 $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域112、122、212、222となる。又低濃度第二導電型のシリコン膜40aも導電型が反転して不純物濃度が約 $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度第一導電型の下層側電極部40dとなる。しかる後に、レジストマスク501を除去する。

【0271】次に、図15(c)に示す様に、ゲート電極15、25、35、及び上層側電極部45（第二の電極部）を形成する（ゲート電極形成工程）。この様に、下層側電極部40dと上層側電極部45とが誘電体膜44を介して対向する保持容量40を形成する。

【0272】次に、第一導電型の画素用TFT10、第一導電型の駆動回路用TFT20、及び保持容量40の形成領域を覆うレジストマスク502を形成する（2回目のマスク形成工程）。

【0273】続いて、ボロンイオンを約 $1 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入する（3回目の不純物導入工程／低濃度第二導電型不純物導入工程）。

【0274】その結果、低濃度第二導電型のシリコン膜30aには、ゲート電極35に対して自己整合的に不純物濃度が約 $1 \times 10^{18} \text{ cm}^{-3}$ の低濃度第二導電型のソース・ドレイン領域31、32が形成される。尚不純物が導入されなかった部分がチャネル領域33となる。しかる後に、レジストマスク502を除去する。

【0275】次に、図15(d)に示す様に、第二導電型の駆動回路用TFT30の形成領域を覆うレジストマスク503を形成する（3回目のマスク形成工程）。

【0276】続いて、リンイオンを約 $1 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入する（4回目の不純物導入工程／低濃度第一導電型不純物導入工程）。

【0277】その結果、高濃度ソース・ドレイン領域112、122、212、222に挟まれた低濃度第二導電型のシリコン膜10a、20aには、ゲート電極15、25に対して自己整合的に不純物濃度が約 $0.9 \times 10^{18} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域211、221が形成される。尚不純物が導入されなかった部分がチャネル領域23、33となる。この様にして、第一導電型の画素用TFT10、および第一導電型の駆動回路用TFT20を形成する。しかる後に、レジストマスク503を除去する。

【0278】次に、図15(e)に示す様に、第一導電型の画素用TFT10、第一導電型の駆動回路用TFT20、及び保持容量40の形成領域を覆うと共に、ゲート電極35を広めに覆うレジストマスク504を形成する（4回目のマスク形成工程）。ここで、レジストマスク504の端部とゲート電極35の端部との距離は、 $0.5 \mu\text{m} \sim 2 \mu\text{m}$ 程度が適して居る。

【0279】続いて、ボロンイオンを約 $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する（5回目の不純物導入工程／高濃度第二導電型不純物導入工程）。

【0280】その結果、低濃度第二導電型のソース・ドレイン領域31、32には不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域312、322が形成される。又低濃度第二導電型のソース・ドレイン領域31、32の内、レジストマスク504で覆われていた部分はそのまま不純物濃度が約 $1.1 \times 10^{18} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域311、321となる。

【0281】この様にして、第二導電型の駆動回路用TFT30を形成する。しかる後に、レジストマスク50

4を除去する。

【0282】以降、図14に示す様に、層間絶縁膜4を形成した後、活性化の為にアニールを行い、しかる後に、コンタクトホールを形成してソース・ドレイン電極16、17、26、27、36、37を形成すれば、レジストマスク501～504を形成する為の4回のマスク形成工程と、5回の不純物導入工程によって、アクティブマトリクス基板1等の半導体装置を製造出来る。

【0283】この様に、本例のアクティブマトリクス基板1の製造方法では、図15(b)に示した様に、ゲート電極15、25、35、及び上層側電極45を形成する前に、高濃度ソース・ドレイン領域112、122、212、222を形成する為の高濃度第一導電型不純物導入工程を行い、この工程を援用して下層側電極部40dを形成して居る。従って、従来の製造方法に比較して、マスク形成工程の数及び不純物導入工程の数を1回ずつ減らす事が可能で有る。それ故、少ない製造工程数によってTFTと容量素子（保持容量40）を形成しながら、各TFTの電気的特性を向上する事が出来る。

20 【0284】尚表7に於いて、チャネルドープ工程を「C/D」、低濃度第一導電型不純物導入工程を「N<sup>-</sup>」、高濃度第一導電型不純物導入工程を「N<sup>+</sup>」、低濃度第二導電型不純物導入工程を「P<sup>-</sup>」、高濃度第二導電型不純物導入工程を「P<sup>+</sup>」、ゲート電極形成工程を「G」で略して工程順序を示す様に、ゲート電極15、25、35、及び上層側電極45を形成する前に、高濃度ソース・ドレイン領域112、122、212、222を形成する為の高濃度第一導電型不純物導入工程を行い、この工程を援用して、下層側電極部40dを形成するのであれば、いずれの工程順序であってもよい。

【0285】

【表7】

工程順序	1	2	3	4	5	6
5-01	C/D	N <sup>+</sup>	G	P <sup>-</sup>	N <sup>-</sup>	P <sup>+</sup>
5-02	C/D	N <sup>+</sup>	G	P <sup>-</sup>	P <sup>+</sup>	N <sup>-</sup>
5-03	C/D	N <sup>+</sup>	G	P <sup>+</sup>	P <sup>-</sup>	N <sup>-</sup>
5-04	C/D	N <sup>+</sup>	P <sup>+</sup>	G	P <sup>-</sup>	N <sup>-</sup>
5-05	C/D	P <sup>+</sup>	N <sup>+</sup>	G	P <sup>-</sup>	N <sup>-</sup>
5-06	P <sup>+</sup>	C/D	N <sup>+</sup>	G	P <sup>-</sup>	N <sup>-</sup>
5-07	C/D	N <sup>+</sup>	G	N <sup>-</sup>	P <sup>-</sup>	P <sup>+</sup>
5-08	C/D	N <sup>+</sup>	G	N <sup>-</sup>	P <sup>+</sup>	P <sup>-</sup>
5-09	C/D	N <sup>+</sup>	G	P <sup>+</sup>	N <sup>-</sup>	P <sup>-</sup>
5-10	C/D	N <sup>+</sup>	P <sup>+</sup>	G	N <sup>-</sup>	P <sup>-</sup>
5-11	C/D	P <sup>+</sup>	N <sup>+</sup>	G	N <sup>-</sup>	P <sup>-</sup>
5-12	P <sup>+</sup>	C/D	N <sup>+</sup>	G	N <sup>-</sup>	P <sup>-</sup>
5-13	N <sup>+</sup>	C/D	G	P <sup>-</sup>	N <sup>-</sup>	P <sup>+</sup>
5-14	N <sup>+</sup>	C/D	G	P <sup>-</sup>	P <sup>+</sup>	N <sup>-</sup>
5-15	N <sup>+</sup>	C/D	G	P <sup>+</sup>	P <sup>-</sup>	N <sup>-</sup>
5-16	N <sup>+</sup>	C/D	P <sup>+</sup>	G	P <sup>-</sup>	N <sup>-</sup>
5-17	N <sup>+</sup>	P <sup>+</sup>	C/D	G	P <sup>-</sup>	N <sup>-</sup>
5-18	P <sup>+</sup>	N <sup>+</sup>	C/D	G	P <sup>-</sup>	N <sup>-</sup>
5-19	N <sup>+</sup>	C/D	G	N <sup>-</sup>	P <sup>-</sup>	P <sup>+</sup>
5-20	N <sup>+</sup>	C/D	G	N <sup>-</sup>	P <sup>+</sup>	P <sup>-</sup>
5-21	N <sup>+</sup>	C/D	G	P <sup>+</sup>	N <sup>-</sup>	P <sup>-</sup>
5-22	N <sup>+</sup>	C/D	P <sup>+</sup>	G	N <sup>-</sup>	P <sup>-</sup>
5-23	N <sup>+</sup>	P <sup>+</sup>	C/D	G	N <sup>-</sup>	P <sup>-</sup>
5-24	P <sup>+</sup>	N <sup>+</sup>	C/D	G	N <sup>-</sup>	P <sup>-</sup>

【0286】〔実施例8〕本例のアクティブマトリクス基板の構造については実施例7と同じく図14を参照して説明する。

【0287】図14に於いて、本例のアクティブマトリクス基板1の特徴点は、実施例7に係る製造方法に比してマスク形成工程が1回少ない点にあり、その製造方法は以下に説明するとおりである。

【0288】まず、図16(a)に示す様に、絶縁基板2の表面に島状のシリコン膜10a、20a、30a、40aを形成した後（シリコン膜形成工程）、ゲート絶縁膜14、24、34、及び誘電体膜44を形成する（ゲート絶縁膜形成工程）。

【0289】次に、約 $1 \times 10^{12} \text{ cm}^{-2}$ のドーズ量でボロンイオン（第二導電型不純物／第二導電型不純物）を打ち込んでチャネルドーピングを行なう（チャネルドーピング工程／1回目の不純物導入工程）。

【0290】次に、図16(b)に示す様に、第二導電型の駆動回路用TFT30の形成領域を覆うと共に、後に形成するゲート電極15、25の形成予定領域を広めに覆うレジストマスク601を形成する（1回目のマス

ク形成工程）。

【0291】続いて、例えばリンイオン（第一導電型不純物／第一導電型不純物）を約 $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する（2回目の不純物導入工程／高濃度第一導電型不純物導入工程）。

【0292】その結果、低濃度第二導電型のシリコン膜10a、20aの内、リンイオンが打ち込まれた領域は、導電型が反転して不純物濃度が約 $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域112、122、212、222となる。又低濃度第二導電型のシリコン膜40aも、導電型が反転して不純物濃度が約 $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度第一導電型の下層側電極部40dとなる。しかる後に、レジストマスク601を除去する。

【0293】次に、図16(c)に示す様に、ゲート電極15、25、35、及び上層側電極部45を形成する（ゲート電極形成工程）。この様にして保持容量40を形成する。

【0294】次に、第一導電型の画素用TFT10、第一導電型の駆動回路用TFT20、及び保持容量40の形成領域を覆うレジストマスク602を形成する（2回

目のマスク形成工程)。

【0295】続いて、ボロンイオンを約 $3 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入する(3回目の不純物導入工程/低濃度第二導電型不純物導入工程)。

【0296】その結果、低濃度第二導電型のシリコン膜30aには、ゲート電極35に対して自己整合的に不純物濃度が約 $3.1 \times 10^{18} \text{ cm}^{-3}$ の低濃度第二導電型のソース・ドレイン領域31、32が形成される。尚不純物が導入されなかった部分がチャネル領域33となる。しかる後に、レジストマスク602を除去する。

【0297】次に、図16(d)に示す様に、レジストマスクを形成する事なく、リンイオンを約 $1 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入する(4回目の不純物導入工程/低濃度第一導電型不純物導入工程)。

【0298】その結果、高濃度ソース・ドレイン領域112、122、212、222に挟まれた低濃度第二導電型のシリコン膜10a、20aには、ゲート電極15、25に対して自己整合的に不純物濃度が約 $0.9 \times 10^{18} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域111、121、211、221が形成される。尚不純物が導入されなかった部分がチャネル領域23、33となる。この様に、第一導電型の画素用TFT10及び第一導電型の駆動回路用TFT20を形成する。

【0299】ここで、低濃度第二導電型のソース・ドレイン領域31、32にも、リンイオンが $1 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入されるが、この低濃度第二導電型のソース・ドレイン領域31、32の不純物濃度は、約 $3.1 \times 10^{18} \text{ cm}^{-3}$ で有る。従って、低濃度第二導電型のソース・ドレイン領域31、32は、実質的にアクセプター型不純物濃度が約 $2.1 \times 10^{18} \text{ cm}^{-3}$ に低濃度化するだけで有り、導電型は反転しない。

【0300】次に、図16(e)に示す様に、第一導電型の画素用TFT10、第一導電型の駆動回路用TFT20、及び保持容量40の形成領域を覆うと共に、ゲート電極35を広めに覆うレジストマスク603を形成する(3回目のマスク形成工程)。

【0301】続いて、ボロンイオンを約 $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する(5回目の不純物導入工程/高濃度第二導電型不純物導入工程)。

【0302】その結果、低濃度第二導電型のソース・ドレイン領域31、32には不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域312、322が形成される。又低濃度第二導電型のソース・ドレイン領域31、32の内、レジストマスク603で覆われていた部分はそのまま不純物濃度が約 $2.1 \times 10^{18} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域311、321となる。

【0303】この様に、第二導電型の駆動回路用TFT30を形成する。しかる後に、レジストマスク603を除去する。

【0304】以降、図14に示す様に、層間絶縁膜4を

形成した後、活性化の為にアニールを行い、しかる後に、コンタクトホールを形成してソース・ドレイン電極16、17、26、27、36、37を形成すれば、レジストマスク601~603を形成する為の3回のマスク形成工程と、5回の不純物導入工程によって、アクティブマトリクス基板1等の半導体装置を製造出来る。

【0305】この様に、本例のアクティブマトリクス基板1の製造方法では、図16(b)に示した様に、ゲート電極15、25、35、及び上層側電極45を形成する前に、高濃度ソース・ドレイン領域112、122、212、222を形成する為の高濃度第一導電型不純物導入工程を行い、この工程を援用して下層側電極部40dを形成して居る。従って、従来の製造方法に比較して、マスク形成工程の数及び不純物導入工程の数を減らす事が可能で有る。

【0306】しかも、低濃度ソース・ドレイン領域111、121、211、221を形成する為の工程では、マスクを形成せずに、リンイオンの注入を行う。それ故、3回のマスク形成工程と5回の不純物導入工程によって、各TFT及び保持容量40を製造する事が出来る。

【0307】尚実施例7と同様、ゲート電極15、25、35、及び上層側電極45を形成する前に、高濃度ソース・ドレイン領域112、122、212、222を形成する為の高濃度第一導電型不純物導入工程を行い、この工程を援用して、下層側電極部40dを形成するのであれば、表7に示すいずれの工程順序であってもよい。

【0308】〔実施例9〕本例のアクティブマトリクス基板の構造については、実施例7と同じく図14を参照して説明する。本例の特徴点は、実施例8と同様、実施例7に係る製造方法に比してマスク形成工程が1回少ない点にあり、その製造方法は、以下に説明するとおりで有る。

【0309】まず、図17(a)に示す様に、絶縁基板2の表面に島状のシリコン膜10a、20a、30a、40aを形成した後(シリコン膜形成工程)、ゲート絶縁膜14、24、34、及び誘電体膜44を形成する(ゲート絶縁膜形成工程。)

次に、約 $1 \times 10^{12} \text{ cm}^{-2}$ のドーズ量でボロンイオン(第二導電型不純物/第二導電型不純物)を打ち込んで、チャネルドーピングを行なう(チャネルドーピング工程/1回目の不純物導入工程)。

【0310】次に、図17(b)に示す様に、第二導電型の駆動回路用TFT30の形成領域を覆うと共に、後に形成するゲート電極15、25の形成予定領域を広くに覆うレジストマスク701を形成する(1回目のマスク形成工程)。

【0311】続いて、例えば、リンイオン(第一導電型不純物/第一導電型不純物)を約 $1 \times 10^{15} \text{ cm}^{-2}$ のド

ーズ量でイオン注入する（2回目の不純物導入工程／高濃度第一導電型不純物導入工程）。

【0312】その結果、低濃度第二導電型のシリコン膜10a、20aの内、リンイオンが打ち込まれた領域は、導電型が反転して不純物濃度が約 $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域112、122、212、222となる。又低濃度第二導電型のシリコン膜40aも、導電型が反転して不純物濃度が約 $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度第一導電型の下層側電極部40dとなる。しかる後に、レジストマスク701を除去する。

【0313】次に、図17(c)に示す様に、ゲート電極15、25、35、及び上層側電極部45を形成する（ゲート電極形成工程）。この様にして保持容量40を形成する。

【0314】次に、p型の駆動回路用TFT30の形成領域を覆うレジストマスク702を形成する（2回目のマスク形成工程）。

【0315】続いて、リンイオンを約 $3 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入する（3回目の不純物導入工程／低濃度第一導電型不純物導入工程）。

【0316】その結果、高濃度ソース・ドレイン領域112、122、212、222に挟まれた低濃度第二導電型のシリコン膜10a、20aには、ゲート電極15、25に対して自己整合的に不純物濃度が約 $2.9 \times 10^{18} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域111、121、211、221が形成される。尚不純物が導入されなかった部分がチャネル領域23、33となる。この様にして、第一導電型の画素用TFT10及び第一導電型の駆動回路用TFT20を形成する。

【0317】次に、図17(d)に示す様に、レジストマスク702を除去し、そのままレジストマスクを形成する事なく、ボロンイオンを約 $1 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入する（4回目の不純物導入工程／低濃度第二導電型不純物導入工程）。

【0318】その結果、低濃度第二導電型のシリコン膜30aには、ゲート電極35に対して自己整合的に不純物濃度が約 $1.1 \times 10^{18} \text{ cm}^{-3}$ の低濃度p型領域31、32が形成される。尚不純物が導入されなかった部分がチャネル領域33となる。

【0319】ここで、第一導電型の画素用TFT10及び第一導電型の駆動回路用TFT20の側にも、ボロンイオンが $1 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入されるが、その低濃度ソース・ドレイン領域111、121、211、221の不純物濃度は、約 $2.9 \times 10^{18} \text{ cm}^{-3}$ で有る。従って、低濃度ソース・ドレイン領域111、121、211、221は、実質的にドナー型不純物濃度が約 $1.9 \times 10^{18} \text{ cm}^{-3}$ に低濃度化するだけで有り、導電型は反転しない。又高濃度ソース・ドレイン領域112、122、212、222も、わずかに低濃度化するだけで有り、導電型は反転せず、いざんとし

て高濃度で有る。

【0320】次に、図17(e)に示す様に、第一導電型の画素用TFT10の形成領域、第一導電型の駆動回路用TFT20の形成領域、及び保持容量40を覆うと共に、ゲート電極35を広めに覆うレジストマスク703を形成する（3回目のマスク形成工程）。

【0321】続いて、ボロンイオンを約 $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する（5回目の不純物導入工程／高濃度第二導電型不純物導入工程）。

10 【0322】その結果、低濃度第二導電型のソース・ドレイン領域31、32には、不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域312、322が形成される。又低濃度第二導電型のソース・ドレイン領域31、32の内、レジストマスク703で覆われていた部分は、そのまま不純物濃度が約 $2.1 \times 10^{18} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域311、321となる。

【0323】この様にして、第二導電型の駆動回路用TFT30を形成する。しかる後に、レジストマスク703を除去する。

20 【0324】以降、図14に示す様に、層間絶縁膜4を形成した後、活性化の為にアニールを行い、しかる後に、コンタクトホールを形成してソース・ドレイン電極16、17、26、27、36、37を形成すれば、レジストマスク701～703を形成する為の3回のマスク形成工程と、5回の不純物導入工程によって、アクティブマトリクス基板1等の半導体装置を製造出来る。

【0325】この様に、本例のアクティブマトリクス基板1の製造方法では、図17(b)に示した様に、ゲート電極15、25、35、及び上層側電極45を形成する前に、高濃度ソース・ドレイン領域112、122、212、222を形成する為の高濃度第一導電型不純物導入工程を行い、この工程を援用して下層側電極部40dを形成して居る。従って、従来の製造方法に比較して、マスク形成工程の数及び不純物導入工程の数を減らす事が可能で有る。

【0326】しかも、低濃度ソース・ドレイン領域311、321を形成する為の工程では、マスクを形成せず、ボロンイオンの注入を行う。それ故、3回のマスク形成工程と5回の不純物導入工程によって、各TFT及び保持容量40を製造する事が出来る。

【0327】尚実施例7と同様、ゲート電極15、25、35、及び上層側電極45を形成する前に、高濃度ソース・ドレイン領域112、122、212、222を形成する為の高濃度第一導電型不純物導入工程を行い、この工程を援用して、下層側電極部40dを形成するのであれば、表7に示すいずれの工程順序であってもよい。

【0328】〔実施例10〕図18は、本例の液晶表示装置に於ける駆動回路内蔵型のアクティブマトリクス基板の構造を模式的に示す断面図で有る。

【0329】図18に於いて、本例の液晶表示装置の駆動回路内蔵型のアクティブマトリクス基板1では、第一導電型の画素用TFT10、及び第一導電型の駆動回路用TFT20は、LDD構造になって居る。これに対して、第二導電型の駆動回路用TFT30'は、オフセットゲート構造を有して居る。

【0330】本例では、保持容量402の下層側電極部40dは、第一導電型の駆動回路用TFT20、及び第一導電型の画素用TFT10の高濃度ソース・ドレイン領域112、122、212、222と同時形成された不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度の第一導電型領域で有る。

【0331】斯様な構造のアクティブマトリクス基板1は、以下の方法により製造出来る。

【0332】まず、図19(a)に示す様に、絶縁基板2の表面に島状のシリコン膜10a、20a、30a、40aを形成した後(シリコン膜形成工程)、ゲート絶縁膜14、24、34、及び誘電体膜44を形成する(ゲート絶縁膜形成工程)。

【0333】しかる後に、 $1 \times 10^{12} \text{ cm}^{-2}$ のドーズ量でボロンイオンを打ち込んでチャネルドープを行なう(チャネルドープ工程/1回目の不純物導入工程)。

【0334】次に、図19(b)に示す様に、第二導電型の駆動回路用TFT30'の形成領域を覆うと共に、第一導電型の画素用TFT10及び第一導電型の駆動回路用TFT20のゲート電極15、25の形成予定領域を広めに覆うレジストマスク801を形成する(1回目のマスク形成工程)。

【0335】続いて、第一導電型不純物、例えばリンイオンを約 $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する(2回目の不純物導入工程/高濃度第一導電型不純物導入工程)。

【0336】その結果、シリコン膜10a、20aの内、リンイオンが打ち込まれた領域は導電型が反転して不純物濃度が約 $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域112、122、211、221となる。又シリコン膜40aは導電型が反転して不純物濃度が約 $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度第一導電型の下層側電極部40dとなる。しかる後に、レジストマスク801を除去する。

【0337】次に、図19(c)に示す様に、ゲート絶縁膜14、24、34の表面にドーパドシリコンやシリサイド膜などからなるゲート電極15、25、35を形成する(ゲート電極形成工程)。同時に、誘電体膜44の表面には、上層側電極部45を形成する。この上層側電極部45は、前段の信号線の一部であってもよい。この様にして、下層側電極部40cと上層側電極部45とが誘電体膜44を介して対向する保持容量40を形成する。

【0338】次に、第二導電型の駆動回路用TFT30

を覆うレジストマスク802を形成する(2回目のマスク形成工程)。

【0339】この状態で、リンイオンを $1 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入する(低濃度第一導電型不純物導入工程/3回目の不純物導入工程)。

【0340】その結果、高濃度ソース・ドレイン領域112、122、212、222に挟まれた低濃度第二導電型のシリコン膜20a、30aには、ゲート電極15、25に対して自己整合的に不純物濃度が約 $0.9 \times 10^{18} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域111、121、211、221が形成される。尚不純物が導入されなかった部分がチャネル領域23、33となる。この様にして、第一導電型の画素用TFT10及び第一導電型の駆動回路用TFT20を形成する。

【0341】次に、図19(d)に示す様に、第一導電型の画素用TFT10、第一導電型の駆動回路用TFT20、及び保持容量40の形成領域を覆うと共に、ゲート電極35を広めに覆うレジストマスク803を形成する(3回目のマスク形成工程)。

【0342】この状態で、ボロンイオンを $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する(高濃度第二導電型不純物導入工程/4回目の不純物導入工程)。

【0343】その結果、低濃度第二導電型のシリコン膜30aには、不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域312、322が形成される。一方、低濃度第二導電型のシリコン膜30aの内、レジストマスク803で覆われていた部分は、そのまま不純物濃度が約 $1 \times 10^{17} \text{ cm}^{-3}$ のオフセット領域311'、321'と成る。チャネル領域33は、不純物濃度が約 $1 \times 10^{17} \text{ cm}^{-3}$ の低濃度第二導電型領域のままで有る。

【0344】この様にして、第二導電型の駆動回路用TFT30'を形成する。しかる後に、レジストマスク803を除去する。

【0345】従って、レジストマスク801~803を形成する為の3回のマスク形成工程と、4回の不純物導入工程によって、アクティブマトリクス基板1を製造出来る。

【0346】この様に、本例のアクティブマトリクス基板1の製造方法では、図19(b)に示す様に、ゲート電極15、25、35、及び上層側電極45を形成する前に、高濃度ソース・ドレイン領域112、122、212、222を形成する為の高濃度第一導電型不純物導入工程を行い、この工程を援用して、下層側電極部40dを形成して居る。従って、従来の製造方法に比較して、マスク形成工程の数及び不純物導入工程の数を減らす事が可能で有る。

【0347】更に本例では、図19(c)に示す様に、第二導電型の駆動回路用TFT30'に於いて、ゲート電極35の端部に対峙する部分を低濃度領域とするにあ

たって、LDD構造ではなく、オフセットゲート構造として居る。この為、実施例3に比較して、マスク形成工程及び不純物導入工程のいずれについても1回ずつ少ない。即ち従来の製造方法に比較して、マスク形成工程及び不純物導入工程のいずれについても2回ずつ少ない。それ故、最も少ない製造工程数によって、画素領域及び駆動回路部のTFTの電気的特性を向上する事が出来る。

【0348】尚表8に於いて、チャネルドープ工程を「C/D」、低濃度第一導電型不純物導入工程を「N<sup>-</sup>」、高濃度第一導電型不純物導入工程を「N<sup>+</sup>」、高濃度第二導電型不純物導入工程を「P<sup>+</sup>」、ゲート電極形成工程を「G」で略しながら工程順序を示す様に、ゲート電極15、25、35、及び上層側電極45を形成する前に、高濃度ソース・ドレイン領域112、122、212、222を形成する為の低濃度第一導電型不純物導入工程を行い、この工程を援用して、下層側電極部40dを形成するのであれば、いずれの工程順序であつてもよい。

【0349】

【表8】

工程順序	1	2	3	4	5
8-01	C/D	N <sup>+</sup>	G	N <sup>-</sup>	P <sup>+</sup>
8-02	C/D	N <sup>+</sup>	G	P <sup>+</sup>	N <sup>-</sup>
8-03	C/D	N <sup>+</sup>	P <sup>+</sup>	G	N <sup>-</sup>
8-04	C/D	P <sup>+</sup>	N <sup>+</sup>	G	N <sup>-</sup>
8-05	P <sup>+</sup>	C/D	N <sup>+</sup>	G	N <sup>-</sup>
8-06	N <sup>+</sup>	C/D	G	N <sup>-</sup>	P <sup>+</sup>
8-07	N <sup>+</sup>	C/D	G	P <sup>+</sup>	N <sup>-</sup>
8-08	N <sup>+</sup>	C/D	P <sup>+</sup>	G	N <sup>-</sup>
8-09	N <sup>+</sup>	P <sup>+</sup>	C/D	G	N <sup>-</sup>
8-10	P <sup>+</sup>	N <sup>+</sup>	C/D	G	N <sup>-</sup>

【0350】【実施例11】図20に示す様に、本例のアクティブマトリクス基板1では、第二導電型の駆動回路用TFT30、第一導電型の駆動回路用TFT20、及び第一導電型の画素用TFT10は、いずれもLDD構造になって居る。

【0351】又本例のアクティブマトリクス基板1では、保持容量40の下層側電極部40e（第一の電極部）は、第二導電型の駆動回路用TFT30の低濃度ソース・ドレイン領域311、312と同時形成された不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ の低濃度第二導電型領域で有る。

【0352】斯様な構造のアクティブマトリクス基板1は、例えば、以下の方法により製造出来る。

【0353】まず、図21(a)に示す様に、絶縁基板2の表面に島状のシリコン膜10a、20a、30a、

40aを形成した後（シリコン膜形成工程）、ゲート絶縁膜14、24、34、及び誘電体膜44を形成する（ゲート絶縁膜形成工程）。

【0354】次に、約 $1 \times 10^{12} \text{ cm}^{-2}$ のドーズ量でボロンイオン（第二導電型不純物／第二導電型不純物）を打ち込んで、チャネルドープを行なう（チャネルドープ工程／1回目の不純物導入工程）。

【0355】次に、図21(b)に示す様に、第一導電型の画素用TFT10及び第一導電型の駆動回路用TFT20の形成領域を覆うと共に、後に形成するゲート電極35の形成領域をわずかに広めに覆うレジストマスク901を形成する（1回目のマスク形成工程）。

【0356】続いて、例えば、ボロンリンイオン（第二導電型不純物／第二導電型不純物）を約 $1 \times 10^{14} \text{ cm}^{-2}$ のドーズ量でイオン注入する（2回目の不純物導入工程／低濃度第二導電型不純物導入工程）。

【0357】その結果、低濃度第二導電型のシリコン膜30aには、不純物濃度が約 $1 \times 10^{19} \text{ cm}^{-3}$ の低濃度第二導電型のソース・ドレイン領域31、32が形成される。又低濃度第二導電型のシリコン膜40aは、不純物濃度が約 $1 \times 10^{19} \text{ cm}^{-3}$ の低濃度第二導電型の下層側電極部40eとなる。しかる後に、レジストマスク901を除去する。

【0358】次に、図21(c)に示す様に、ゲート絶縁膜14、24、34の表面に、ドーブドシリコンやシリサイド膜などからなるゲート電極15、25、35を形成する。同時に、誘電体膜44の表面には、上層側電極部45（第二の電極部）を形成する（ゲート電極形成工程）。この上層側電極部45は、前段の信号線の一部であつてもよい。この様にして、下層側電極部40eと上層側電極部45とが誘電体膜44を介して対向する保持容量40を形成する。

【0359】次に、第二導電型の駆動回路用TFT30、及び保持容量40の形成領域を覆うレジストマスク902を形成する（2回目のマスク形成工程）。

【0360】続いて、リンイオンを約 $1 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入する（3回目の不純物導入工程／低濃度第一導電型不純物導入工程）。

【0361】その結果、低濃度第二導電型のシリコン膜10a、20aには、ゲート電極15、25に対して自己整合的に不純物濃度が約 $0.9 \times 10^{18} \text{ cm}^{-3}$ の低濃度第一導電型のソース・ドレイン領域11、12、21、22が形成される。尚不純物が導入されなかった部分がチャネル領域13、23となる。しかる後に、レジストマスク902を除去する。

【0362】次に、図21(d)に示す様に、第一導電型の画素用TFT10、第一導電型の駆動回路用TFT20、及び保持容量40の形成領域を覆うと共に、ゲート電極35を広めに覆うレジストマスク903を形成する（3回目のマスク形成工程）。



【0363】続いて、ボロンイオンを約 $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する（4回目の不純物導入工程／高濃度第二導電型不純物導入工程）。

【0364】その結果、低濃度第二導電型のソース・ドレイン領域31、32には、不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域312、322が形成される。又低濃度第二導電型のソース・ドレイン領域31、32の内、レジストマスク103で覆われていた部分は、そのまま不純物濃度が約 $1.1 \times 10^{18} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域311、321となる。

【0365】この様にして、第二導電型の駆動回路用TFT30を形成する。しかる後に、レジストマスク903を除去する。

【0366】次に、図21(e)に示す様に、第二導電型の駆動回路用TFT30を覆うとともに、ゲート電極15、25を広めに覆うレジストマスク904を形成する（4回目のマスク形成工程）。

【0367】続いて、リンイオンを $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する（5回目の不純物導入工程／高濃度第一導電型不純物導入工程）。

【0368】その結果、低濃度第一導電型のソース・ドレイン領域11、12、21、22には、不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域112、122、212、222が形成される。又低濃度第一導電型のソース・ドレイン領域11、12、21、22の内、レジストマスク904で覆われていた部分は、そのまま不純物濃度が約 $0.9 \times 10^{18} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域111、121、211、221となる。

【0369】この様にして、第一導電型の画素用TFT10及び第一導電型の駆動回路用TFT20を形成する。しかる後に、レジストマスク904を除去する。

【0370】以降、図20に示す様に、層間絶縁膜4を形成した後、活性化の為にアニールを行い、しかる後に、コンタクトホールを形成してソース・ドレイン電極16、17、26、27、36、37を形成すれば、レジストマスク901～904を形成する為の4回のマスク形成工程と、5回の不純物導入工程によって、アクティブマトリクス基板1等の半導体装置を製造出来る。

【0371】この様に、本例のアクティブマトリクス基板1の製造方法では、図21(b)に示した様に、ゲート電極15、25、35、及び上層側電極45を形成する前に、低濃度ソース・ドレイン領域311、321を形成する為の低濃度第二導電型不純物導入工程を行い、この工程を援用して、下層側電極部40eを形成して居る。従って、従来の製造方法に比較して、マスク形成工程の数及び不純物導入工程の数を1回ずつ減らす事が可能で有る。それ故、少ない製造工程数によって、TFTと容量素子（保持容量40）を形成しながら、画素領域および駆動回路部の各TFTの電気的特性を向上する事

が出来る。

【0372】尚本例の製造方法は、表2乃至表4に示した実施例3に係る製造方法に於いて、「N<sup>-</sup>」で示す低濃度第一導電型不純物導入工程と、「P<sup>-</sup>」で示す低濃度第二導電型不純物導入工程とを入れ換えた方法に相当するので、ゲート電極15、25、35、及び上層側電極45を形成する前に、低濃度ソース・ドレイン領域311、321を形成する為の低濃度第二導電型不純物導入工程を行い、この工程を援用して、下層側電極部40eを形成するのであれば、60通りの工程順序の内、いずれの工程順序であってもよい。

【0373】〔実施例12〕本例のアクティブマトリクス基板1の特徴点は、実施例11に係る製造方法と同じ工程数で製造しながら、第二導電型の駆動回路用TFT30の低濃度ソース・ドレイン領域311、321を保持容量40の下層側電極部40eよりも低濃度化した点に有る。

【0374】即ち図20に於いて、保持容量40の下層側電極部40eは、実施例11と同様、第二導電型の駆動回路用TFT30の低濃度ソース・ドレイン領域311、321と同時に形成されたもので有るが、下層側電極部40eの不純物濃度が約 $1 \times 10^{19} \text{ cm}^{-3}$ の低濃度第二導電型領域で有るのに対し、第二導電型の駆動回路用TFT30の低濃度ソース・ドレイン領域311、321は不純物濃度が約 $9 \times 10^{18} \text{ cm}^{-3}$ で有る。

【0375】尚本例のアクティブマトリクス基板1では、第二導電型の駆動回路用TFT30、第一導電型の駆動回路用TFT20、第一導電型の画素用TFT10のいずれもが、ゲート電極15、25、35の端部に対してゲート絶縁膜14、24、34を介して対峙する部分に低濃度ソース・ドレイン領域111、121、211、221、311、321を備えるLDD構造になって居る。

【0376】斯様な構造のアクティブマトリクス基板1は、例えば以下の方法により製造出来る。尚以下の説明に於いて、不純物濃度はいずれも活性化アニール後の不純物濃度で表して有る。

【0377】まず、図22(a)に示す様に、絶縁基板2の表面に島状のシリコン膜10a、20a、30a、40aを形成した後（シリコン膜形成工程）、ゲート絶縁膜14、24、34、及び誘電体膜44を形成する（ゲート絶縁膜形成工程）。

【0378】次に、約 $1 \times 10^{12} \text{ cm}^{-2}$ のドーズ量でボロンイオン（第二導電型不純物／第二導電型不純物）を打ち込んでチャネルドーピングを行なう（チャネルドーピング工程／1回目の不純物導入工程）。

【0379】次に、図22(b)に示す様に、第一導電型の画素用TFT10及び第一導電型の駆動回路用TFT20の形成領域を覆うと共に、後に形成する第二導電型の駆動回路用TFT30のゲート電極35の形成予定



領域をわずかに広めに覆うレジストマスク1101を形成する(1回目のマスク形成工程)。

【0380】続いて、例えば、ボロンイオン(第二導電型不純物/第二導電型不純物)を約 $1 \times 10^{14} \text{ cm}^{-2}$ のドーズ量でイオン注入する(2回目の不純物導入工程/低濃度第二導電型不純物導入工程)。

【0381】その結果、低濃度第二導電型のシリコン膜30aには、不純物濃度が約 $1 \times 10^{19} \text{ cm}^{-3}$ の低濃度第二導電型のソース・ドレイン領域31、32が形成される。又低濃度第二導電型のシリコン膜40aは、不純物濃度が約 $1 \times 10^{19} \text{ cm}^{-3}$ の低濃度第二導電型の下層側電極部40eとなる。しかる後にレジストマスク1101を除去する。

【0382】次に、図22(c)に示す様に、ゲート電極15、25、35、及び上層側電極部45を形成する(ゲート電極形成工程)。この様にして保持容量40を形成する。

【0383】次に、保持容量40の形成領域を覆うレジストマスク1102を形成する(2回目のマスク形成工程)。

【0384】続いて、リンイオンを約 $1 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入する(3回目の不純物導入工程/低濃度第一導電型不純物導入工程)。

【0385】その結果、低濃度第二導電型のシリコン膜10a、20aには、ゲート電極15、25に対して自己整合的に不純物濃度が約 $0.9 \times 10^{18} \text{ cm}^{-3}$ の低濃度第一導電型のソース・ドレイン領域11、12、21、22が形成される。尚不純物が導入されなかった部分がチャネル領域13、23となる。

【0386】ここで、低濃度第二導電型のシリコン膜31、32にも、リンイオンが約 $1 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入されるが、低濃度第二導電型のシリコン膜31、32の不純物濃度は、約 $1 \times 10^{19} \text{ cm}^{-3}$ で有る。従って、低濃度第二導電型のシリコン膜31、32は、実質的にアクセプター型不純物濃度が約 $9 \times 10^{18} \text{ cm}^{-3}$ にまで低濃度化するが、導電型は反転しない。

【0387】しかる後に、レジストマスク1102を除去する。

【0388】次に、図22(d)に示す様に、第一導電型の画素用TFT10、第一導電型の駆動回路用TFT20、及び保持容量40の形成領域を覆うと共に、ゲート電極35を広めに覆うレジストマスク1103を形成する(3回目のマスク形成工程)。

【0389】続いて、ボロンイオンを約 $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する(4回目の不純物導入工程/高濃度第二導電型不純物導入工程)。

【0390】その結果、低濃度第二導電型のソース・ドレイン領域31、32には、不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域312、322が形成される。又低濃度第二導電型のソース・ドレイン領域

31、32の内、レジストマスク1103で覆われていた部分は、そのまま不純物濃度が約 $9 \times 10^{18} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域311、321となる。

【0391】この様にして、第二導電型の駆動回路用TFT30を形成する。しかる後に、レジストマスク1103を除去する。

【0392】次に、図22(e)に示す様に、第二導電型の駆動回路用TFT30及び保持容量40の形成領域を覆うと共に、ゲート電極15、25を広めに覆うレジストマスク1104を形成する(4回目のマスク形成工程)。

【0393】続いて、リンイオンを $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する(5回目の不純物導入工程/高濃度第一導電型不純物導入工程)。

【0394】その結果、低濃度第一導電型のソース・ドレイン領域11、12、21、22には、不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域112、122、222、222が形成される。又低濃度第一導電型のソース・ドレイン領域11、12、21、22の内、レジストマスク1104で覆われていた部分は、そのまま不純物濃度が約 $0.9 \times 10^{18} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域111、121、211、221となる。

【0395】この様にして、第一導電型の画素用TFT10及び第一導電型の駆動回路用TFT20を形成する。しかる後に、レジストマスク1104を除去する。

【0396】以降、図20に示す様に、層間絶縁膜4を形成した後、活性化の為にアニールを行い、しかる後に、コンタクトホールを形成してソース・ドレイン電極16、17、26、27、36、37を形成すれば、レジストマスク1101~1104を形成する為の4回のマスク形成工程と、5回の不純物導入工程によって、アクティブマトリクス基板1等の半導体装置を製造出来る。

【0397】この様に、本例のアクティブマトリクス基板1の製造方法では、図22(b)に示した様に、ゲート電極15、25、35、及び上層側電極45を形成する前に、低濃度ソース・ドレイン領域311、321を形成する為の低濃度第一導電型不純物導入工程を行い、この工程を援用して、下層側電極部40eを形成して居る。従って、従来の製造方法に比較して、マスク形成工程の数及び不純物導入工程の数を1回ずつ減らす事が可能で有るなど、実施例12と同様な効果を奏する。

【0398】又図22(c)に示した様に、低濃度ソース・ドレイン領域111、121、211、221を形成する為の低濃度第一導電型不純物導入工程において、このとき打ち込むリンイオンを第二導電型の駆動回路用TFT30の形成領域にも打ち込んで居る。即ち低濃度第一導電型不純物導入工程を援用して、低濃度ソース・ドレイン領域311、321を形成する為の低濃度第二

導電型のソース・ドレイン領域31、32の不純物濃度を変えて居る。この為、実施例11に比較して工程数を増やす事なく、保持容量40の下層側電極部40eよりも低濃度化した低濃度ソース・ドレイン領域311、321を形成出来る。

【0399】尚本例の製造方法は、実施例4に係る製造方法に於いて、低濃度第一導電型不純物導入工程と、低濃度第二導電型不純物導入工程とを入れ換えた方法に相当するので、ゲート電極15、25、35、及び上層側電極45を形成する前に、低濃度ソース・ドレイン領域311、321を形成する為の低濃度第二導電型不純物導入工程を行い、この工程を援用して、下層側電極部40eを形成するのであれば、表2乃至表4に示す60通りの工程順序の内、「N<sup>-</sup>」で示す低濃度第一導電型不純物導入工程と、「P<sup>-</sup>」で示す低濃度第二導電型不純物導入工程とを入れ換えたいずれの工程順序であってもよい。

【0400】[実施例13] 図23は、本例の液晶表示装置に於ける駆動回路内蔵型のアクティブマトリクス基板の構造を模式的に示す断面図で有る。尚本例のアクティブマトリクス基板では、各TFTの基本的な構造が図7に示したアクティブマトリクス基板と略同じで有る。

【0401】図23に於いて、本例の液晶表示装置の駆動回路内蔵型のアクティブマトリクス基板1では、第一導電型の画素用TFT10、第一導電型の駆動回路用TFT20、及び第二導電型の駆動回路用TFT30は、いずれもLDD構造を有し、いずれのTFTに於いても、チャネル領域13、23、33は、低濃度のボロンイオンによってチャネルドーピングしてある為、不純物濃度が約 $1 \times 10^{17} \text{ cm}^{-3}$ の低濃度第二導電型領域で有る。

【0402】本例では、保持容量402の下層側電極部40f（第一の電極部）は、第二導電型の駆動回路用TFT30の高濃度ソース・ドレイン領域311、312と同時形成された不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度第二導電型領域で有る。

【0403】斯様な構造のアクティブマトリクス基板1は、例えば、以下の方法により製造出来る。

【0404】まず、図24（a）に示す様に、絶縁基板2の表面に島状のシリコン膜10a、20a、30a、40aを形成した後（シリコン膜形成工程）、ゲート絶縁膜14、24、34、誘電体膜44を同時に形成する（ゲート絶縁膜形成工程）。

【0405】次に、約 $1 \times 10^{12} \text{ cm}^{-2}$ のドーズ量でボロンイオン（第二導電型不純物／第二導電型不純物）を打ち込んで、チャネルドーピングを行なう（チャネルドーピング工程／1回目の不純物導入工程）。

【0406】次に、図24（b）に示す様に、第一導電型の画素用TFT10及び第一導電型の駆動回路用TFT20の形成領域を覆うと共に、後に形成する第二導電型の駆動回路用TFT30のゲート電極35の形成予定

領域をわずかに広めに覆うレジストマスク1201を形成する（1回目のマスク形成工程）。

【0407】続いて、例えば、ボロンイオン（第二導電型不純物／第二導電型不純物）を約 $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する（2回目の不純物導入工程／高濃度第二導電型不純物導入工程）。

【0408】その結果、低濃度第二導電型のシリコン膜30aの内、高濃度のボロンイオンが打ち込まれた領域は、不純物濃度が約 $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域312、322となる。又低濃度第二導電型のシリコン膜40aも、不純物濃度が約 $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度第二導電型の下層側電極部40fとなる。しかる後に、レジストマスク1201を除去する。

【0409】次に、図24（c）に示す様に、ゲート電極15、25、35、及び上層側電極部45（第二の電極部）を形成する（ゲート電極形成工程）。この様にして保持容量40を形成する。

【0410】次に、第二導電型の駆動回路用TFT30、及び保持容量40の形成領域を覆うレジストマスク1202を形成する（2回目のマスク形成工程）。

【0411】続いて、リンイオンを約 $1 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入する（3回目の不純物導入工程／低濃度第一導電型不純物導入工程）。

【0412】その結果、低濃度第二導電型のシリコン膜10a、20aには、ゲート電極15、25に対して自己整合的に不純物濃度が約 $0.9 \times 10^{18} \text{ cm}^{-3}$ の低濃度第一導電型のソース・ドレイン領域11、12、21、22が形成される。尚不純物が導入されなかった部分がチャネル領域13、23となる。しかる後に、レジストマスク1202を除去する。

【0413】次に、図24（d）に示す様に、第一導電型の画素用TFT10、第一導電型の駆動回路用TFT20、及び保持容量40の形成領域を覆うレジストマスク1203を形成する（3回目のマスク形成工程）。

【0414】続いて、ボロンイオンを約 $1 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入する（4回目の不純物導入工程／低濃度第二導電型不純物導入工程）。

【0415】その結果、高濃度ソース・ドレイン領域312、322に挟まれた低濃度第二導電型のシリコン膜30aには、ゲート電極35に対して自己整合的に不純物濃度が約 $1.1 \times 10^{18} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域311、321が形成される。尚不純物が導入されなかった部分がチャネル領域33となる。この様にして、第二導電型の駆動回路用TFT30を形成する。しかる後に、レジストマスク1203を除去する。

【0416】次に、図24（e）に示す様に、第二導電型の駆動回路用TFT30、及び保持容量40の形成領域を覆うと共に、ゲート電極15、25を広くに覆うレジストマスク1204を形成する（4回目のマスク形成工程）。

【0417】続いて、リンイオンを約 $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する（5回目の不純物導入工程／高濃度第一導電型不純物導入工程）。

【0418】その結果、低濃度第一導電型のソース・ドレイン領域11、12、21、22には、不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域112、122、212、222が形成される。又低濃度第二導電型のソース・ドレイン領域11、12、21、22の内、レジストマスク1204で覆われていた部分は、そのまま不純物濃度が約 $0.9 \times 10^{18} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域111、121、211、221となる。この様にして、第一導電型の画素用TFT10、及び第一導電型の駆動回路用TFT20を形成する。しかる後に、レジストマスク1204を除去する。

【0419】以降、図23に示す様に、層間絶縁膜4を形成した後、活性化の為のアニールを行い、しかる後に、コンタクトホールを形成してソース・ドレイン電極16、17、26、27、36、37を形成すれば、レジストマスク1201～1204を形成する為の4回のマスク形成工程と、5回の不純物導入工程によって、アクティブマトリクス基板1等の半導体装置を製造出来る。

【0420】この様に、本例のアクティブマトリクス基板1の製造方法では、図24（b）に示した様に、ゲート電極15、25、35、及び上層側電極45を形成する前に、高濃度ソース・ドレイン領域312、322を形成する為の高濃度第二導電型不純物導入工程を行い、この工程を援用して下層側電極部40fを形成して居る。従って、従来の製造方法に比較して、マスク形成工程の数及び不純物導入工程の数を1回ずつ減らす事が可能で有る。それ故、少ない製造工程数によって、TFTと容量素子（保持容量40）を形成しながら、各TFTの電気的特性を向上する事が出来る。

【0421】尚本例の製造方法は、実施例7に係る製造方法に於いて、高濃度第一導電型不純物導入工程と、高濃度第二導電型不純物導入工程とを入れ換えた方法に相当するので、ゲート電極15、25、35、及び上層側電極45を形成する前に、高濃度ソース・ドレイン領域312、322を形成する為の高濃度第二導電型不純物導入工程を行い、この工程を援用して、下層側電極部40fを形成するのであれば、表7に示す24通りの工程順序の内、「N<sup>+</sup>」で示す高濃度第一導電型不純物導入工程と、「P<sup>+</sup>」で示す高濃度第二導電型不純物導入工程とを入れ換えたいずれの工程順序であってもよい。

【0422】〔実施例14〕本例のアクティブマトリクス基板1の特徴点は、実施例13に係る製造方法に比してマスク形成工程が1回少ない点にあり、その製造方法は、以下に説明するとおりで有る。

【0423】まず、図25（a）に示す様に、絶縁基板2の表面に島状のシリコン膜10a、20a、30a、

40aを形成した後（シリコン膜形成工程）、ゲート絶縁膜14、24、34、及び誘電体膜44を形成する（ゲート絶縁膜形成工程）。

【0424】次に、約 $1 \times 10^{12} \text{ cm}^{-2}$ のドーズ量でボロンイオン（第二導電型不純物／第二導電型不純物）を打ち込んで、チャネルドープを行なう（チャネルドープ工程／1回目の不純物導入工程）。

【0425】次に、図25（b）に示す様に、第一導電型の画素用TFT10及び第一導電型の駆動回路用TFT20の形成領域を覆うと共に、後に形成する第二導電型の駆動回路用TFT30のゲート電極35の形成予定領域をわずかに広めに覆うレジストマスク1301を形成する（1回目のマスク形成工程）。

【0426】続いて、例えば、ボロンイオン（第二導電型不純物／第二導電型不純物）を約 $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する（2回目の不純物導入工程／高濃度第二導電型不純物導入工程）。

【0427】その結果、低濃度第二導電型のシリコン膜30aの内、高濃度のボロンイオンが打ち込まれた領域は、不純物濃度が約 $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域312、322となる。又低濃度第二導電型のシリコン膜40aも、不純物濃度が約 $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度第二導電型の下層側電極部40fとなる。しかる後に、レジストマスク1301を除去する。

【0428】次に、図25（c）に示す様に、ゲート電極15、25、35、及び上層側電極部45を形成する（ゲート電極形成工程）。この様にして保持容量40を形成する。

【0429】次に、第二導電型の駆動回路用TFT30、及び保持容量40の形成領域を覆うレジストマスク1302を形成する（2回目のマスク形成工程）。

【0430】続いて、リンイオンを約 $3 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入する（3回目の不純物導入工程／低濃度第一導電型不純物導入工程）。

【0431】その結果、低濃度第二導電型のシリコン膜10a、20aには、ゲート電極15、25に対して自己整合的に不純物濃度が約 $2.9 \times 10^{18} \text{ cm}^{-3}$ の低濃度第一導電型のソース・ドレイン領域11、12、21、22が形成される。尚不純物が導入されなかった部分がチャネル領域13、23となる。しかる後に、レジストマスク1302を除去する。

【0432】次に、図25（d）に示す様に、マスクを形成する事なく、ボロンイオンを約 $1 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入する（4回目の不純物導入工程／低濃度第二導電型不純物導入工程）。

【0433】その結果、高濃度ソース・ドレイン領域312、322に挟まれた低濃度第二導電型のシリコン膜30aには、ゲート電極35に対して自己整合的に不純物濃度が約 $1.1 \times 10^{18} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域311、321が形成される。尚不純物が導入

されなかった部分がチャネル領域33となる。この様にして、第二導電型の駆動回路用TFT30を形成する。

【0434】一方、低濃度第一導電型のシリコン膜11、12、21、22にも、ボロンイオンが約 $1 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入されるが、低濃度第一導電型のシリコン膜11、12、21、22の不純物濃度は、約 $2.9 \times 10^{18} \text{ cm}^{-3}$ で有る。従って、低濃度第一導電型のシリコン膜11、12、21、22は、実質的にドナー型不純物濃度が約 $1.9 \times 10^{18} \text{ cm}^{-3}$ にまで低濃度化されるが、導電性は反転しない。

【0435】次に、図25(e)に示す様に、第二導電型の駆動回路用TFT30、及び保持容量40の形成領域を覆うと共に、ゲート電極15、25を広めに覆うレジストマスク1303を形成する(3回目のマスク形成工程)。

【0436】続いて、リンイオンを約 $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する(5回目の不純物導入工程/高濃度第一導電型不純物導入工程)。

【0437】その結果、低濃度第一導電型のソース・ドレイン領域11、12、21、22には、不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域112、122、212、222が形成される。又低濃度第二導電型のソース・ドレイン領域11、12、21、22の内、レジストマスク1204で覆われていた部分は、そのまま不純物濃度が約 $1.9 \times 10^{18} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域111、121、211、221となる。この様にして、第一導電型の画素用TFT10、及び第一導電型の駆動回路用TFT20を形成する。しかる後に、レジストマスク1303を除去する。

【0438】以降、図23に示す様に、層間絶縁膜4を形成した後、活性化の為にアニールを行い、しかる後に、コンタクトホールを形成してソース・ドレイン電極16、17、26、27、36、37を形成すれば、レジストマスク1301~1303を形成する為の3回のマスク形成工程と、5回の不純物導入工程によって、アクティブマトリクス基板1等の半導体装置を製造出来る。

【0439】この様に、本例のアクティブマトリクス基板1の製造方法では、図25(b)に示した様に、ゲート電極15、25、35、及び上層側電極45を形成する前に、高濃度ソース・ドレイン領域312、322を形成する為の高濃度第二導電型不純物導入工程を行い、この工程を援用して下層側電極部40fを形成して居る。従って、従来の製造方法と比較して、マスク形成工程の数及び不純物導入工程の数を減らす事が可能で有る。

【0440】しかも、図25(d)に示す様に、低濃度ソース・ドレイン領域311、321を形成する為の工程では、マスクを形成せずに、ボロンイオンの注入を行う。それ故、3回のマスク形成工程と5回の不純物導入

工程によって、各TFT及び保持容量40を製造する事が出来る。

【0441】尚本例の製造方法は、実施例8に係る製造方法に於いて、高濃度第一導電型不純物導入工程と、高濃度第二導電型不純物導入工程とを入れ換えた方法に相当するので、ゲート電極15、25、35、及び上層側電極45を形成する前に、高濃度ソース・ドレイン領域312、322を形成する為の高濃度第二導電型不純物導入工程を行い、この工程を援用して、下層側電極部40fを形成するのであれば、表7に示す24通りの工程順序の内、「N<sup>+</sup>」で示す高濃度第一導電型不純物導入工程と、「P<sup>+</sup>」で示す高濃度第二導電型不純物導入工程とを入れ換えたいずれの工程順序であってもよい。

【0442】[実施例15] 本例のアクティブマトリクス基板及びその製造方法は、基本的な部分が実施例14と同じで有る。本例の特徴点は、実施例14と同様、実施例13に係る製造方法に比してマスク形成工程が1回少ない点にあり、その製造方法は、以下に説明するとおりで有る。

【0443】まず、図26(a)に示す様に、絶縁基板2の表面に島状のシリコン膜10a、20a、30a、40aを形成した後(シリコン膜形成工程)、ゲート絶縁膜14、24、34、及び誘電体膜44を形成する(ゲート絶縁膜形成工程)。

【0444】次に、約 $1 \times 10^{12} \text{ cm}^{-2}$ のドーズ量でボロンイオン(第二導電型不純物/第二導電型不純物)を打ち込んで、チャネルドーピングを行なう(チャネルドーピング工程/1回目の不純物導入工程)。

【0445】その結果、シリコン膜10a、20a、30a、40aは、不純物濃度が約 $1 \times 10^{17} \text{ cm}^{-3}$ の低濃度第二導電型のシリコン膜10a、20a、30a、40aとなる。

【0446】次に、図26(b)に示す様に、第一導電型の画素用TFT10及び第一導電型の駆動回路用TFT20の形成領域を覆うと共に、後に形成する第二導電型の駆動回路用TFT30のゲート電極35の形成予定領域を広めに覆うレジストマスク1401を形成する(1回目のマスク形成工程)。

【0447】続いて、例えば、ボロンイオン(第二導電型不純物/第二導電型不純物)を約 $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する(2回目の不純物導入工程/高濃度第二導電型不純物導入工程)。

【0448】その結果、低濃度第二導電型のシリコン膜30aの内、高濃度のボロンイオンが打ち込まれた領域は、不純物濃度が約 $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域312、322となる。又低濃度第二導電型のシリコン膜40aも、不純物濃度が約 $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度第二導電型の下層側電極部40fとなる。しかる後に、レジストマスク1401を除去する。

【0449】次に、図26(c)に示す様に、ゲート絶

10

20

30

40

50

縁膜14、24、34の表面に、ドーブドシリコンやシリサイド膜などからなるゲート電極15、25、35を形成する。同時に、誘電体膜44の表面には、上層側電極部45を形成する（ゲート電極形成工程）。この上層側電極部45は、前段の信号線の一部であってもよい。この様にして、下層側電極部40fと上層側電極部45とが誘電体膜44を介して対向する保持容量40を形成する。

【0450】次に、第一導電型の画素用TFT10及び第一導電型の駆動回路用TFT20の形成領域を覆うレジストマスク1402を形成する（2回目のマスク形成工程）。

【0451】続いて、ボロンイオンを約 $3 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入する（3回目の不純物導入工程／低濃度第二導電型不純物導入工程）。

【0452】その結果、高濃度ソース・ドレイン領域312、322に挟まれた低濃度第二導電型のシリコン膜30aには、ゲート電極35に対して自己整合的に不純物濃度が約 $3.1 \times 10^{18} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域311、321が形成される。尚不純物が導入されなかった部分がチャネル領域33となる。この様にして、第二導電型の駆動回路用TFT30を形成する。しかる後に、レジストマスク1402を除去する。

【0453】次に、図26（d）に示す様に、マスクを形成する事なく、リンイオンを約 $1 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入する（4回目の不純物導入工程／低濃度第一導電型不純物導入工程）。

【0454】その結果、低濃度第二導電型のシリコン膜10a、20aには、ゲート電極15、25に対して自己整合的に不純物濃度が約 $0.9 \times 10^{18} \text{ cm}^{-3}$ の低濃度第一導電型のソース・ドレイン領域11、12、21、22が形成される。尚不純物が導入されなかった部分がチャネル領域13、23となる。

【0455】ここで、低濃度ソース・ドレイン領域311、321にも、リンイオンが約 $1 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入されるが、低濃度ソース・ドレイン領域311、321の不純物濃度は、約 $3.1 \times 10^{18} \text{ cm}^{-3}$ で有る。従って、低濃度ソース・ドレイン領域311、321は、実質的にアクセプター型不純物濃度が約 $2.1 \times 10^{18} \text{ cm}^{-3}$ にまで低濃度化するが、導電型は反転しない。

【0456】次に、図26（e）に示す様に、第二導電型の駆動回路用TFT30、及び保持容量40の形成領域を覆うと共に、ゲート電極15、25を広めに覆うレジストマスク1403を形成する（3回目のマスク形成工程）。

【0457】続いて、リンイオンを約 $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する（5回目の不純物導入工程／高濃度第一導電型不純物導入工程）。

【0458】その結果、低濃度第一導電型のソース・ド

レイン領域11、12、21、22には、不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域112、122、212、222が形成される。又低濃度第一導電型のソース・ドレイン領域11、12、21、22の内、レジストマスク1403で覆われていた部分は、そのまま不純物濃度が約 $0.9 \times 10^{18} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域111、121、211、221となる。この様にして、第一導電型の画素用TFT10、及び第一導電型の駆動回路用TFT20を形成する。しかる後に、レジストマスク1403を除去する。

【0459】以降、図23に示す様に、層間絶縁膜4を形成した後、活性化の為にアニールを行い、しかる後に、コンタクトホールを形成してソース・ドレイン電極16、17、26、27、36、37を形成すれば、レジストマスク1401～1403を形成する為の3回のマスク形成工程と、5回の不純物導入工程によって、アクティブマトリクス基板1等の半導体装置を製造出来る。

【0460】この様に、本例のアクティブマトリクス基板1の製造方法では、図26（b）に示した様に、ゲート電極15、25、35、及び上層側電極45を形成する前に、高濃度ソース・ドレイン領域312、322を形成する為の高濃度第二導電型不純物導入工程を行い、この工程を援用して下層側電極部40fを形成して居る。従って、従来の製造方法に比較して、マスク形成工程の数及び不純物導入工程の数を減らす事が可能で有る。

【0461】しかも、図26（d）に示す様に、低濃度ソース・ドレイン領域111、121、211、221を形成する為の工程では、マスクを形成せずに、リンイオンの注入を行う。それ故、3回のマスク形成工程と5回の不純物導入工程によって、各TFT及び保持容量40を製造する事が出来る。

【0462】尚本例の製造方法は、実施例9に係る製造方法に於いて、高濃度第一導電型不純物導入工程と、高濃度第二導電型不純物導入工程とを入れ換えた方法に相当するので、ゲート電極15、25、35、及び上層側電極45を形成する前に、高濃度ソース・ドレイン領域312、322を形成する為の高濃度第二導電型不純物導入工程を行い、この工程を援用して、下層側電極部40fを形成するのであれば、表7に示す24通りの工程順序の内、「N<sup>+</sup>」で示す高濃度第一導電型不純物導入工程と、「P<sup>+</sup>」で示す高濃度第二導電型不純物導入工程とを入れ換えたいずれの工程順序であってもよい。

【0463】[実施例16] 図27は、本例の液晶表示装置に於ける駆動回路内蔵型のアクティブマトリクス基板の構造を模式的に示す断面図で有る。尚本例のアクティブマトリクス基板では、各TFTの基本的な構造が図7に示したアクティブマトリクス基板と略同じで有る。

【0464】図27に於いて、本例の液晶表示装置の駆

動回路内蔵型のアクティブマトリクス基板1でも、第一導電型の駆動回路用TFT20、及び第一導電型の画素用TFT10は、いずれもLDD構造になって居る。

【0465】これに対して、第二導電型の駆動回路用TFT30'は、オフセットゲート構造を有しており、オフセット領域311'、321'は、チャネル領域33と同じく、不純物濃度が約 $1 \times 10^{17} \text{ cm}^{-3}$ の低濃度第二導電型領域で有る。

【0466】本例では、保持容量402の下層側電極部40dは、第二導電型の駆動回路用TFT30'の高濃度ソース・ドレイン領域312、322と同時形成された不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度第二導電型領域で有る。

【0467】斯様な構造のアクティブマトリクス基板1は、以下の方法により製造出来る。

【0468】まず、図28(a)に示す様に、絶縁基板2の表面に島状のシリコン膜10a、20a、30a、40aを形成した後(シリコン膜形成工程)、ゲート絶縁膜14、24、34、及び誘電体膜44を形成する(ゲート絶縁膜形成工程)。

【0469】次に、 $1 \times 10^{12} \text{ cm}^{-2}$ のドーズ量でボロンイオンを打ち込んで、チャネルドーピングを行なう(チャネルドーピング工程/1回目の不純物導入工程)。

【0470】次に、図28(b)に示す様に、第一導電型の画素用TFT10及び第一導電型の駆動回路用TFT20の形成領域を覆うと共に、第二導電型の駆動回路用TFT30'の形成領域の内、後に形成するゲート電極35の形成予定領域を広めに覆うレジストマスク1501を形成する(1回目のマスク形成工程)。

【0471】続いて、第二導電型不純物、例えばボロンイオンを約 $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する(2回目の不純物導入工程/高濃度第二導電型不純物導入工程)。

【0472】その結果、低濃度第二導電型のシリコン膜30aには、不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域312、322が形成される。一方、低濃度第二導電型のシリコン膜30aの内、レジストマスク1501で覆われていた部分は、そのまま不純物濃度が約 $1 \times 10^{17} \text{ cm}^{-3}$ のオフセット領域311'、321'となる。勿論、チャネル領域33は、不純物濃度が約 $1 \times 10^{17} \text{ cm}^{-3}$ の低濃度第二導電型領域のまま有る。又シリコン膜40aは、不純物濃度が約 $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度第二導電型の下層側電極部40fとなる。しかる後に、レジストマスク1501を除去する。

【0473】次に、図28(c)に示す様に、ゲート電極15、25、35、及び上層側電極部45を形成する。この様にして保持容量40を形成する。

【0474】次に、第二導電型の駆動回路用TFT30及び保持容量40の形成領域を覆うレジストマスク15

02を形成する(2回目のマスク形成工程)。

【0475】この状態で、リンイオンを $1 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入する(低濃度第一導電型不純物導入工程/3回目の不純物導入工程)。

【0476】その結果、低濃度第一導電型のシリコン膜10a、20aには、ゲート電極15、25に対して自己整合的に不純物濃度が約 $0.9 \times 10^{18} \text{ cm}^{-3}$ の低濃度第一導電型のソース・ドレイン領域11、12、21、22が形成される。尚不純物が導入されなかった部分がチャネル領域13、23となる。この様にして、第一導電型の画素用TFT10及び第一導電型の駆動回路用TFT20を形成する。しかる後に、レジストマスク1502を除去する。

【0477】次に、図28(d)に示す様に、第二導電型の駆動回路用TFT30、及び保持容量40の形成領域を覆うと共に、ゲート電極15、25をも広めに覆うレジストマスク1503を形成する(3回目のマスク形成工程)。

【0478】この状態で、リンイオンを $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する(高濃度第一導電型不純物導入工程/4回目の不純物導入工程)。

【0479】その結果、低濃度第一導電型のソース・ドレイン領域11、12、21、22には、不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域112、122、212、222が形成される。一方、低濃度第一導電型のソース・ドレイン領域11、12、21、22の内、レジストマスク1503で覆われていた部分は、そのまま不純物濃度が約 $0.9 \times 10^{18} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域111、121、211、221となる。この様にして、第一導電型の画素用TFT10および第一導電型の駆動回路用TFT20を形成する。しかる後に、レジストマスク1503を除去する。

【0480】従って、レジストマスク1503~1503を形成する為の3回のマスク形成工程と、4回の不純物導入工程によって、アクティブマトリクス基板1を製造出来る。

【0481】この様に、本例のアクティブマトリクス基板1の製造方法では、図28(b)に示す様に、ゲート電極15、25、35、及び上層側電極45を形成する前に、高濃度ソース・ドレイン領域311、321を形成する為の高濃度第二導電型不純物導入工程を行い、この工程を援用して、下層側電極部40fを形成して居る。従って、従来の製造方法に比較して、マスク形成工程の数及び不純物導入工程の数を減らす事が可能で有る。

【0482】更に本例では、図28(c)に示す様に、第二導電型の駆動回路用TFT30'に於いて、ゲート電極35に対峙する部分を低濃度領域とするにあたって、LDD構造ではなく、オフセットゲート構造として



居る。この為、実施例3に比較して、マスク形成工程及び不純物導入工程のいずれについても1回ずつ少ない。即ち従来の製造方法に比較して、マスク形成工程及び不純物導入工程のいずれについても2回ずつ少ない。それ故、最も少ない製造工程数によって、画素領域及び駆動回路部のTFTの電気的特性を向上する事が出来る。

【0483】尚本例の製造方法は、実施例10に係る製造方法に於いて、高濃度第一導電型不純物導入工程と、高濃度第二導電型不純物導入工程とを入れ換えた方法に相当するので、ゲート電極15、25、35、及び上層側電極45を形成する前に、高濃度ソース・ドレイン領域312、322を形成する為の高濃度第二導電型不純物導入工程を行い、この工程を援用して、下層側電極部40fを形成するのであれば、表8に示す10通りの工程順序の内、「N<sup>+</sup>」で示す高濃度第一導電型不純物導入工程と、「P<sup>+</sup>」で示す高濃度第二導電型不純物導入工程とを入れ換えたいずれの工程順序であってもよい。

【0484】〔実施例3乃至実施例16の変形例〕尚不純物導入方法としては、例えば、ドーパントガスから発生した全てのイオンを質量分離せずに打ち込む方法、いわゆるイオンドーピング法を用いてもよい。この方法で、例えば、第一導電型の不純物を高濃度に打ち込む場合には、PH<sub>3</sub>を約5%含み、残部が水素ガスからなる混合ガスを用い、この混合ガスから発生する全てのイオンを質量分離せずに打ち込む。これに対して、第一導電型の不純物を低濃度に打ち込む場合には、PH<sub>3</sub>を約5%含み、残部が水素ガスからなる混合ガスから発生する全てのイオンを質量分離せずに打ち込んだ後、純水素ガスから発生するイオンを質量分離せずに打ち込んで、シリコン膜中の不整合結合を終端する事が好ましい。更に不純物の導入方法については、イオン注入法やイオンドーピング法の他にも、プラズマドーピング法、レーザドーピング法などを用いてもよい。更にマスクの材質についてもレジストマスクに限定されない。いずれの形態でも第一導電型をN型とし、第二導電型をP型としたが、逆にしてもよい。即ち画素用TFTをP型で構成してもよい。

#### 【0485】

【発明の効果】以上説明した様に、本発明に係る半導体装置では、いずれのTFTも、ゲート電極の端部に対峙する部分が低濃度領域で有る為、オフ電流が小さい。又TFTのソース・ドレイン間に於ける耐電圧が高い為、チャンネル長を短く出来るので、高速動作が可能で有る。更に第二導電型の駆動回路用TFTにおいて、ゲート電極の端部に対峙する低濃度領域は、チャンネル領域と同じ不純物濃度をもつオフセット領域として形成して有る。従って、総てのTFTをLDD構造で製造する場合よりもマスク形成工程及び不純物導入工程を其々1回分ずつ少なくする事が出来る。それ故、最小限の製造工程数によって、各TFTの電気的特性を向上可能な半導体装置

を実現する事が出来る。

【0486】特に、本発明に係る半導体装置を駆動回路内蔵型のアクティブマトリクス基板に適用した場合には、画素領域では、表示むらなどが発生しにくいTFTを形成出来る一方、駆動回路部では、誤動作が発生しにくいと共に、CMOS回路の電源端子間を貫通する電流が小さいTFTを形成出来るなど、画素領域及び駆動回路部毎にTFTの電気的特性を向上する事が出来る。

【0487】本発明に於いて、オフセット構造で有る第二導電型TFTを弱いデプレッション・モードとして構成し、LDD構造で有る第一導電型TFTを弱いエンハンス・モードとして構成する様に、第二導電型薄膜トランジスタのチャンネル領域およびオフセット領域に於ける第二導電型の不純物濃度を設定した場合には、一般的には、オフセット構造のTFTは、LDD構造のTFTよりもオン状態が小さい傾向にあるが、本発明によれば、同じ絶対値のゲート電圧を印加したときでも、第二導電型TFTには、第一導電型TFTに比して大きなゲート・バイアス電圧が印加される事になる為、両TFTのオン電流バランスを確保する事が出来る。しかも、第二導電型薄膜トランジスタのチャンネル領域及びオフセット領域に於ける第二導電型の不純物濃度によって実現する為、トランジスタ容量のバランスを確保する事も出来る。それ故、高速動作が可能なCMOS回路を構成する事が出来る。

【0488】本発明に於いて、第一導電型TFTのチャンネル領域を含む第二導電型不純物の濃度と、第二導電型TFTのチャンネル領域を含む第二導電型不純物濃度と、第二導電型TFTのオフセット領域を含む第二導電型不純物濃度とを総て等しくすると、即ち第二導電型TFTのチャンネル領域に第二導電型不純物を導入する際に、第一導電型TFTのチャンネル領域にも第二導電型不純物を導入すると、マスクを用いずに、チャンネル領域に第二導電型不純物を導入出来るので、工程数を削減出来る。

【0489】又本発明では、半導体膜の上層に容量素子の一方の電極を形成する前に、TFTの低濃度ソース・ドレイン領域または高濃度ソース・ドレイン領域を形成する為の不純物導入工程を行うと共に、この工程を利用して、容量素子を形成する為の半導体膜に不純物を導入し、容量素子の他方の電極を構成する事に特徴を有する。従って、本発明によれば、従来の製造方法に比較して、マスク形成工程の数及び不純物導入工程の数を減らす事が可能で有る。

【0490】TFTの低濃度ソース・ドレイン領域を形成するにあたって、オフセットゲート構造とした場合には、LDD構造に比較して、マスク形成工程及び不純物導入工程を1回ずつ少なくする事が出来る。

【0491】第一導電型薄膜トランジスタの低濃度ソース・ドレイン領域を、第一導電型不純物と共に、第二導電型薄膜トランジスタの低濃度ソース・ドレイン領域と



同等の第二導電型不純物を導入した低濃度第一導電型領域として構成した場合には、この低濃度ソース・ドレイン領域と第一の電極部との間で実質的な不純物濃度を変える事が出来る。

【0492】第一導電型薄膜トランジスタの低濃度ソース・ドレイン領域を形成する為に低濃度の第一導電型不純物を導入する工程、及び第二導電型薄膜トランジスタの低濃度ソース・ドレイン領域を形成する為に低濃度の第二導電型不純物を導入する工程の内の一方の工程をマスクを形成せずに行い、第一及び第二導電型の不純物の双方が導入される領域の導電型及び不純物濃度については第1及び第二導電型の不純物の導入量の差によって規定した場合には、マスク形成工程をさらに減らす事が出来る。

【図面の簡単な説明】

【図1】 本発明の実施例1に係る液晶表示装置のアクティブマトリクス基板等の半導体装置を模式的に示す断面図で有る。

【図2】 (a)は、図1に示すTFTを用いた液晶表示装置のアクティブマトリクス基板等の半導体装置の説明図、(b)は、その駆動回路に用いたCMOS回路の説明図で有る。

【図3】 図1に示すアクティブマトリクス基板等の半導体装置上の各TFTのオン・オフ電流特性を比較して示すグラフ図で有る。

【図4】 (a)～(d)は、図1に示すアクティブマトリクス基板等の半導体装置の製造方法を示す工程断面図で有る。

【図5】 (a)～(d)は、図1に示すアクティブマトリクス基板等の半導体装置の別の製造方法を示す工程断面図で有る。

【図6】 本発明の実施例2に係る液晶表示装置のアクティブマトリクス基板等の半導体装置に形成した各TFTのオン・オフ電流特性を比較して示すグラフ図で有る。

【図7】 本発明の実施例3乃至5に係る液晶表示装置のアクティブマトリクス基板等の半導体装置を模式的に示す断面図で有る。

【図8】 液晶表示装置のアクティブマトリクス基板等の半導体装置に構成されている保持容量の構造を示す説明図で有る。

【図9】 (a)～(e)は、本発明の実施例3に係る液晶表示装置のアクティブマトリクス基板等の半導体装置の製造方法を示す工程断面図で有る。

【図10】 (a)～(e)は、本発明の実施例4に係る液晶表示装置のアクティブマトリクス基板等の半導体装置の製造方法を示す工程断面図で有る。

【図11】 (a)～(e)は、本発明の実施例5に係る液晶表示装置のアクティブマトリクス基板等の半導体装置の製造方法を示す工程断面図で有る。

【図12】 本発明の実施例6に係る液晶表示装置のアクティブマトリクス基板等の半導体装置を模式的に示す断面図で有る。

【図13】 (a)～(d)は、本発明の実施例6に係る液晶表示装置のアクティブマトリクス基板等の半導体装置の製造方法を示す工程断面図で有る。

【図14】 本発明の実施例7に係る液晶表示装置のアクティブマトリクス基板等の半導体装置を模式的に示す断面図で有る。

【図15】 (a)～(e)は、本発明の実施例7に係る液晶表示装置のアクティブマトリクス基板等の半導体装置の製造方法を示す工程断面図で有る。

【図16】 (a)～(e)は、本発明の実施例8に係る液晶表示装置のアクティブマトリクス基板等の半導体装置の製造方法を示す工程断面図で有る。

【図17】 (a)～(e)は、本発明の実施例9に係る液晶表示装置のアクティブマトリクス基板等の半導体装置の製造方法を示す工程断面図で有る。

【図18】 本発明の実施例10に係る液晶表示装置のアクティブマトリクス基板等の半導体装置を模式的に示す断面図で有る。

【図19】 (a)～(d)は、本発明の実施例10に係る液晶表示装置のアクティブマトリクス基板等の半導体装置の製造方法を示す工程断面図で有る。

【図20】 本発明の実施例11に係る液晶表示装置のアクティブマトリクス基板等の半導体装置を模式的に示す断面図で有る。

【図21】 (a)～(e)は、本発明の実施例11に係る液晶表示装置のアクティブマトリクス基板等の半導体装置の製造方法を示す工程断面図で有る。

【図22】 (a)～(e)は、本発明の実施例12に係る液晶表示装置のアクティブマトリクス基板等の半導体装置の製造方法を示す工程断面図で有る。

【図23】 本発明の実施例13に係る液晶表示装置のアクティブマトリクス基板等の半導体装置を模式的に示す断面図で有る。

【図24】 (a)～(e)は、本発明の実施例13に係る液晶表示装置のアクティブマトリクス基板等の半導体装置の製造方法を示す工程断面図で有る。

【図25】 (a)～(e)は、本発明の実施例14に係る液晶表示装置のアクティブマトリクス基板等の半導体装置の製造方法を示す工程断面図で有る。

【図26】 (a)～(e)は、本発明の実施例15に係る液晶表示装置のアクティブマトリクス基板等の半導体装置の製造方法を示す工程断面図で有る。

【図27】 本発明の実施例16に係る液晶表示装置のアクティブマトリクス基板等の半導体装置を模式的に示す断面図で有る。

【図28】 (a)～(d)は、本発明の実施例16に係る液晶表示装置のアクティブマトリクス基板等の半導

【図29】 従来のアクティブマトリクス基板等の半導体装置を模式的に示す断面図で有る。

【図31】 (a)は、N型のTFTに於けるチャネル長とソース・ドレイン間の耐電圧との関係を示すグラフ図、(b)は、P型のTFTに於けるチャネル長とソース・ドレイン間の耐電圧との関係を示すグラフ図で有る。

【図33】 (a)～(f)は、図29に示すアクティブマトリクス基板等の半導体装置の製造方法を示す工程断面図で有る。

1、1"・・・アクティブマトリクス基板（半導体装置）

10、10''・・・N型の画素用TFT

10

30、30'、30"・・・P型の駆動回路用TFT

p 1、p 2・・・P型のTFT

1 1、1 2、2 1、2 2、3 1

レイン領域

13、23、33・・・チャネル領域

14、24、34・・・ゲート絶縁膜

15、25、35・・・ゲート電極

## 82・・・データドライバ部（駆動回路）

### 8 3 . . . 走査ドライバ部 (駆動回路)

84、88・・・シフトレジスタ

85、89・・・レベルシフト

90 . . . 信号線

9 1 . . . 走査線

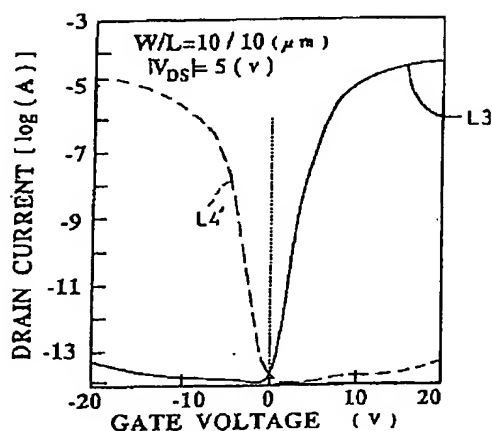
92 · · · 画素用TFT

1 1 1、1 2 1、2 1 1、2 2 1、3 1 1、3 2 1 . .

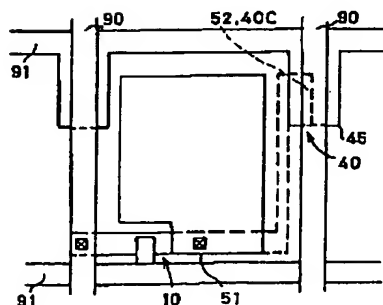
・低濃度ソース・ドレイン領域

3 1 1'、3 2 1'・・・オフセット領域

【图 3】

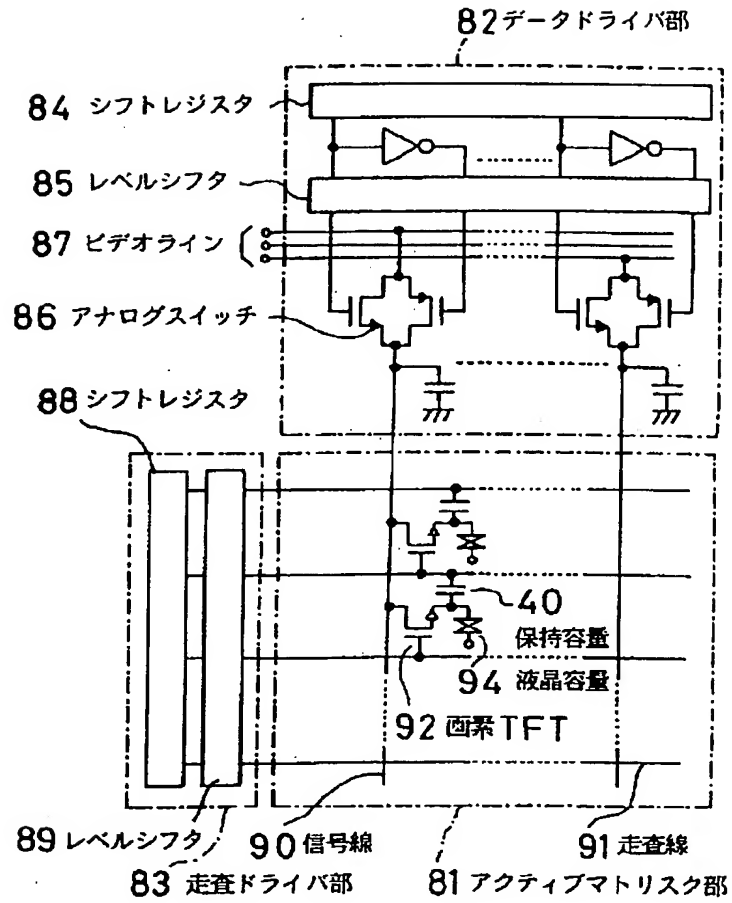


【图8】

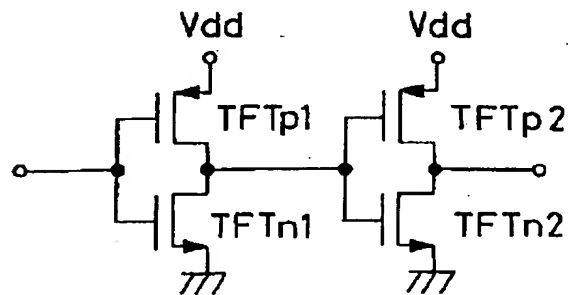


【図2】

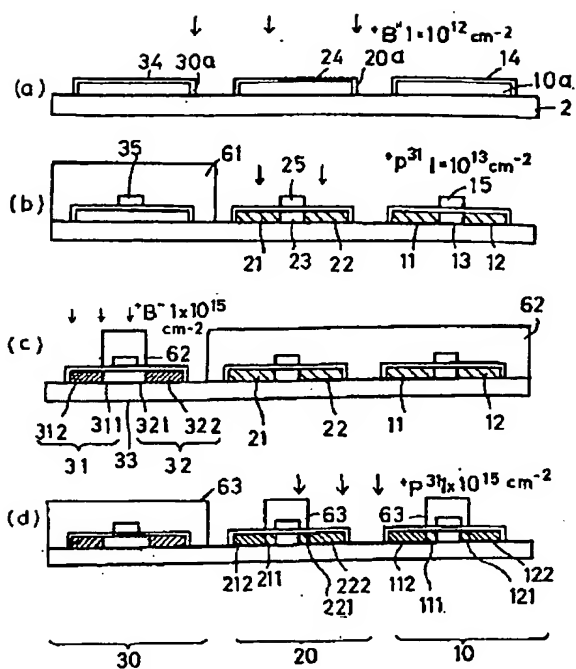
(a)



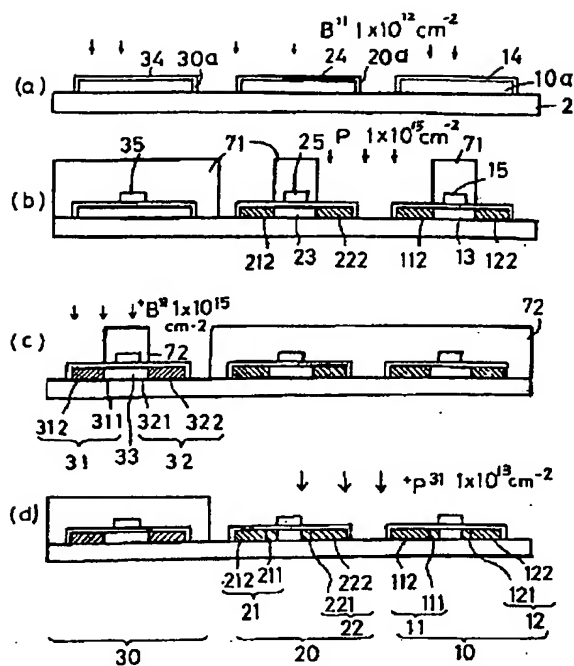
(b)



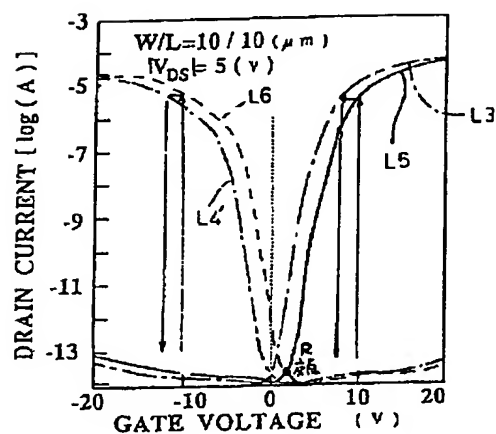
【図4】



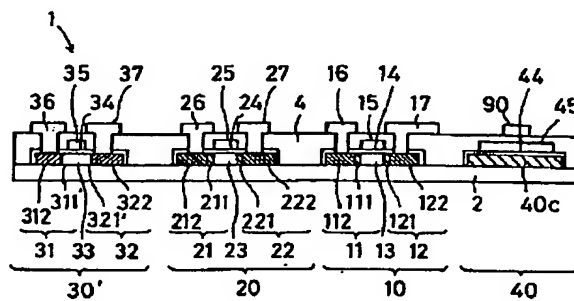
【図5】



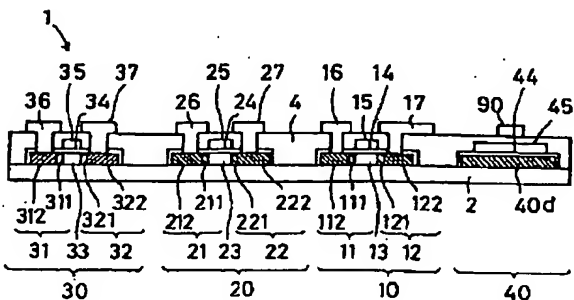
【図6】



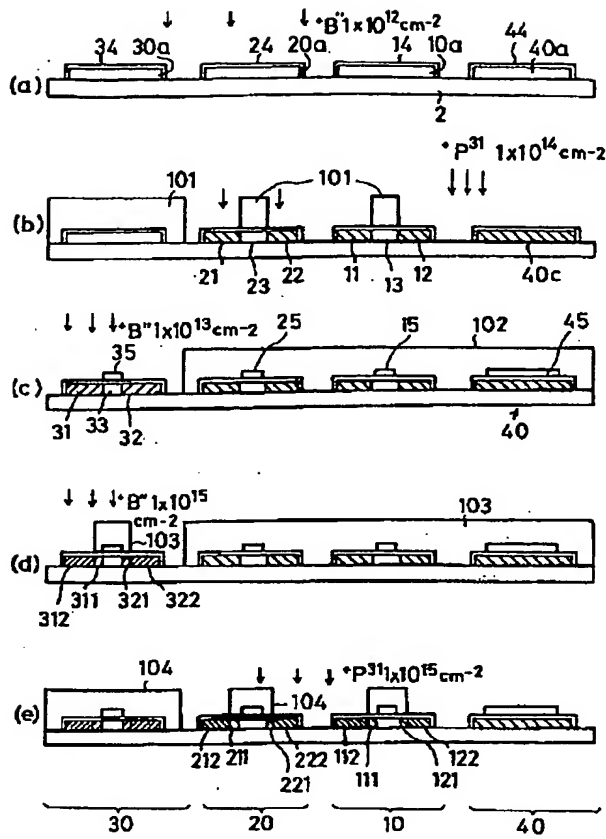
【図12】



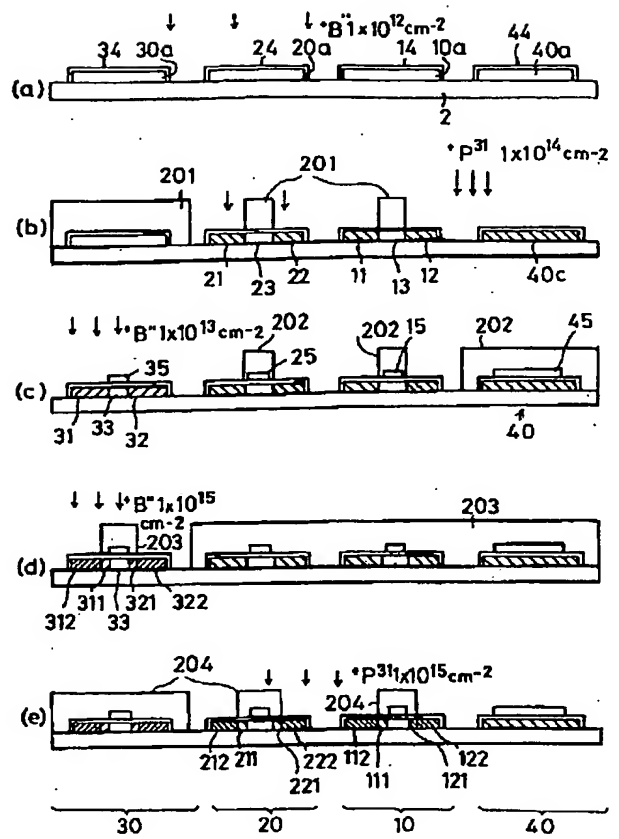
【図14】



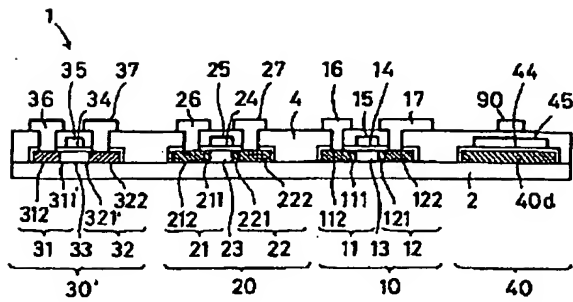
【図9】



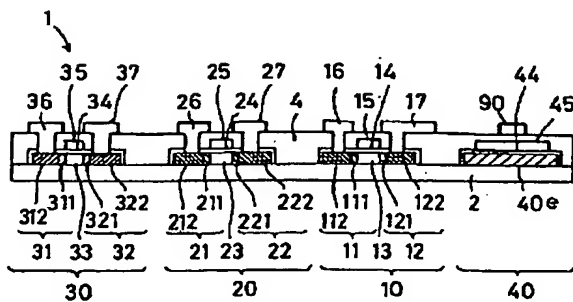
【図10】



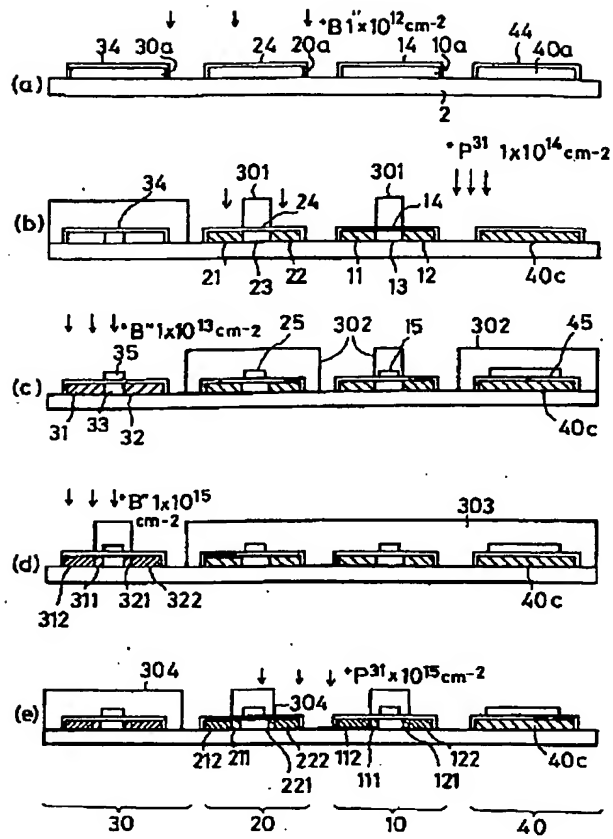
【図18】



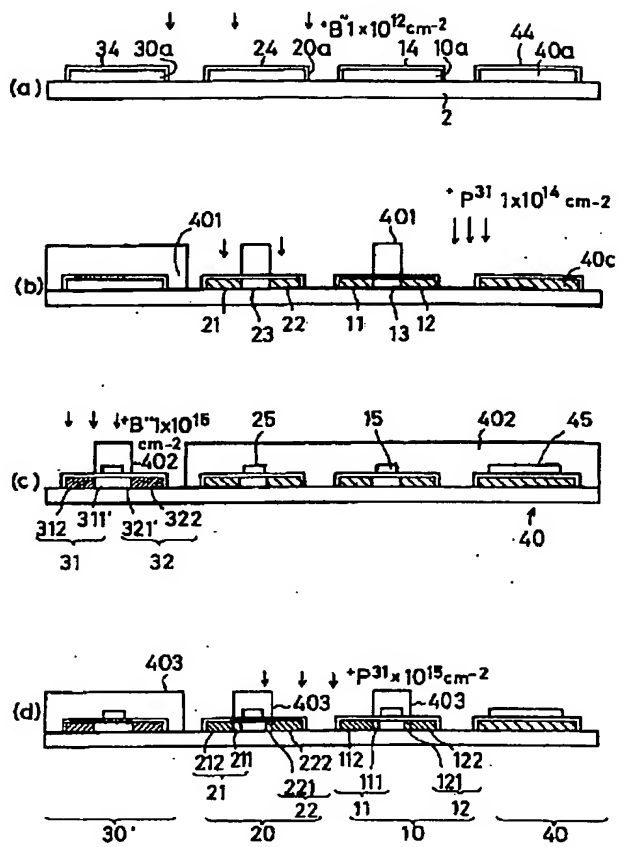
【図20】



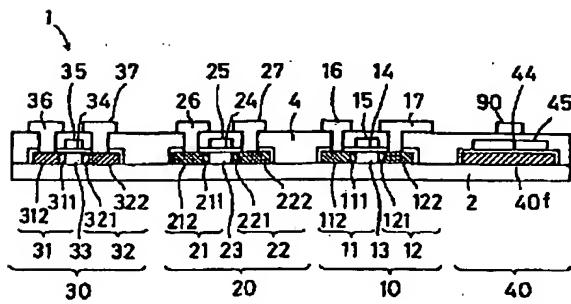
【図11】



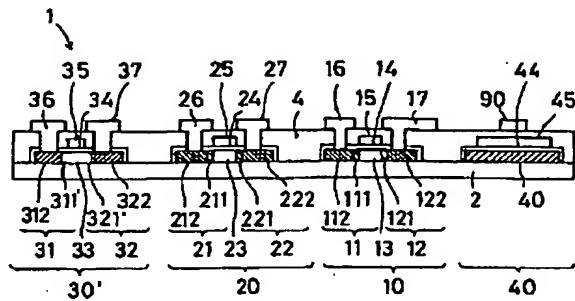
【図13】



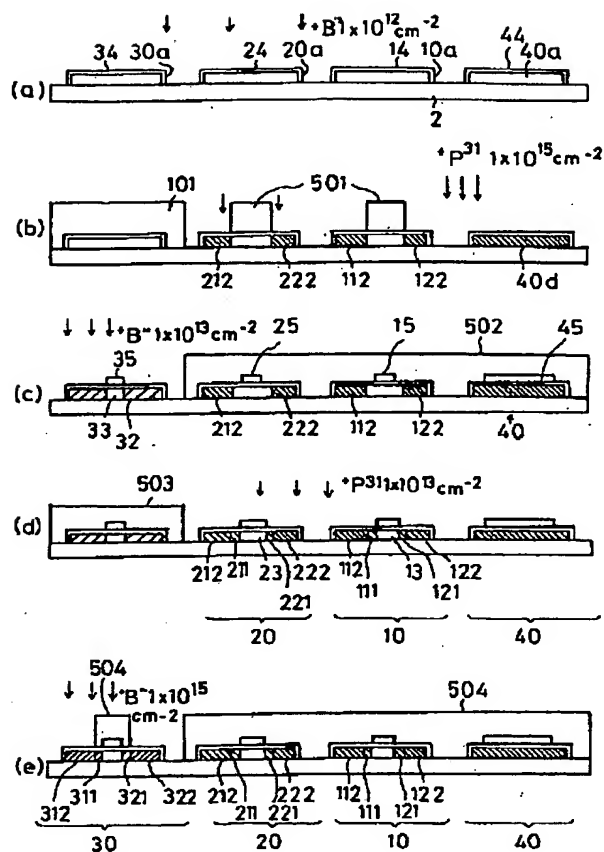
【図23】



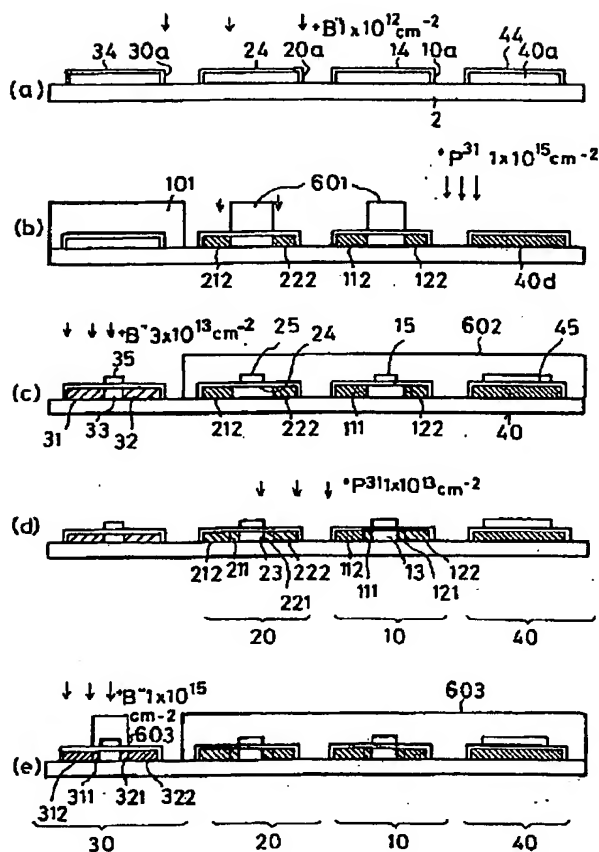
【図27】



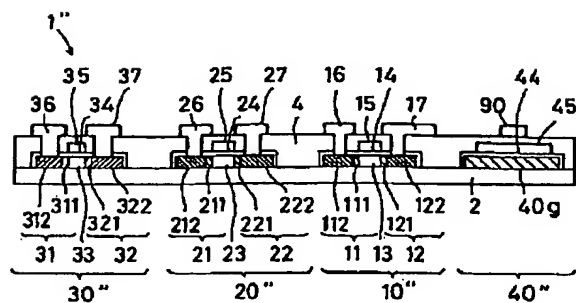
【図15】



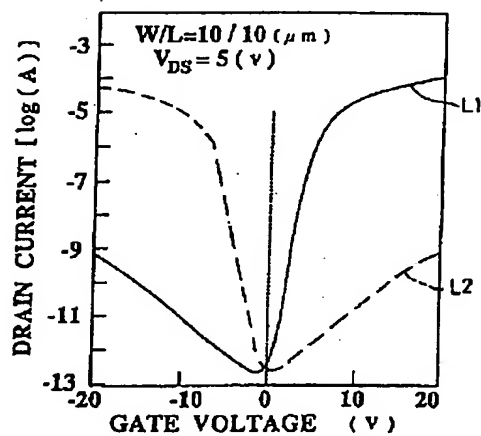
【図16】



【図29】

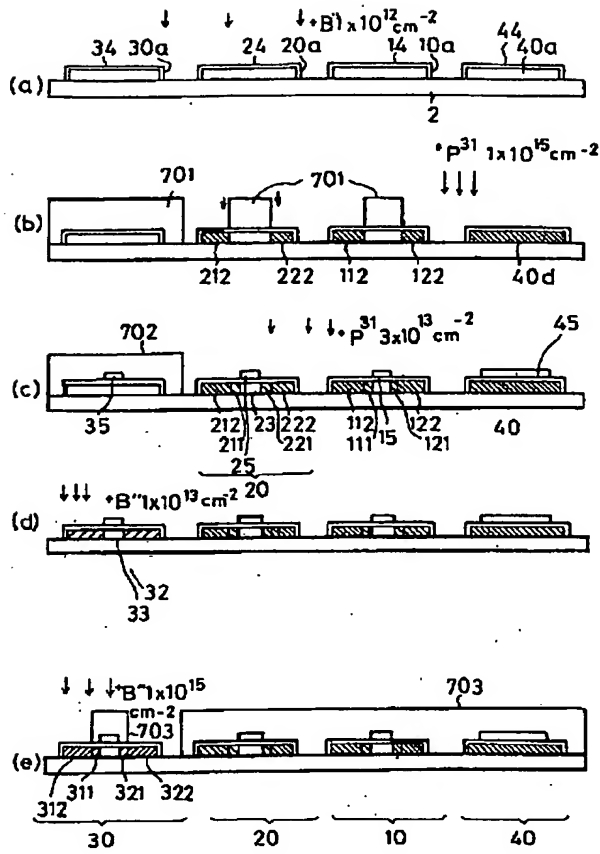


【図30】

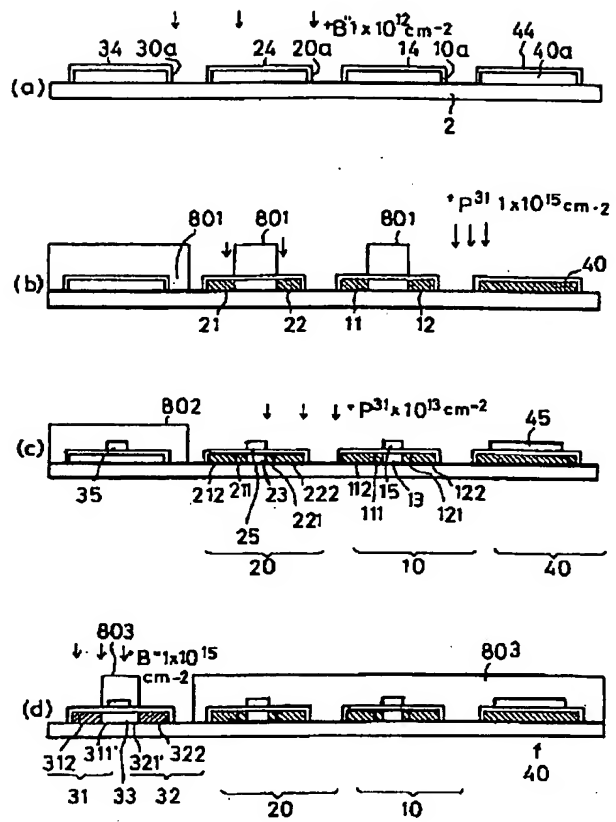




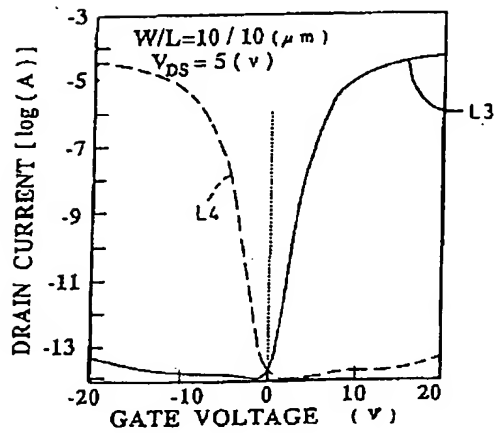
【図17】



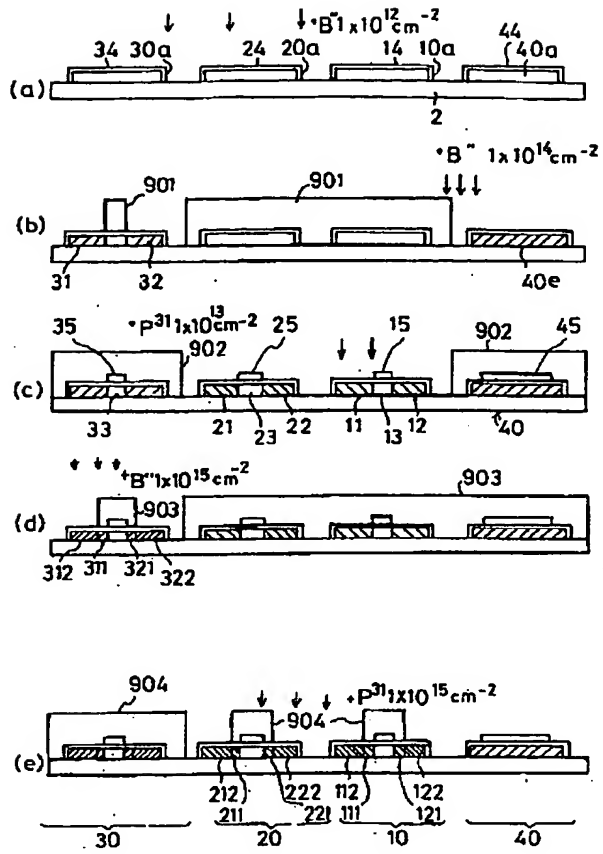
【図19】



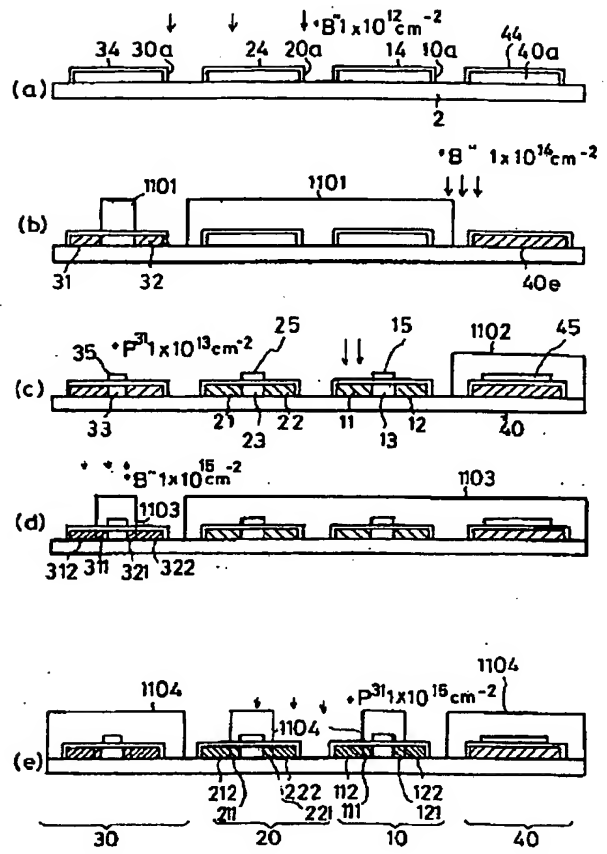
【図32】



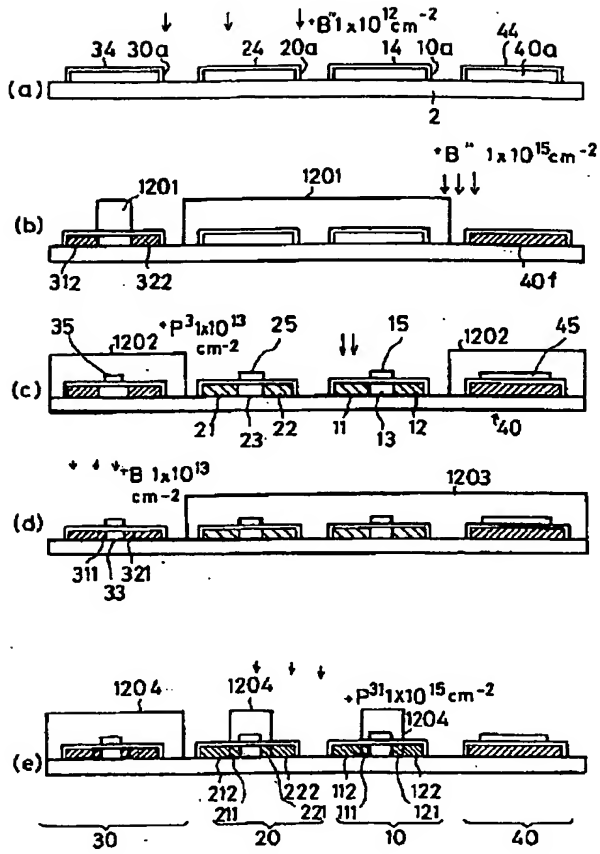
【図 21】



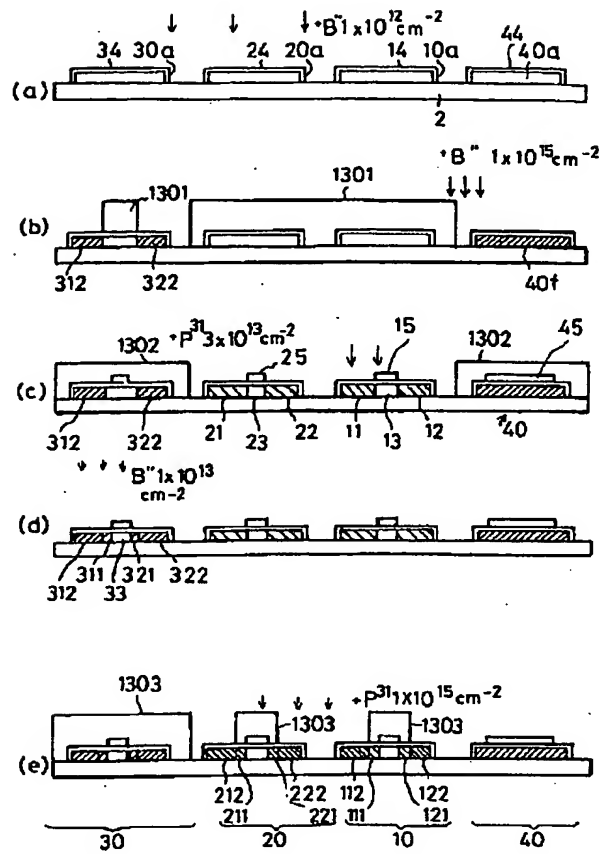
【図 22】



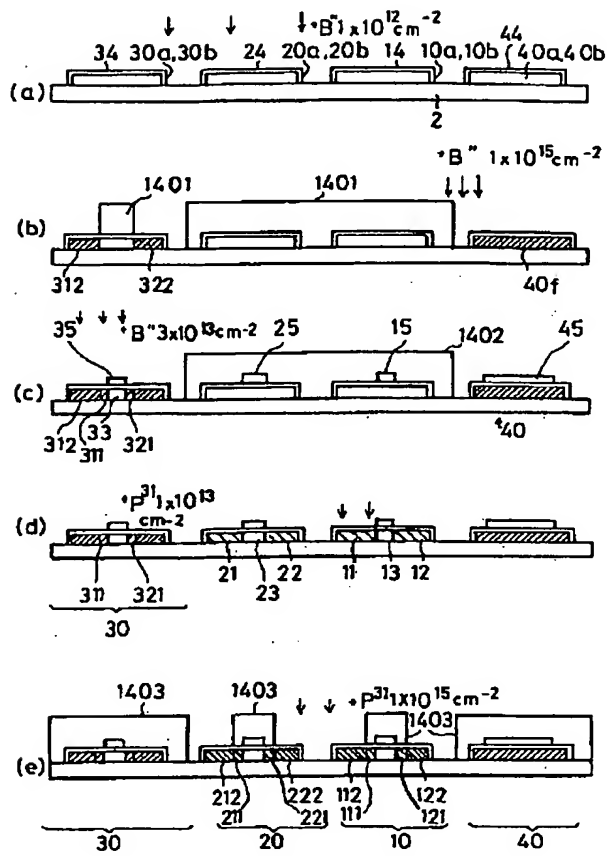
【図 24】



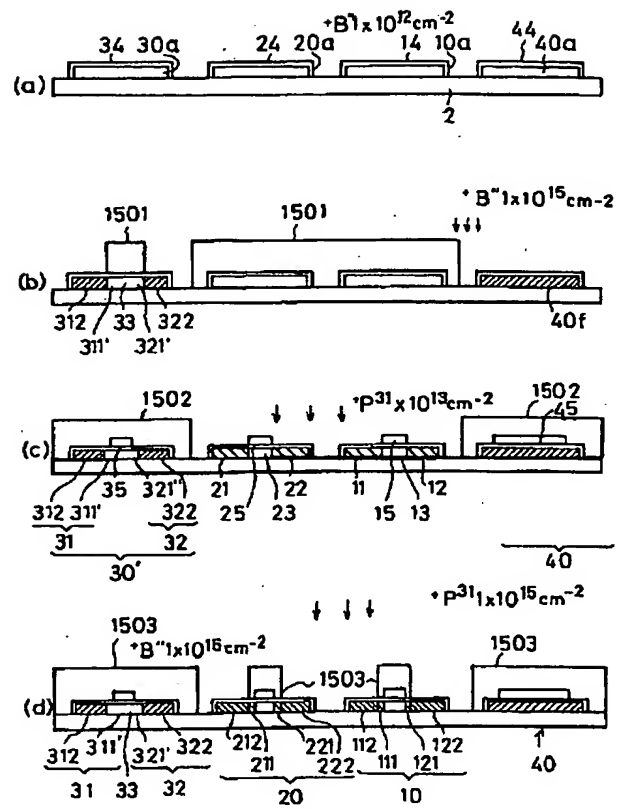
【図 25】



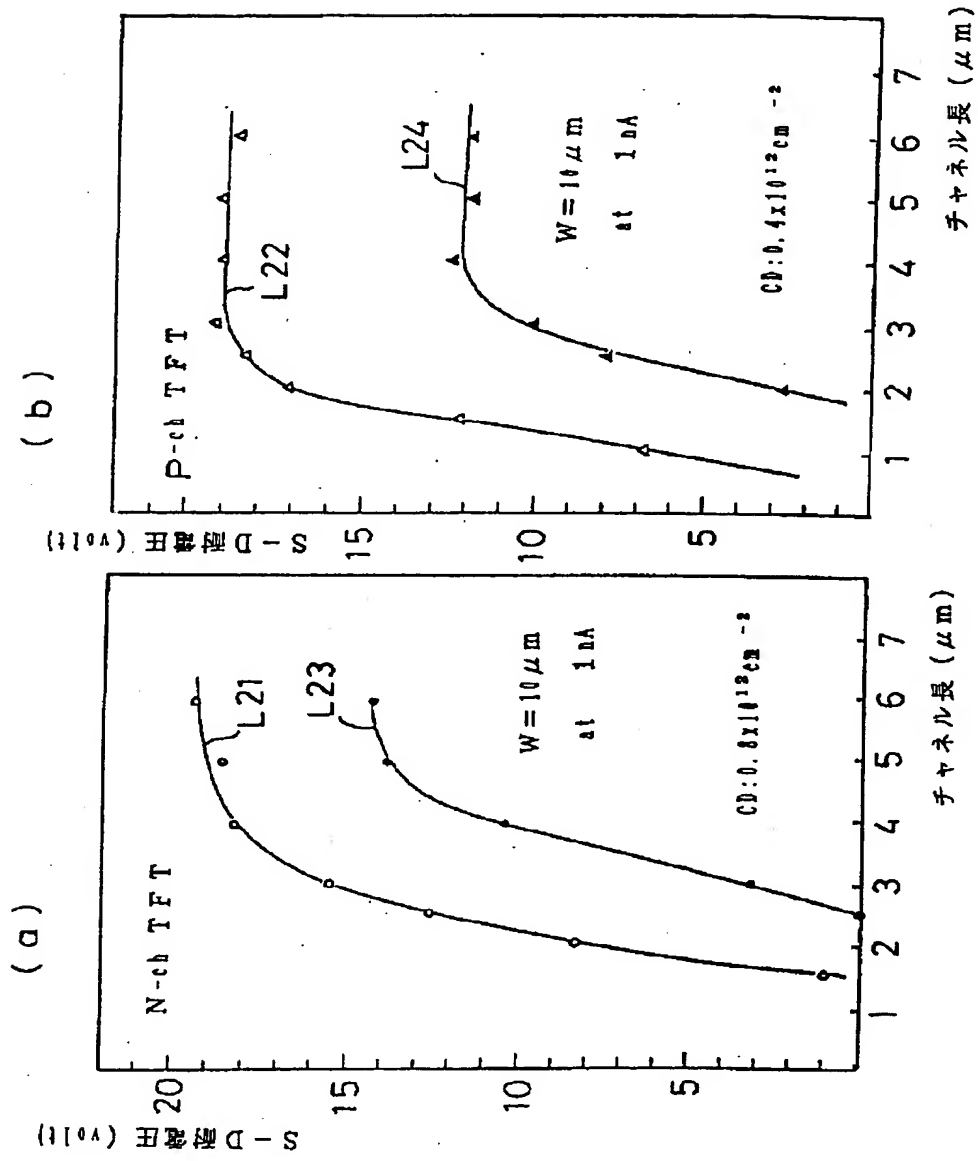
【図26】



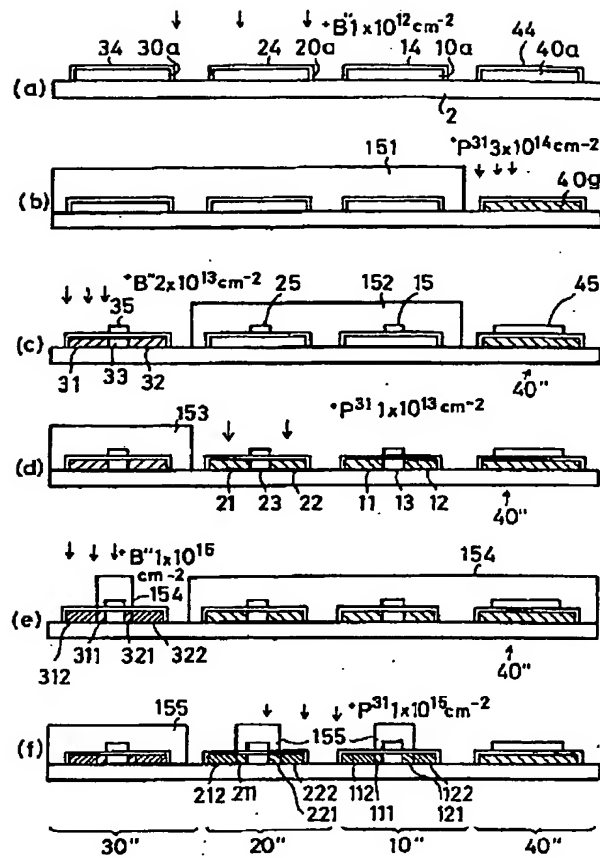
【図28】



【図31】



【図33】



フロントページの続き

(51) Int. Cl. 6

識別記号 庁内整理番号

F I  
H O I L 29/78

技術表示箇所

6 1 7 A

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
【部門区分】第 7 部門第 2 区分  
【発行日】平成 15 年 4 月 11 日 (2003. 4. 11)

【公開番号】特開平 9-172183  
【公開日】平成 9 年 6 月 30 日 (1997. 6. 30)  
【年通号数】公開特許公報 9-1722  
【出願番号】特願平 8-237056  
【国際特許分類第 7 版】

H01L 29/786  
G02F 1/1343  
1/136 500  
H01L 21/336

【F I】

H01L 29/78 612 B  
G02F 1/1343  
1/136 500  
H01L 29/78 613 A  
616 A  
617 A

【手続補正書】

【提出日】平成 15 年 1 月 6 日 (2003. 1. 6)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】 第一ゲート電極に第一ゲート絶縁膜を介して対峙する第一チャネル領域と第一導電型高濃度ソース・ドレイン領域を備える第一導電型薄膜トランジスタと、第二ゲート電極に第二ゲート絶縁膜を介して対峙する第二チャネル領域と第二導電型高濃度ソース・ドレイン領域を備える第二導電型薄膜トランジスタ、とを有する半導体装置に於いて、  
該第一導電型薄膜トランジスタは該第一導電型高濃度ソース・ドレイン領域と該第一チャネル領域の間に第一導電型低濃度ソース・ドレイン領域を具備する LDD 構造を成し、該第一チャネル領域は極低濃度の第二導電型不純物を含み、  
該第二導電型薄膜トランジスタは該第二導電型高濃度ソース・ドレイン領域と該第二チャネル領域の間に該第二チャネル領域と同じ不純物濃度を有するオフセット領域を具備するオフセット構造を成し、該第二チャネル領域は極低濃度の第二導電型不純物を含んで居る事を特徴とする半導体装置。

【請求項 2】 第一ゲート電極に第一ゲート絶縁膜を介して対峙する第一チャネル領域と第一導電型高濃度ソース・ドレイン領域を備える第一導電型薄膜トランジスタ

と、第二ゲート電極に第二ゲート絶縁膜を介して対峙する第二チャネル領域と第二導電型高濃度ソース・ドレイン領域を備える第二導電型薄膜トランジスタ、とを有する半導体装置に於いて、

該第一導電型薄膜トランジスタは該第一導電型高濃度ソース・ドレイン領域と該第一チャネル領域の間に第一導電型低濃度ソース・ドレイン領域を具備する LDD 構造を成し、該第一チャネル領域は極低濃度の第一導電型不純物を含み、

該第二導電型薄膜トランジスタは該第二導電型高濃度ソース・ドレイン領域と該第二チャネル領域の間に該第二チャネル領域と同じ不純物濃度を有するオフセット領域を具備するオフセット構造を成し、該第二チャネル領域は極低濃度の第一導電型不純物を含んで居る事を特徴とする半導体装置。

【請求項 3】 請求項 2 に規定する半導体装置を用いたアクティブマトリクス基板で有り、

前記第一導電型薄膜トランジスタ及び前記第二導電型薄膜トランジスタは駆動回路領域に於いて CMOS 回路を構成し、

前記第一導電型薄膜トランジスタ又は第二導電型薄膜トランジスタの内の少なくとも一方の薄膜トランジスタは画素領域に於いて画素用薄膜トランジスタを成している事を特徴とするアクティブマトリクス基板。

【請求項 4】 第一ゲート電極に第一ゲート絶縁膜を介して対峙する第一チャネル領域と第一導電型高濃度ソース・ドレイン領域を備える第一導電型薄膜トランジスタと、第二ゲート電極に第二ゲート絶縁膜を介して対峙す

る第二チャネル領域と第二導電型高濃度ソース・ドレイン領域を備える第二導電型薄膜トランジスタ、とを有する半導体装置に於いて、

該第一導電型薄膜トランジスタは該第一導電型高濃度ソース・ドレイン領域と該第一チャネル領域の間に第一導電型低濃度ソース・ドレイン領域を具備するLDD構造を成し、該第一チャネル領域は略真性で有り、該第二導電型薄膜トランジスタは該第二導電型高濃度ソース・ドレイン領域と該第二チャネル領域の間に該第二チャネル領域と同じ不純物濃度を有するオフセット領域を具備するオフセット構造を成し、該第二チャネル領域は略真性で有る事を特徴とする半導体装置。

【請求項5】 請求項4に規定する半導体装置を用いたアクティブマトリクス基板で有り、

前記第一導電型薄膜トランジスタ及び前記第二導電型薄膜トランジスタは駆動回路領域に於いてCMOS回路を構成し、

前記第一導電型薄膜トランジスタ又は第二導電型薄膜トランジスタの内の少なくとも一方の薄膜トランジスタは画素領域に於いて画素用薄膜トランジスタを成している事を特徴とするアクティブマトリクス基板。

【請求項6】 ゲート電極にゲート絶縁膜を介して対峙するチャネル領域と該チャネル領域に接続するソース・ドレイン領域を備える薄膜トランジスタ、及び誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子とを有する半導体装置に於いて、

前記薄膜トランジスタはソース・ドレイン領域がゲート電極の端部にゲート絶縁膜を介して対峙する低濃度ソース・ドレイン領域及び該低濃度ソース・ドレイン領域に隣接する高濃度ソース・ドレイン領域を具備するLDD構造を成し、

前記第一電極部は前記低濃度ソース・ドレイン領域と導電型が同じで該導電型の不純物濃度が同等の同一の半導体膜から構成されている事を特徴とする半導体装置。

【請求項7】 ゲート電極にゲート絶縁膜を介して対峙するチャネル領域と該チャネル領域に接続するソース・ドレイン領域を備える薄膜トランジスタ、及び誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子とを有する半導体装置に於いて、

前記薄膜トランジスタはソース・ドレイン領域がゲート電極の端部にゲート絶縁膜を介して対峙する低濃度ソース・ドレイン領域及び該低濃度ソース・ドレイン領域に隣接する高濃度ソース・ドレイン領域を具備するLDD構造を成し、

前記第一電極部は前記高濃度ソース・ドレイン領域と導電型が同じで該導電型の不純物濃度が同等の同一の半導体膜から構成されている事を特徴とする半導体装置。

【請求項8】 ゲート電極にゲート絶縁膜を介して対峙するチャネル領域とドナー不純物又はアクセプター不純物を高濃度に含むソース・ドレイン領域を備える薄膜トランジスタ、及び誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子とを有する半導体装置に於いて、

前記薄膜トランジスタは該ソース・ドレイン領域端部と該チャネル領域端部の間に該チャネル領域と同等の不純物濃度を有するオフセット領域を備え、

前記第一電極部は前記高濃度ソース・ドレイン領域と導電型が同じで該導電型の不純物濃度が同等の同一の半導体膜から構成されている事を特徴とする半導体装置。

【請求項9】 ゲート電極にゲート絶縁膜を介して対峙するチャネル領域と該チャネル領域に接続するソース・ドレイン領域を備える第一導電型及び第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子とを有する半導体装置に於いて、

前記第一導電型及び第二導電型薄膜トランジスタはソース・ドレイン領域がゲート電極の端部にゲート絶縁膜を介して対峙する低濃度ソース・ドレイン領域と該低濃度ソース・ドレイン領域に隣接する高濃度ソース・ドレイン領域とを備えるLDD構造を成し、前記第一電極部は前記第一導電型及び第二導電型薄膜トランジスタの前記低濃度ソース・ドレイン領域と導電型が同じで該導電型の不純物濃度が同等の同一の半導体膜から構成されている事を特徴とする半導体装置。

【請求項10】 ゲート電極にゲート絶縁膜を介して対峙するチャネル領域と該チャネル領域に接続するソース・ドレイン領域を備える第一導電型及び第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子とを有する半導体装置に於いて、

前記第一導電型及び第二導電型薄膜トランジスタはソース・ドレイン領域がゲート電極の端部にゲート絶縁膜を介して対峙する低濃度ソース・ドレイン領域と該低濃度ソース・ドレイン領域に隣接する高濃度ソース・ドレイン領域とを備えるLDD構造を成し、前記第一電極部は前記第一導電型及び第二導電型薄膜トランジスタの前記高濃度ソース・ドレイン領域と導電型が同じで該導電型の不純物濃度が同等の同一の半導体膜から構成されている事を特徴とする半導体装置。

【請求項11】 ゲート電極にゲート絶縁膜を介して対峙するチャネル領域と第一導電型不純物を高濃度に含む高濃度第一導電型ソース・ドレイン領域を備える第一導電型薄膜トランジスタと、ゲート電極にゲート絶縁膜を介して対峙するチャネル領域と第二導電型不純物を高濃度に含む高濃度第二導電型ソース・ドレイン領域を備える第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子、とを有する半導体装置に於いて、

前記第一導電型薄膜トランジスタは前記高濃度第一導電型ソース・ドレイン領域端部と前記チャネル領域端部



の間に低濃度第一導電型ソース・ドレイン領域を具備するLDD構造を成し、  
前記第二導電型薄膜トランジスタは前記高濃度第二導電型ソース・ドレイン領域端部と前記チャンネル領域端部の間に該チャンネル領域と同等の不純物濃度を有するオフセット領域を備え、  
前記第一電極部は前記第一導電型薄膜トランジスタの低濃度第一導電型ソース・ドレイン領域と同量の第一導電型不純物を含む半導体膜から構成されている事の特徴とする半導体装置。

【請求項12】 ゲート電極にゲート絶縁膜を介して対峙するチャンネル領域と第一導電型不純物を高濃度を含む高濃度第一導電型ソース・ドレイン領域を備える第一導電型薄膜トランジスタと、ゲート電極にゲート絶縁膜を介して対峙するチャンネル領域と第二導電型不純物を高濃度を含む高濃度第二導電型ソース・ドレイン領域を備える第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子とを有する半導体装置に於いて、  
前記第一導電型薄膜トランジスタは前記高濃度第一導電型ソース・ドレイン領域端部と前記チャンネル領域端部の間に低濃度第一導電型ソース・ドレイン領域を具備するLDD構造を成し、  
前記第二導電型薄膜トランジスタは前記高濃度第二導電型ソース・ドレイン領域端部と前記チャンネル領域端部の間に該チャンネル領域と同等の不純物濃度を有するオフセット領域を備え、  
前記第一電極部は前記第一導電型薄膜トランジスタの高濃度第一導電型ソース・ドレイン領域と同量の第一導電型不純物を含む半導体膜から構成されている事の特徴とする半導体装置。

【請求項13】 ゲート電極にゲート絶縁膜を介して対峙するチャンネル領域と第一導電型不純物を高濃度を含む高濃度第一導電型ソース・ドレイン領域を備える第一導電型薄膜トランジスタと、ゲート電極にゲート絶縁膜を介して対峙するチャンネル領域と第二導電型不純物を高濃度を含む高濃度第二導電型ソース・ドレイン領域を備える第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子とを有する半導体装置に於いて、  
前記第一導電型薄膜トランジスタは前記高濃度第一導電型ソース・ドレイン領域端部と前記チャンネル領域端部の間に低濃度第一導電型ソース・ドレイン領域を具備するLDD構造を成し、  
前記第二導電型薄膜トランジスタは前記高濃度第二導電型ソース・ドレイン領域端部と前記チャンネル領域端部の間に該チャンネル領域と同等の不純物濃度を有するオフセット領域を備え、  
前記第一電極部は前記第二導電型薄膜トランジスタの高濃度第二導電型ソース・ドレイン領域と同量の第二導電

型不純物を含む半導体膜から構成されている事の特徴とする半導体装置。

【請求項14】 請求項6乃至13のいずれかの項に規定する半導体装置を用いたアクティブマトリクス基板であって、  
前記第一導電型及び前記第二導電型薄膜トランジスタは駆動回路部に於いてCMOS回路を構成し、  
前記第一導電型及び第二導電型薄膜トランジスタの内の少なくとも一方の薄膜トランジスタは画素領域に於いて画素用薄膜トランジスタを構成し、  
前記容量素子は前記画素領域に於いて液晶セルに対する保持容量を構成している事の特徴とするアクティブマトリクス基板。

【請求項15】 ゲート電極とゲート絶縁膜とチャンネル領域と該チャンネル領域に低濃度ソース・ドレイン領域を介して導電接続する高濃度ソース・ドレイン領域とを具備するLDD型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子を有する半導体装置の製造方法に於いて、  
少なくとも該チャンネル領域と該低濃度ソース・ドレイン領域と該第一電極部を構成する半導体膜を形成する第一工程と、

該半導体膜の一部に低濃度にてドナー又はアクセプターと成る不純物を導入して該低濃度ソース・ドレイン領域と該第一電極部を形成する第二工程と、  
該第二工程終了後にゲート電極と第二電極部を形成する第三工程とを含む事の特徴とする半導体装置の製造方法。

【請求項16】 ゲート電極とゲート絶縁膜とチャンネル領域と該チャンネル領域に低濃度ソース・ドレイン領域を介して導電接続する高濃度ソース・ドレイン領域とを具備するLDD型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子を有する半導体装置の製造方法に於いて、  
少なくとも該チャンネル領域と該高濃度ソース・ドレイン領域と該第一電極部を構成する半導体膜を形成する第一工程と、

該半導体膜の一部に高濃度にてドナー又はアクセプターと成る不純物を導入して該高濃度ソース・ドレイン領域と該第一電極部を形成する第二工程と、  
該第二工程終了後にゲート電極と第二電極部を形成する第三工程とを含む事の特徴とする半導体装置の製造方法。

【請求項17】 ゲート電極とゲート絶縁膜とチャンネル領域と該チャンネル領域と同量の不純物を含むオフセット領域と該オフセット領域を介して該チャンネル領域に導電接続する高濃度ソース・ドレイン領域とを具備するオフセット型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子を有する半導体装置の製造方法に於いて、

少なくとも該チャンネル領域と該高濃度ソース・ドレイン領域と該第一電極部を構成する半導体膜を形成する第一工程と、

該半導体膜の一部に高濃度にてドナー又はアクセプターと成る不純物を導入して該高濃度ソース・ドレイン領域と該第一電極部を形成する第二工程と、

該第二工程終了後にゲート電極と第二電極部を形成する第三工程とを含む事の特徴とする半導体装置の製造方法。

【請求項 18】 ゲート電極とゲート絶縁膜とチャンネル領域と該チャンネル領域に低濃度第一導電型ソース・ドレイン領域を介して導電接続する高濃度第一導電型ソース・ドレイン領域とを具備する LDD 型第一導電型薄膜トランジスタと、ゲート電極とゲート絶縁膜とチャンネル領域と該チャンネル領域に低濃度第二導電型ソース・ドレイン領域を介して導電接続する高濃度第二導電型ソース・ドレイン領域とを具備する LDD 型第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子を有する半導体装置の製造方法に於いて、

少なくとも該 LDD 型第一導電型薄膜トランジスタのチャンネル領域と低濃度第一導電型ソース・ドレイン領域と、該 LDD 型第二導電型薄膜トランジスタのチャンネル領域と、該第一電極部を構成する半導体膜を形成する第一工程と、

該半導体膜の一部に低濃度にて第一導電型不純物を導入して該低濃度第一導電型ソース・ドレイン領域と該第一電極部を形成する第二工程と、

該第二工程終了後にゲート電極と第二電極部を形成する第三工程とを含む事の特徴とする半導体装置の製造方法。

【請求項 19】 ゲート電極とゲート絶縁膜とチャンネル領域と該チャンネル領域に低濃度第一導電型ソース・ドレイン領域を介して導電接続する高濃度第一導電型ソース・ドレイン領域とを具備する LDD 型第一導電型薄膜トランジスタと、ゲート電極とゲート絶縁膜とチャンネル領域と該チャンネル領域に低濃度第二導電型ソース・ドレイン領域を介して導電接続する高濃度第二導電型ソース・ドレイン領域とを具備する LDD 型第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子を有する半導体装置の製造方法に於いて、

少なくとも該 LDD 型第一導電型薄膜トランジスタのチャンネル領域と高濃度第一導電型ソース・ドレイン領域と、該 LDD 型第二導電型薄膜トランジスタのチャンネル領域と、該第一電極部を構成する半導体膜を形成する第一工程と、

該半導体膜の一部に高濃度にて第一導電型不純物を導入して該高濃度第一導電型ソース・ドレイン領域と該第一電極部を形成する第二工程と、

該第二工程終了後にゲート電極と第二電極部を形成する第三工程とを含む事の特徴とする半導体装置の製造方法。

【請求項 20】 ゲート電極とゲート絶縁膜と第一チャンネル領域と該第一チャンネル領域に低濃度第一導電型ソース・ドレイン領域を介して導電接続する高濃度第一導電型ソース・ドレイン領域とを具備する LDD 型第一導電型薄膜トランジスタと、ゲート電極とゲート絶縁膜と第二チャンネル領域と高濃度第二導電型ソース・ドレイン領域、及び該第二チャンネル領域端と該高濃度第二導電型ソース・ドレイン領域端との間に該第二チャンネル領域と同じ不純物濃度を有するオフセット領域を具備するオフセット型第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子、とを有する半導体装置の製造方法に於いて、

少なくとも該第一チャンネル領域と該低濃度第一導電型ソース・ドレイン領域と該第二チャンネル領域と該第一電極部を構成する半導体膜を形成する第一工程と、

該半導体膜の一部に低濃度にて第一導電型不純物を導入して該低濃度第一導電型ソース・ドレイン領域と該第一電極部を形成する第二工程と、

該第二工程終了後にゲート電極と第二電極部を形成する第三工程とを含む事の特徴とする半導体装置の製造方法。

【請求項 21】 ゲート電極とゲート絶縁膜と第一チャンネル領域と該第一チャンネル領域に低濃度第一導電型ソース・ドレイン領域を介して導電接続する高濃度第一導電型ソース・ドレイン領域とを具備する LDD 型第一導電型薄膜トランジスタと、ゲート電極とゲート絶縁膜と第二チャンネル領域と高濃度第二導電型ソース・ドレイン領域、及び該第二チャンネル領域端と該高濃度第二導電型ソース・ドレイン領域端との間に該第二チャンネル領域と同じ不純物濃度を有するオフセット領域を具備するオフセット型第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子、とを有する半導体装置の製造方法に於いて、

少なくとも該第一チャンネル領域と該高濃度第一導電型ソース・ドレイン領域と該第二チャンネル領域と該第一電極部を構成する半導体膜を形成する第一工程と、

該半導体膜の一部に高濃度にて第一導電型不純物を導入して該高濃度第一導電型ソース・ドレイン領域と該第一電極部を形成する第二工程と、

該第二工程終了後にゲート電極と第二電極部を形成する第三工程とを含む事の特徴とする半導体装置の製造方法。

【請求項 22】 ゲート電極とゲート絶縁膜と第一チャンネル領域と該第一チャンネル領域に低濃度第一導電型ソース・ドレイン領域を介して導電接続する高濃度第一導電型ソース・ドレイン領域とを具備する LDD 型第一導電型薄膜トランジスタと、ゲート電極とゲート絶縁膜と第

二チャンネル領域と高濃度第二導電型ソース・ドレイン領域、及び該第二チャンネル領域端と該高濃度第二導電型ソース・ドレイン領域端との間に該第二チャンネル領域と同じ不純物濃度を有するオフセット領域を具備するオフセット型第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子、とを有する半導体装置の製造方法に於いて、少なくとも該第一チャンネル領域と該第二チャンネル領域と該高濃度第二導電型ソース・ドレイン領域と該第一電極部を構成する半導体膜を形成する第一工程と、該半導体膜の一部に高濃度にて第二導電型不純物を導入して該高濃度第二導電型ソース・ドレイン領域と該第一電極部を形成する第二工程と、該第二工程終了後にゲート電極と第二電極部を形成する第三工程とを含む事の特徴とする半導体装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】

【課題を解決する為の手段】上記課題を解決する為、本発明では半導体装置を以下の様に構成する。以下に説明する各発明はいずれも最小限の製造工程数によって、各TFTの電気的特性を向上させた半導体装置やその製造方法を共通の目的と課題とするが、それらを更に分類すれば、第1群に係る発明と第2群に係る発明とに大別される。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】第1群に係る発明は同一基板上に第一導電型及び第二導電型のTFTを有する半導体装置、及びそれを適応した液晶表示装置用等のアクティブマトリクス基板、並びにこれらの半導体装置の製造方法に関する発明で有る。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】これに対して第2群に係る発明は同一基板上にTFTと容量素子を有する半導体装置、及びそれを適応した液晶表示装置用等のアクティブマトリクス基板に関する発明、及びこれらの半導体装置の製造方法に関する発明で有る。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正内容】

【0017】(第1群に係わる発明)

第1群の一例に係わる発明は、第一ゲート電極に第一ゲート絶縁膜を介して対峙する第一チャンネル領域と第一導電型高濃度ソース・ドレイン領域を備える第一導電型薄膜トランジスタと、第二ゲート電極に第二ゲート絶縁膜を介して対峙する第二チャンネル領域と第二導電型高濃度ソース・ドレイン領域を備える第二導電型薄膜トランジスタ、とを有する半導体装置に於いて、該第一導電型薄膜トランジスタは該第一導電型高濃度ソース・ドレイン領域と該第一チャンネル領域の間に第一導電型低濃度ソース・ドレイン領域を具備するLDD構造を成し、該第一チャンネル領域は極低濃度の第二導電型不純物を含み、該第二導電型薄膜トランジスタは該第二導電型高濃度ソース・ドレイン領域と該第二チャンネル領域の間に該第二チャンネル領域と同じ不純物濃度を有するオフセット領域を具備するオフセット構造を成し、該第二チャンネル領域は極低濃度の第二導電型不純物を含んで居る事の特徴とする。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正内容】

【0018】この様に構成すると、いずれのTFTもゲート電極の端部に対峙する部分が低濃度領域で有る為オフ電流が小さい。又TFTのソース・ドレイン間に於ける耐電圧が高いのでチャンネル長を短く出来る。従ってオン電流が増加し、更にトランジスタ容量を低減出来るので、高速動作が可能になると云う利点も有る。更に第二導電型の駆動回路用TFTに於いて、ゲート電極の端部に対峙する低濃度領域はチャンネル領域と同じ不純物濃度を有するオフセット領域として形成して有る。従って総てのTFTをLDD構造で製造する場合よりもマスク形成工程及び不純物導入工程を其々1回分ずつ少なくする事が出来る。又極低濃度で導入された第二導電型不純物はチャンネル内では $V_{th}$ を調整し、オフセット領域では低濃度多数キャリアーとして作用する。斯くして最小限の製造工程数にて各TFTの電気的特性を最適化した半導体装置を実現されるので有る。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正内容】

【0019】また、前記第一導電型薄膜トランジスタのソース・ドレイン電圧を $V_{DS1}$ 、ゲート電圧を $V_{GS1}$ 、ソ

ース・ドレイン電流を $I_{DS1}$ とし、前記第二導電型薄膜トランジスタのソース・ドレイン電圧を $V_{DS2}$ 、ゲート電圧を $V_{GS2}$ 、ソース・ドレイン電流を $I_{DS2}$ とした時に $|V_{DS1}| = |V_{DS2}|$ 、且つ $V_{GS1} = V_{GS2} = 0$ の条件下にて $I_{DS2} > I_{DS1}$ と成る様に、前記第二チャネル領域と前記オフセット領域の第二導電型不純物濃度が定められて居る事を特徴とする。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正内容】

【0020】この様に構成すると、オフセット領域の寄生抵抗に起因する第二導電型TFTのオン電流の減少を最小とし、第一導電型TFTと第二導電型TFTのオン電流やトランジスタ容量を略同等とする事が可能と成る。従ってこうしたTFTにてCMOS回路を構成した場合、回路は高速で動作し、誤動作も生じにくい。又同時に回路の構成やレイアウトも簡略化される。(第一導電型TFTと第二導電型TFTのサイズやディメンジョンを同一とし得る為。)また、前記第一導電型薄膜トランジスタのソース・ドレイン電圧を $V_{DS1}$ 、ゲート電圧を $V_{GS1}$ 、ソース・ドレイン電流を $I_{DS1}$ とし、前記第二導電型薄膜トランジスタのソース・ドレイン電圧を $V_{DS2}$ 、ゲート電圧を $V_{GS2}$ 、ソース・ドレイン電流を $I_{DS2}$ とした時に $|V_{DS1}| = |V_{DS2}|$ 、且つ $V_{GS1} = V_{GS2}$ の条件下にて $I_{DS2} = I_{DS1}$ と成る時のゲート電圧が0Vから前記第一導電型薄膜トランジスタがオン状態と成る方向にシフトして居る様に、前記第二チャネル領域と前記オフセット領域の第二導電型不純物濃度が定められて居る事を特徴とする。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正内容】

【0021】この様に構成すると、第二導電型TFTのチャネル領域及びオフセット領域に於ける第二導電型の不純物濃度を最適化するだけで、オフセット構造である第二導電型のTFTを弱いデプレッション・モードとし、LDD構造で有る第一導電型のTFTを弱いエンハンス・モードとする事が出来る。こうしてオフセット領域の寄生抵抗に起因する第二導電型TFTのオン電流の減少を最小とし、第一導電型TFTと第二導電型TFTのオン電流やトランジスタ容量を略同等とする事が可能と成る。従ってこうしたTFTにてCMOS回路を構成した場合、回路は高速で動作し、誤動作も生じにくい。又同時に回路の構成やレイアウトも簡略化される。(第一導電型TFTと第二導電型TFTのサイズやディメンジョンを同一とし得る為。)また、前記第一チャネル領

域が含有する第二導電型不純物濃度と、前記第二チャネル領域が含む第二導電型不純物濃度と、前記オフセット領域が含む第二導電型不純物濃度が総て等しい事を特徴とする。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正内容】

【0022】即ち第二導電型TFTのチャネル領域に第二導電型不純物を導入する際に第一導電型のTFTのチャネル領域にも第二導電型不純物を導入し、同時にオフセット領域にも第二導電型不純物を導入出来る。それ故工程数を削減出来る。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正内容】

【0023】また、第一導電型と第二導電型とは互いに逆導電型で有る事を意味し、第一導電型をN型とした場合には第二導電型はP型で有る。逆に第一導電型をP型として場合には第二導電型はN型で有る。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正内容】

【0024】斯様な半導体装置を適応した液晶表示装置用のアクティブマトリクス基板では、前記第一導電型及び前記第二導電型薄膜トランジスタは駆動回路に於いてCMOS回路を構成し、前記第一導電型及び第二導電型薄膜トランジスタの内の一方の薄膜トランジスタは画素領域に於いて画素用薄膜トランジスタを構成する。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正内容】

【0025】また、第1群発明の上記一例に係わる半導体装置の製造においては、前記第一チャネル領域と前記第二チャネル領域と前記オフセット領域を形成する為に第二導電型不純物を極低濃度にて半導体膜に導入する極低濃度第二導電型不純物導入工程と、前記第一ゲート電極と前記第二ゲート電極を形成するゲート電極形成工程と、前記第一導電型低濃度ソース・ドレイン領域を形成する為に第一導電型不純物を低濃度にて半導体膜に導入する低濃度第一導電型不純物導入工程と、前記第一導電型高濃度ソース・ドレイン領域を形成する為に第一導電型不純物を高濃度にて半導体膜に導入する高濃度第一導

電型不純物導入工程と、前記第二導電型高濃度ソース・ドレイン領域を形成する為に第二導電型不純物を高濃度にて半導体膜に導入する高濃度第二導電型不純物導入工程とを有し、該極低濃度第二導電型不純物導入工程は該ゲート電極形成工程前に行われ、該低濃度第一導電型不純物導入工程は該ゲート電極形成後に行われる事の特徴とする。

【手続補正 14】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正内容】

【0026】また、極低濃度第二導電型不純物導入工程は第二導電型不純物を極低濃度含むドーパント半導体膜を成膜する工程として行い、この工程を行なった後に半導体膜表面にゲート絶縁膜を形成する事が有る。

【手続補正 15】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正内容】

【0027】また、極低濃度第二導電型不純物導入工程はこの工程を行なう以前に形成した半導体膜に対して第二導電型不純物を低濃度にて導入する工程として行い、この工程を行なった後に半導体膜表面にゲート絶縁膜を形成する事が有る。

【手続補正 16】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正内容】

【0028】また、極低濃度第二導電型不純物導入工程はこの工程を行なう以前に形成した半導体膜に対してその表面に形成したゲート絶縁膜を介して第二導電型不純物を極低濃度にて導入する工程として行う事が有る。

【手続補正 17】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】変更

【補正内容】

【0029】第1群の第2例に係わる発明は、第一ゲート電極に第一ゲート絶縁膜を介して対峙する第一チャネル領域と第一導電型高濃度ソース・ドレイン領域を備える第一導電型薄膜トランジスタと、第二ゲート電極に第二ゲート絶縁膜を介して対峙する第二チャネル領域と第二導電型高濃度ソース・ドレイン領域を備える第二導電型薄膜トランジスタ、とを有する半導体装置に於いて、該第一導電型薄膜トランジスタは該第一導電型高濃度ソース・ドレイン領域と該第一チャネル領域の間に第一導電型低濃度ソース・ドレイン領域を具備するLDD構造

を成し、該第一チャネル領域は極低濃度の第一導電型不純物を含み、該第二導電型薄膜トランジスタは該第二導電型高濃度ソース・ドレイン領域と該第二チャネル領域の間に該第二チャネル領域と同じ不純物濃度を有するオフセット領域を具備するオフセット構造を成し、該第二チャネル領域は極低濃度の第一導電型不純物を含んで居る事の特徴とする。

【手続補正 18】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正内容】

【0030】この様に構成すると、いずれのTFTもゲート電極の端部に対峙する部分が低濃度領域で有る為オフ電流が小さい。又TFTのソース・ドレイン間に於ける耐電圧が高いのでチャネル長を短く出来る。従ってオン電流が増加し、更にトランジスタ容量を低減出来るので、高速動作が可能になると云う利点も有る。更に第二導電型の駆動回路用TFTに於いて、ゲート電極の端部に対峙する低濃度領域はチャネル領域と同じ不純物濃度を有するオフセット領域として形成して有る。従って総てのTFTをLDD構造で製造する場合よりもマスク形成工程及び不純物導入工程を其々1回分ずつ少なくする事が出来る。又極低濃度で導入された第一導電型不純物はチャネル内では $V_{th}$ を調整し、オフセット領域では低濃度多数キャリアーとして作用する。斯くして最小限の製造工程数にて各TFTの電気的特性を最適化した半導体装置を実現されるので有る。

【手続補正 19】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正内容】

【0031】また、前記第一導電型薄膜トランジスタのソース・ドレイン電圧を $V_{DS1}$ 、ゲート電圧を $V_{GS1}$ 、ソース・ドレイン電流を $I_{DS1}$ とし、前記第二導電型薄膜トランジスタのソース・ドレイン電圧を $V_{DS2}$ 、ゲート電圧を $V_{GS2}$ 、ソース・ドレイン電流を $I_{DS2}$ とした時に $|V_{DS1}| = |V_{DS2}|$ 、且つ $V_{GS1} = V_{GS2} = 0$ の条件下にて $I_{DS2} > I_{DS1}$ と成る様に、前記第二チャネル領域と前記オフセット領域の第一導電型不純物濃度が定められて居る事の特徴とする。

【手続補正 20】

【補正対象書類名】明細書

【補正対象項目名】0032

【補正方法】変更

【補正内容】

【0032】この様に構成すると、オフセット領域の寄生抵抗に起因する第二導電型TFTのオン電流の減少を最小とし、第一導電型TFTと第二導電型TFTのオン

電流やトランジスタ容量を略同等とする事が可能と成る。従ってこうしたTFTにてCMOS回路を構成した場合、回路は高速で動作し、誤動作も生じにくい。又同時に回路の構成やレイアウトも簡略化される。(第一導電型TFTと第二導電型TFTのサイズやディメンジョンを同一とし得る為。)また、前記第一導電型薄膜トランジスタのソース・ドレイン電圧を $V_{DS1}$ 、ゲート電圧を $V_{GS1}$ 、ソース・ドレイン電流を $I_{DS1}$ とし、前記第二導電型薄膜トランジスタのソース・ドレイン電圧を $V_{DS2}$ 、ゲート電圧を $V_{GS2}$ 、ソース・ドレイン電流を $I_{DS2}$ とした時に $|V_{DS1}| = |V_{DS2}|$ 、且つ $V_{GS1} = V_{GS2}$ の条件下にて $I_{DS2} = I_{DS1}$ と成る時のゲート電圧が0Vから前記第一導電型薄膜トランジスタがオン状態と成る方向にシフトして居る様に、前記第二チャネル領域と前記オフセット領域の第一導電型不純物濃度が定められて居る事を特徴とする。

## 【手続補正 21】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正内容】

【0033】この様に構成すると、第二導電型TFTのチャネル領域及びオフセット領域に於ける第一導電型の不純物濃度を最適化するだけで、オフセット構造である第二導電型のTFTを弱いデプレッション・モードとし、LDD構造で有る第一導電型のTFTを弱いエンハンス・モードとする事が出来る。こうしてオフセット領域の寄生抵抗に起因する第二導電型TFTのオン電流の減少を最小とし、第一導電型TFTと第二導電型TFTのオン電流やトランジスタ容量を略同等とする事が可能と成る。従ってこうしたTFTにてCMOS回路を構成した場合、回路は高速で動作し、誤動作も生じにくい。又同時に回路の構成やレイアウトも簡略化される。(第一導電型TFTと第二導電型TFTのサイズやディメンジョンを同一とし得る為。)また、前記第一チャネル領域が含有する第一導電型不純物濃度と、前記第二チャネル領域を含む第一導電型不純物濃度と、前記オフセット領域を含む第一導電型不純物濃度が総て等しい事を特徴とする。

## 【手続補正 22】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正内容】

【0034】即ち第二導電型TFTのチャネル領域に第一導電型不純物を導入する際に第一導電型のTFTのチャネル領域にも第一導電型不純物を導入し、同時にオフセット領域にも第一導電型不純物を導入出来る。それ故工程数を削減出来る。

## 【手続補正 23】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正内容】

【0035】また、第一導電型と第二導電型とは互いに逆導電型で有る事を意味し、第一導電型をN型とした場合には第二導電型はP型で有る。逆に第一導電型をP型として場合には第二導電型はN型で有る。

## 【手続補正 24】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正内容】

【0036】斯様な半導体装置を適応した液晶表示装置用のアクティブマトリクス基板では、前記第一導電型及び前記第二導電型薄膜トランジスタは駆動回路に於いてCMOS回路を構成し、前記第一導電型及び第二導電型薄膜トランジスタの内の一方の薄膜トランジスタは画素領域に於いて画素用薄膜トランジスタを構成する。

## 【手続補正 25】

【補正対象書類名】明細書

【補正対象項目名】0037

【補正方法】変更

【補正内容】

【0037】第1群の第2例に係わる半導体装置の製造方法は、前記第一チャネル領域と前記第二チャネル領域と前記オフセット領域を形成する為に第一導電型不純物を極低濃度にて半導体膜に導入する極低濃度第一導電型不純物導入工程と、前記第一ゲート電極と前記第二ゲート電極を形成するゲート電極形成工程と、前記第一導電型低濃度ソース・ドレイン領域を形成する為に第一導電型不純物を低濃度にて半導体膜に導入する低濃度第一導電型不純物導入工程と、前記第一導電型高濃度ソース・ドレイン領域を形成する為に第一導電型不純物を高濃度にて半導体膜に導入する高濃度第一導電型不純物導入工程と、前記第二導電型高濃度ソース・ドレイン領域を形成する為に第二導電型不純物を高濃度にて半導体膜に導入する高濃度第二導電型不純物導入工程とを有し、該極低濃度第一導電型不純物導入工程は該ゲート電極形成工程前に行われ、該低濃度第一導電型不純物導入工程は該ゲート電極形成後に行われる事を特徴とする。

## 【手続補正 26】

【補正対象書類名】明細書

【補正対象項目名】0038

【補正方法】変更

【補正内容】

【0038】また、極低濃度第一導電型不純物導入工程は第一導電型不純物を極低濃度含むドーパント半導体膜を成膜する工程として行い、この工程を行なった後に半導体膜表面にゲート絶縁膜を形成する事が有る。



## 【手続補正 27】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正内容】

【0039】また、極低濃度第一導電型不純物導入工程はこの工程を行なう以前に形成した半導体膜に対して第一導電型不純物を低濃度にて導入する工程として行い、この工程を行なった後に半導体膜表面にゲート絶縁膜を形成する事が有る。

## 【手続補正 28】

【補正対象書類名】明細書

【補正対象項目名】0040

【補正方法】変更

【補正内容】

【0040】また、極低濃度第一導電型不純物導入工程はこの工程を行なう以前に形成した半導体膜に対してその表面に形成したゲート絶縁膜を介して第一導電型不純物を極低濃度にて導入する工程として行う事が有る。

## 【手続補正 29】

【補正対象書類名】明細書

【補正対象項目名】0041

【補正方法】変更

【補正内容】

【0041】また、第1群の第3例に係わる発明は第一ゲート電極に第一ゲート絶縁膜を介して対峙する第一チャネル領域と第一導電型高濃度ソース・ドレイン領域を備える第一導電型薄膜トランジスタと、第二ゲート電極に第二ゲート絶縁膜を介して対峙する第二チャネル領域と第二導電型高濃度ソース・ドレイン領域を備える第二導電型薄膜トランジスタ、とを有する半導体装置に於いて、該第一導電型薄膜トランジスタは該第一導電型高濃度ソース・ドレイン領域と該第一チャネル領域の間に第一導電型低濃度ソース・ドレイン領域を具備するLDD構造を成し、該第一チャネル領域は略真性で有り、該第二導電型薄膜トランジスタは該第二導電型高濃度ソース・ドレイン領域と該第二チャネル領域の間に該第二チャネル領域と同じ不純物濃度を有するオフセット領域を具備するオフセット構造を成し、該第二チャネル領域は略真性で有る事を特徴とする。

## 【手続補正 30】

【補正対象書類名】明細書

【補正対象項目名】0042

【補正方法】変更

【補正内容】

【0042】この様に構成すると、いずれのTFTもゲート電極の端部に対峙する部分が低濃度領域で有る為オフ電流が小さい。又TFTのソース・ドレイン間に於ける耐電圧が高いのでチャネル長を短く出来る。従ってオン電流が増加し、更にトランジスタ容量を低減出来るの

で、高速動作が可能になると云う利点も有る。更に第二導電型の駆動回路用TFTに於いて、ゲート電極の端部に対峙する半導体はチャネル領域と同じ不純物濃度を有するオフセット領域として形成して有る。従って総てのTFTをLDD構造で製造する場合よりもマスク形成工程を一回、不純物導入工程を2回少なくする事が出来る。斯くして最小限の製造工程数にて各TFTの電気的特性を最適化した半導体装置を実現されるので有る。

## 【手続補正 31】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正内容】

【0043】また、第一導電型と第二導電型とは互いに逆導電型で有る事を意味し、第一導電型をN型とした場合には第二導電型はP型で有る。逆に第一導電型をP型として場合には第二導電型はN型で有る。

## 【手続補正 32】

【補正対象書類名】明細書

【補正対象項目名】0044

【補正方法】変更

【補正内容】

【0044】斯様な半導体装置を適応した液晶表示装置用のアクティブマトリクス基板では、前記第一導電型及び前記第二導電型薄膜トランジスタは駆動回路に於いてCMOS回路を構成し、前記第一導電型及び第二導電型薄膜トランジスタの内の一方の薄膜トランジスタは画素領域に於いて画素用薄膜トランジスタを構成する。

## 【手続補正 33】

【補正対象書類名】明細書

【補正対象項目名】0045

【補正方法】変更

【補正内容】

【0045】本発明の第2群の一例に係る発明は、ゲート電極にゲート絶縁膜を介して対峙するチャネル領域と該チャネル領域に接続するソース・ドレイン領域を備える薄膜トランジスタ、及び誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子とを有する半導体装置に於いて、前記薄膜トランジスタはソース・ドレイン領域がゲート電極の端部にゲート絶縁膜を介して対峙する低濃度ソース・ドレイン領域及び該低濃度ソース・ドレイン領域に隣接する高濃度ソース・ドレイン領域を具備するLDD構造を成し、前記第一電極部は前記低濃度ソース・ドレイン領域と導電型が同じで該導電型の不純物濃度が同等の同一の半導体膜から構成されている事を特徴とする。

## 【手続補正 34】

【補正対象書類名】明細書

【補正対象項目名】0046

【補正方法】変更

## 【補正内容】

【0046】この様な構成にすると、低濃度ソース・ドレイン領域と第一電極部を同時に作成する事が可能と化し、LDD TFTの利点を活かして尚、少ない工程数で斯様な半導体装置が製造される。

## 【手続補正35】

【補正対象書類名】明細書

【補正対象項目名】0047

【補正方法】変更

## 【補正内容】

【0047】本は発明の第2の群第2例に係わる発明は、ゲート電極にゲート絶縁膜を介して対峙するチャンネル領域と該チャンネル領域に接続するソース・ドレイン領域を備える薄膜トランジスタ、及び誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子とを有する半導体装置に於いて、前記薄膜トランジスタはソース・ドレイン領域がゲート電極の端部にゲート絶縁膜を介して対峙する低濃度ソース・ドレイン領域及び該低濃度ソース・ドレイン領域に隣接する高濃度ソース・ドレイン領域を具備するLDD構造を成し、前記第一電極部は前記高濃度ソース・ドレイン領域と導電型が同じで該導電型の不純物濃度が同等の同一の半導体膜から構成されている事の特徴とする。

## 【手続補正36】

【補正対象書類名】明細書

【補正対象項目名】0048

【補正方法】変更

## 【補正内容】

【0048】この様な構成にすると、高濃度ソース・ドレイン領域と第一電極部を同時に作成する事が可能と化し、LDD TFTの利点を活かして尚、少ない工程数で斯様な半導体装置が製造される。更に低濃度ソース・ドレイン領域をゲート電極に対して自己整合的に作成する事が可能と成り、寄生容量の少ない良好なTFTが得られる。

## 【手続補正37】

【補正対象書類名】明細書

【補正対象項目名】0049

【補正方法】変更

## 【補正内容】

【0049】本発明の第2群の第3例に係わる発明は、ゲート電極にゲート絶縁膜を介して対峙するチャンネル領域とドナー不純物又はアクセプター不純物を高濃度に含むソース・ドレイン領域を備える薄膜トランジスタ、及び誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子とを有する半導体装置に於いて、前記薄膜トランジスタは該ソース・ドレイン領域端部と該チャンネル領域端部の間に該チャンネル領域と同等の不純物濃度を有するオフセット領域を備え、前記第一電極部は前記高濃度ソース・ドレイン領域と導電型が同じで該導

電型の不純物濃度が同等の同一の半導体膜から構成されている事の特徴とする。

## 【手続補正38】

【補正対象書類名】明細書

【補正対象項目名】0050

【補正方法】変更

## 【補正内容】

【0050】この様な構成にすると、高濃度ソース・ドレイン領域と第一電極部を同時に作成する事が可能と化し、オフセット TFTの利点を活かして尚、少ない工程数で斯様な半導体装置が製造される。更に低濃度ソース・ドレイン領域をゲート電極に対して自己整合的に作成する事が可能と成り、寄生容量の少ない良好なTFTが得られる。

## 【手続補正39】

【補正対象書類名】明細書

【補正対象項目名】0051

【補正方法】変更

## 【補正内容】

【0051】本発明の第2群の第4例に係わる発明は、ゲート電極にゲート絶縁膜を介して対峙するチャンネル領域と該チャンネル領域に接続するソース・ドレイン領域を備える第一導電型及び第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子とを有する半導体装置に於いて、前記第一導電型及び第二導電型薄膜トランジスタはソース・ドレイン領域がゲート電極の端部にゲート絶縁膜を介して対峙する低濃度ソース・ドレイン領域と該低濃度ソース・ドレイン領域に隣接する高濃度ソース・ドレイン領域とを備えるLDD構造を成し、前記第一電極部は前記第一導電型及び第二導電型薄膜トランジスタの前記低濃度ソース・ドレイン領域と導電型が同じで該導電型の不純物濃度が同等の同一の半導体膜から構成されている事の特徴とする。

## 【手続補正40】

【補正対象書類名】明細書

【補正対象項目名】0052

【補正方法】変更

## 【補正内容】

【0052】この様な構成にすると、低濃度ソース・ドレイン領域と第一電極部を同時に作成する事が可能と化し、LDD CMOS TFTの利点を活かして尚、少ない工程数で斯様な半導体装置が製造される。

## 【手続補正41】

【補正対象書類名】明細書

【補正対象項目名】0053

【補正方法】変更

## 【補正内容】

【0053】本発明の第2群第5例に係わる発明は、ゲート電極にゲート絶縁膜を介して対峙するチャンネル領域



と該チャネル領域に接続するソース・ドレイン領域を備える第一導電型及び第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子とを有する半導体装置に於いて、前記第一導電型及び第二導電型薄膜トランジスタはソース・ドレイン領域がゲート電極の端部にゲート絶縁膜を介して対峙する低濃度ソース・ドレイン領域と該低濃度ソース・ドレイン領域に隣接する高濃度ソース・ドレイン領域とを備えるLDD構造を成し、前記第一電極部は前記第一導電型及び第二導電型薄膜トランジスタの前記高濃度ソース・ドレイン領域と導電型が同じで該導電型の不純物濃度が同等の同一の半導体膜から構成されている事の特徴とする。

【手続補正42】

【補正対象書類名】明細書

【補正対象項目名】0054

【補正方法】変更

【補正内容】

【0054】この様な構成にすると、高濃度ソース・ドレイン領域と第一電極部を同時に作成する事が可能と化し、LDD CMOS TFTの利点を活かして尚、少ない工程数で斯様な半導体装置が製造される。更に低濃度ソース・ドレイン領域をゲート電極に対して自己整合的に作成する事が可能と成り、寄生容量の少ない良好なTFTが得られる。

【手続補正43】

【補正対象書類名】明細書

【補正対象項目名】0055

【補正方法】変更

【補正内容】

【0055】また、前記第一電極部は前記第一導電型薄膜トランジスタの低濃度ソース・ドレイン領域が有する第一導電型不純物と同量の第一導電型不純物を含有する半導体膜から構成され、該第一導電型薄膜トランジスタの低濃度ソース・ドレイン領域は第一導電型不純物と共に該第一導電型不純物量よりも少なく、且つ前記第二導電型薄膜トランジスタの低濃度ソース・ドレイン領域と同量の第二導電型不純物を含む事の特徴とする。

【手続補正44】

【補正対象書類名】明細書

【補正対象項目名】0056

【補正方法】変更

【補正内容】

【0056】この様な構成にすると、LDD CMOS TFTの利点を活かして尚、フォト工程をさらに一工程減らす事が出来、より少ない工程数で斯様な半導体装置が製造される。

【手続補正45】

【補正対象書類名】明細書

【補正対象項目名】0057

【補正方法】変更

【補正内容】

【0057】また、前記第一電極部は前記第二導電型薄膜トランジスタの低濃度ソース・ドレイン領域が有する第二導電型不純物と同量の第二導電型不純物を含有する半導体膜から構成され、前記第一導電型薄膜トランジスタの低濃度ソース・ドレイン領域は第一導電型不純物と共に該第一導電型不純物量よりも少なく、且つ前記第二導電型薄膜トランジスタの低濃度ソース・ドレイン領域と同量の第二導電型不純物を含む事の特徴とする。

【手続補正46】

【補正対象書類名】明細書

【補正対象項目名】0058

【補正方法】変更

【補正内容】

【0058】この様な構成にすると、LDD CMOS TFTの利点を活かして尚、フォト工程をさらに一工程減らす事が出来、より少ない工程数で斯様な半導体装置が製造される。

【手続補正47】

【補正対象書類名】明細書

【補正対象項目名】0059

【補正方法】変更

【補正内容】

【0059】また、前記第一電極部は前記第一導電型薄膜トランジスタの高濃度ソース・ドレイン領域が有する第一導電型不純物と同量の第一導電型不純物を含有する半導体膜から構成され、該第一導電型薄膜トランジスタの低濃度ソース・ドレイン領域は第一導電型不純物と共に該第一導電型不純物量よりも少なく、且つ前記第二導電型薄膜トランジスタの低濃度ソース・ドレイン領域と同量の第二導電型不純物を含む事の特徴とする。

【手続補正48】

【補正対象書類名】明細書

【補正対象項目名】0060

【補正方法】変更

【補正内容】

【0060】この様な構成にすると、LDD CMOS TFTの利点を活かして尚、フォト工程をさらに一工程減らす事が出来、より少ない工程数で斯様な半導体装置が製造される。

【手続補正49】

【補正対象書類名】明細書

【補正対象項目名】0061

【補正方法】変更

【補正内容】

【0061】また、前記第一電極部は前記第二導電型薄膜トランジスタの高濃度ソース・ドレイン領域が有する第二導電型不純物と同量の第二導電型不純物を含有する半導体膜から構成され、前記第一導電型薄膜トランジスタの低濃度ソース・ドレイン領域は第一導電型不純物と共に該第一導電型不純物量よりも少なく、且つ前記第二導電型薄膜トランジスタの低濃度ソース・ドレイン領域と同量の第二導電型不純物を含む事の特徴とする。

タの低濃度ソース・ドレイン領域は第一導電型不純物と共に該第一導電型不純物量よりも少なく、且つ前記第二導電型薄膜トランジスタの低濃度ソース・ドレイン領域と同量の第二導電型不純物を含む事の特徴とする。

【手続補正50】

【補正対象書類名】明細書

【補正対象項目名】0062

【補正方法】変更

【補正内容】

【0062】この様な構成にすると、LDD CMOS TFTの利点を活かして尚、フォトリソ工程をさらに一工程減らす事が出来、より少ない工程数で斯様な半導体装置が製造される。

【手続補正51】

【補正対象書類名】明細書

【補正対象項目名】0063

【補正方法】変更

【補正内容】

【0063】本発明の第2群の第6例に係わる発明はゲート電極にゲート絶縁膜を介して対峙するチャネル領域と第一導電型不純物を高濃度に含む高濃度第一導電型ソース・ドレイン領域を備える第一導電型薄膜トランジスタと、ゲート電極にゲート絶縁膜を介して対峙するチャネル領域と第二導電型不純物を高濃度に含む高濃度第二導電型ソース・ドレイン領域を備える第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子、とを有する半導体装置に於いて、前記第一導電型薄膜トランジスタは前記高濃度第一導電型ソース・ドレイン領域端部と前記チャネル領域端部の間に低濃度第一導電型ソース・ドレイン領域を具備するLDD構造を成し、前記第二導電型薄膜トランジスタは前記高濃度第二導電型ソース・ドレイン領域端部と前記チャネル領域端部の間に該チャネル領域と同等の不純物濃度を有するオフセット領域を備え、前記第一電極部は前記第一導電型薄膜トランジスタの低濃度第一導電型ソース・ドレイン領域と同量の第一導電型不純物を含む半導体膜から構成されている事の特徴とする。

【手続補正52】

【補正対象書類名】明細書

【補正対象項目名】0064

【補正方法】変更

【補正内容】

【0064】この様な構成にすると、LDD TFTとオフセットTFTの利点を活かして尚、フォトリソ工程をさらに一工程減らす事が出来、より少ない工程数で斯様な半導体装置が製造される。

【手続補正53】

【補正対象書類名】明細書

【補正対象項目名】0065

【補正方法】変更

【補正内容】

【0065】本発明の第2群第7例に係わる発明は、ゲート電極にゲート絶縁膜を介して対峙するチャネル領域と第一導電型不純物を高濃度に含む高濃度第一導電型ソース・ドレイン領域を備える第一導電型薄膜トランジスタと、ゲート電極にゲート絶縁膜を介して対峙するチャネル領域と第二導電型不純物を高濃度に含む高濃度第二導電型ソース・ドレイン領域を備える第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子とを有する半導体装置に於いて、前記第一導電型薄膜トランジスタは前記高濃度第一導電型ソース・ドレイン領域端部と前記チャネル領域端部の間に低濃度第一導電型ソース・ドレイン領域を具備するLDD構造を成し、前記第二導電型薄膜トランジスタは前記高濃度第二導電型ソース・ドレイン領域端部と前記チャネル領域端部の間に該チャネル領域と同等の不純物濃度を有するオフセット領域を備え、前記第一電極部は前記第一導電型薄膜トランジスタの高濃度第一導電型ソース・ドレイン領域と同量の第一導電型不純物を含む半導体膜から構成されている事の特徴とする。

【手続補正54】

【補正対象書類名】明細書

【補正対象項目名】0066

【補正方法】変更

【補正内容】

【0066】この様な構成にすると、LDD TFTとオフセットTFTの利点を活かして尚、フォトリソ工程をさらに一工程減らす事が出来、より少ない工程数で斯様な半導体装置が製造される。

【手続補正55】

【補正対象書類名】明細書

【補正対象項目名】0067

【補正方法】変更

【補正内容】

【0067】本発明第2群第8例に係る発明は、ゲート電極にゲート絶縁膜を介して対峙するチャネル領域と第一導電型不純物を高濃度に含む高濃度第一導電型ソース・ドレイン領域を備える第一導電型薄膜トランジスタと、ゲート電極にゲート絶縁膜を介して対峙するチャネル領域と第二導電型不純物を高濃度に含む高濃度第二導電型ソース・ドレイン領域を備える第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子とを有する半導体装置に於いて、前記第一導電型薄膜トランジスタは前記高濃度第一導電型ソース・ドレイン領域端部と前記チャネル領域端部の間に低濃度第一導電型ソース・ドレイン領域を具備するLDD構造を成し、前記第二導電型薄膜トランジスタは前記高濃度第二導電型ソース・ドレイン領域端部

と前記チャンネル領域端部の間に該チャンネル領域と同等の不純物濃度を有するオフセット領域を備え、前記第一電極部は前記第二導電型薄膜トランジスタの高濃度第二導電型ソース・ドレイン領域と同量の第二導電型不純物を含む半導体膜から構成されている事の特徴とする。

【手続補正 56】

【補正対象書類名】明細書

【補正対象項目名】0068

【補正方法】変更

【補正内容】

【0068】この様な構成にすると、LDD TFTとオフセットTFTの利点を活かして尚、フォトリソ工程をさらに一工程減らす事が出来、より少ない工程数で斯様な半導体装置が製造される。

【手続補正 57】

【補正対象書類名】明細書

【補正対象項目名】0069

【補正方法】変更

【補正内容】

【0069】また、第2群のいずれかに記載の半導体装置を用いたアクティブマトリクス基板であって、前記第一導電型及び前記第二導電型薄膜トランジスタは駆動回路部に於いてCMOS回路を構成し、前記第一導電型及び第二導電型薄膜トランジスタの内の少なくとも一方の薄膜トランジスタは画素領域に於いて画素用薄膜トランジスタを構成し、前記容量素子は前記画素領域に於いて液晶セルに対する保持容量を構成している事の特徴とする。

【手続補正 58】

【補正対象書類名】明細書

【補正対象項目名】0070

【補正方法】変更

【補正内容】

【0070】第2群に係わる半導体装置を製造する方法としては、以下に掲げる各種例がある。例えば、ゲート電極とゲート絶縁膜とチャンネル領域と該チャンネル領域に低濃度ソース・ドレイン領域を介して導電接続する高濃度ソース・ドレイン領域とを具備するLDD型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子を有する半導体装置の製造方法に於いて、少なくとも該チャンネル領域と該低濃度ソース・ドレイン領域と該第一電極部を構成する半導体膜を形成する第一工程と、該半導体膜の一部に低濃度にてドナー又はアクセプターと成る不純物を導入して該低濃度ソース・ドレイン領域と該第一電極部を形成する第二工程と、該第二工程終了後にゲート電極と第二電極部を形成する第三工程とを含む事の特徴とする。

【手続補正 59】

【補正対象書類名】明細書

【補正対象項目名】0071

【補正方法】変更

【補正内容】

【0071】また、ゲート電極とゲート絶縁膜とチャンネル領域と該チャンネル領域に低濃度ソース・ドレイン領域を介して導電接続する高濃度ソース・ドレイン領域とを具備するLDD型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子を有する半導体装置の製造方法に於いて、少なくとも該チャンネル領域と該高濃度ソース・ドレイン領域と該第一電極部を構成する半導体膜を形成する第一工程と、該半導体膜の一部に高濃度にてドナー又はアクセプターと成る不純物を導入して該高濃度ソース・ドレイン領域と該第一電極部を形成する第二工程と、該第二工程終了後にゲート電極と第二電極部を形成する第三工程とを含む事の特徴とする。

【手続補正 60】

【補正対象書類名】明細書

【補正対象項目名】0072

【補正方法】変更

【補正内容】

【0072】また、ゲート電極とゲート絶縁膜とチャンネル領域と該チャンネル領域と同量の不純物を含むオフセット領域と該オフセット領域を介して該チャンネル領域に導電接続する高濃度ソース・ドレイン領域とを具備するオフセット型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子を有する半導体装置の製造方法に於いて、少なくとも該チャンネル領域と該高濃度ソース・ドレイン領域と該第一電極部を構成する半導体膜を形成する第一工程と、該半導体膜の一部に高濃度にてドナー又はアクセプターと成る不純物を導入して該高濃度ソース・ドレイン領域と該第一電極部を形成する第二工程と、該第二工程終了後にゲート電極と第二電極部を形成する第三工程とを含む事の特徴とする。

【手続補正 61】

【補正対象書類名】明細書

【補正対象項目名】0073

【補正方法】変更

【補正内容】

【0073】また、ゲート電極とゲート絶縁膜とチャンネル領域と該チャンネル領域に低濃度第一導電型ソース・ドレイン領域を介して導電接続する高濃度第一導電型ソース・ドレイン領域とを具備するLDD型第一導電型薄膜トランジスタと、ゲート電極とゲート絶縁膜とチャンネル領域と該チャンネル領域に低濃度第二導電型ソース・ドレイン領域を介して導電接続する高濃度第二導電型ソース・ドレイン領域とを具備するLDD型第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子を有する半導体装置の製造方法に於いて、少なくとも該LDD型第一導電型薄膜ト

ランジスタのチャンネル領域と低濃度第一導電型ソース・ドレイン領域と、該LDD型第二導電型薄膜トランジスタのチャンネル領域と、該第一電極部を構成する半導体膜を形成する第一工程と、該半導体膜の一部に低濃度にて第一導電型不純物を導入して該低濃度第一導電型ソース・ドレイン領域と該第一電極部を形成する第二工程と、該第二工程終了後にゲート電極と第二電極部を形成する第三工程とを含む事の特徴とする。

【手続補正 6 2】

【補正対象書類名】明細書

【補正対象項目名】0074

【補正方法】変更

【補正内容】

【0074】また、ゲート電極とゲート絶縁膜とチャンネル領域と該チャンネル領域に低濃度第一導電型ソース・ドレイン領域を介して導電接続する高濃度第一導電型ソース・ドレイン領域とを具備するLDD型第一導電型薄膜トランジスタと、ゲート電極とゲート絶縁膜とチャンネル領域と該チャンネル領域に低濃度第二導電型ソース・ドレイン領域を介して導電接続する高濃度第二導電型ソース・ドレイン領域とを具備するLDD型第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子を有する半導体装置の製造方法に於いて、少なくとも該LDD型第一導電型薄膜トランジスタのチャンネル領域と高濃度第一導電型ソース・ドレイン領域と、該LDD型第二導電型薄膜トランジスタのチャンネル領域と、該第一電極部を構成する半導体膜を形成する第一工程と、該半導体膜の一部に高濃度にて第一導電型不純物を導入して該高濃度第一導電型ソース・ドレイン領域と該第一電極部を形成する第二工程と、該第二工程終了後にゲート電極と第二電極部を形成する第三工程とを含む事の特徴とする。

【手続補正 6 3】

【補正対象書類名】明細書

【補正対象項目名】0075

【補正方法】変更

【補正内容】

【0075】上記いずれかの第2群に係わる製造方法においては、前記LDD型第一導電型薄膜トランジスタの低濃度第一導電型ソース・ドレイン領域を形成する為に第一導電型不純物を低濃度にて該半導体膜に導入する低濃度第一導電型不純物導入工程、又は前記LDD型第二導電型薄膜トランジスタの低濃度第二導電型ソース・ドレイン領域を形成する為に第二導電型不純物を低濃度にて該半導体膜に導入する低濃度第二導電型不純物導入工程の一方の低濃度不純物導入工程をマスクを形成せずにを行い、該第一導電型不純物と該第二導電型不純物の双方の不純物が導入される領域の導電型及び実質的な不純物濃度については、該第一導電型不純物と該第二導電型不純物の導入量の差によって規定する事の特徴とする

【手続補正 6 4】

【補正対象書類名】明細書

【補正対象項目名】0076

【補正方法】変更

【補正内容】

【0076】また、ゲート電極とゲート絶縁膜と第一チャンネル領域と該第一チャンネル領域に低濃度第一導電型ソース・ドレイン領域を介して導電接続する高濃度第一導電型ソース・ドレイン領域とを具備するLDD型第一導電型薄膜トランジスタと、ゲート電極とゲート絶縁膜と第二チャンネル領域と高濃度第二導電型ソース・ドレイン領域、及び該第二チャンネル領域端と該高濃度第二導電型ソース・ドレイン領域端との間に該第二チャンネル領域と同じ不純物濃度を有するオフセット領域を具備するオフセット型第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子、とを有する半導体装置の製造方法に於いて、少なくとも該第一チャンネル領域と該低濃度第一導電型ソース・ドレイン領域と該第二チャンネル領域と該第一電極部を構成する半導体膜を形成する第一工程と、該半導体膜の一部に低濃度にて第一導電型不純物を導入して該低濃度第一導電型ソース・ドレイン領域と該第一電極部を形成する第二工程と、該第二工程終了後にゲート電極と第二電極部を形成する第三工程とを含む事の特徴とする。

【手続補正 6 5】

【補正対象書類名】明細書

【補正対象項目名】0077

【補正方法】変更

【補正内容】

【0077】また、ゲート電極とゲート絶縁膜と第一チャンネル領域と該第一チャンネル領域に低濃度第一導電型ソース・ドレイン領域を介して導電接続する高濃度第一導電型ソース・ドレイン領域とを具備するLDD型第一導電型薄膜トランジスタと、ゲート電極とゲート絶縁膜と第二チャンネル領域と高濃度第二導電型ソース・ドレイン領域、及び該第二チャンネル領域端と該高濃度第二導電型ソース・ドレイン領域端との間に該第二チャンネル領域と同じ不純物濃度を有するオフセット領域を具備するオフセット型第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子、とを有する半導体装置の製造方法に於いて、少なくとも該第一チャンネル領域と該高濃度第一導電型ソース・ドレイン領域と該第二チャンネル領域と該第一電極部を構成する半導体膜を形成する第一工程と、該半導体膜の一部に高濃度にて第一導電型不純物を導入して該高濃度第一導電型ソース・ドレイン領域と該第一電極部を形成する第二工程と、該第二工程終了後にゲート電極と第二電極部を形成する第三工程とを含む事の特徴とする。

【手続補正 6 6】

【補正対象書類名】明細書

【補正対象項目名】 0078

【補正方法】 変更

【補正内容】

【0078】 また、ゲート電極とゲート絶縁膜と第一チャネル領域と該第一チャネル領域に低濃度第一導電型ソース・ドレイン領域を介して導電接続する高濃度第一導電型ソース・ドレイン領域とを具備する LDD 型第一導電型薄膜トランジスタと、ゲート電極とゲート絶縁膜と第二チャネル領域と高濃度第二導電型ソース・ドレイン領域、及び該第二チャネル領域端と該高濃度第二導電型ソース・ドレイン領域端との間に該第二チャネル領域と同じ不純物濃度を有するオフセット領域を具備するオフセット型第二導電型薄膜トランジスタと、誘電体膜を介して対向する第一電極部と第二電極部から成る容量素子、とを有する半導体装置の製造方法に於いて、少なくとも該第一チャネル領域と該第二チャネル領域と該高濃度第二導電型ソース・ドレイン領域と該第一電極部

を構成する半導体膜を形成する第一工程と、該半導体膜の一部に高濃度にて第二導電型不純物を導入して該高濃度第二導電型ソース・ドレイン領域と該第一電極部を形成する第二工程と、該第二工程終了後にゲート電極と第二電極部を形成する第三工程とを含む事を特徴とする。

【手続補正 67】

【補正対象書類名】 明細書

【補正対象項目名】 0081

【補正方法】 変更

【補正内容】

【0081】 実施例 1 乃至 2 は、本発明の第 1 群に係る発明に対応する。即ち同一基板上に第一導電型及び第二導電型の TFT を有する構成をベースとして居る。これに対して実施例 3 乃至 16 は本発明の第 2 群に係る発明に対応する。即ち同一基板上に TFT と容量素子とを有する構成をベースとして居る。